

О.М. ВОРОБІЙОВА, В.Д. ІВАНЧЕНКО

ОСНОВИ СХЕМОТЕХНІКИ

ПІДРУЧНИК

Одеса 2009

УДК 621.38:681.14:621.396

В – 75

*Затверджено Методичною радою
ОНАЗ ім. О.С. Попова.
Протокол № 6 від 10 лютого 2009 р.*

*Гриф надано Міністерством
транспортної та зв'язку України.
Лист № 6778/23/14 – 08 від 22.09.08 р.*

*Рецензент – докт. фіз.-мат. наук, професор Сергій Данилович Каїм.
Одеський національний університет ім. І.І. Мечнікова*

О. М. Воробйова, В. Д. Іванченко. Основи схемотехніки: підручник. – [2-е вид.]. – Одеса: Фенікс, 2009. – 388 с.

Розглядаються основні схеми аналогових і цифрових пристроїв на дискретних електронних приладах та інтегральних мікросхемах. Наводяться аналогові пристрої на дискретних компонентах: подільники напруги, випрямлячі, амплітудні обмежувачі, стабілізатори, підсилювачі на біполярних та польових транзисторах, електровакуумні прилади, ключі, автогенератори, фотоелектричні та газорозрядні прилади, цифрові індикатори, фотоелектричні та світловипромінювальні прилади, оптрони, лазери.

Особлива увага приділяється інтегральним мікросхемам: операційним підсилювачам та численним каскадам на них, логічним елементам, тригерам, лічильникам, регістрам, мультиплексорам, демультимплексорам, шифраторам, дешифраторам, перетворювачам кодів, цифро-аналоговим та аналого-цифровим перетворювачам, формувачам рівнів сигналів тощо. Розглядаються їхні принципи дії, характеристики, параметри та методика розрахунку.

Підручник призначений для студентів вищих навчальних закладів зв'язку, які навчаються за спеціальностями “Телекомунікація” та “Радіотехніка”, а також може бути корисним для фахівців зв'язку.

ISBN 978-966-438-204-2

© О.М. Воробйова, В.Д. Іванченко

© Одеська національна академія
зв'язку ім. О.С. Попова, 2009

ПЕРЕДМОВА

Видання підручника зумовлено тим, що попередні навчальні дисципліни “Електронні підсилювачі”, “Цифрові прилади”, “Аналогова схемотехніка”, “Електроживлення радіоелектронної апаратури” використовували відомості окремого курсу “Електронні прилади”, з якого не завжди студент міг собі уявити призначення того або іншого приладу. Дійсно, роботу діода не можна пояснити без поняття “випрямлення”, а транзистора – без поняття “підсилення”.

Очевидно, через це жоден із навіть сучасних підручників з електронних приладів не вивчає діод без схеми випрямляча, стабілітрон – без схеми стабілізатора, транзистор – без схеми підсилювача тощо.

Отже, виникла задача інтегрувати деякі навчальні курси, які використовують відомості дисципліни “Електронні прилади” з метою економії академічного часу і, саме головне, для поліпшення якості вивчення фундаментальних положень.

Останнє пояснюється хоча б тим, що, наприклад, немає ніякого принципового значення, на яких приладах (електровакуумних тріодах чи транзисторах) створювати підсилювачі. Вони будуть відрізнятися лише кількісними показниками, залишаючи аналогічними і принцип дії, і схему їхнього живлення, і основну методику розрахунку.

Тому прилади та пристрої на них об’єднуються не за видом робочого середовища, яке ніяк не впливає на здійснювані функції, а саме за цими функціями. Так, підсилювачі розглядаються і на електровакуумних приладах, і на біполярних транзисторах, і на польових транзисторах, і на інтегральних мікросхемах. Проте вони не перестають бути підсилювачами.

Дисципліна “Основи схемотехніки” включає в себе найпростіші електронні пристрої: подільники напруги, діодні схеми (амплітудні обмежувачі, випрямлячі, параметричні стабілізатори), електронні підсилювачі на електровакуумних приладах, біполярних транзисторах, польових транзисторах, операційні підсилювачі та каскади на них, транзисторні ключі, цифрові електронні пристрої (схеми І, НЕ, АБО, тригери, лічильники, регістри) на ТТЛ, МОН- та КМОН-логіці, програмовані логічні матриці, аналого-цифрові та цифро-аналогові перетворювачі, фотоелектричні та газорозрядні прилади, цифрові індикатори, фотоелектричні та світловипромінювальні прилади, оптрони, лазери.

При цьому вилучений обсяг матеріалу, який інженеру зв’язку не потрібен на виробництві, а саме: вивід рівнянь неперервності, рівнянь вольтамперних характеристик, вивчення технологічних операцій при виготовленні мікросхем тощо.

За рахунок цього більше уваги приділяється пристроям на електронних приладах та інтегральних мікросхемах. Так, вперше розглядаються такі необхідні для зв’язку пристрої, як аналого-цифрові та цифро-аналогові перетворювачі, програмовані логічні матриці, цифрові індикатори, фотоелектричні та світловипромінювальні прилади, оптрони, лазери.

Підручник призначений для студентів вищих навчальних закладів зв'язку, які навчаються за спеціальностями “Телекомунікація” та “Радіотехніка”, а також може бути корисним для фахівців зв'язку.

ВСТУП

Схемотехніка є наступною навчальною дисципліною після технічної електроніки і ставить перед собою задачу створення приладів і пристроїв для перетворення електромагнітної енергії, передавання, оброблення та зберігання інформації. Внаслідок досягнень схемотехніки промисловість випускає радіоелектронну апаратуру (РЕА) для зв'язку, автоматики, телебачення, радіолокації, навігації, обчислювальної техніки, систем керування технологічними процесами, світлотехніки, інфрачервоної техніки, рентгенотехніки тощо.

Весь період розвитку схемотехніки можна поділити на п'ять наступних поколінь:

- схемотехніка на електровакуумних електронних приладах;
- схемотехніка на напівпровідникових приладах;
- схемотехніка на інтегральних мікросхемах;
- схемотехніка на функціональних вузлах;
- схемотехніка на виробах наноелектроніки.

Перше покоління схемотехніки зв'язку починається з 1896 р., тобто з часу винаходу російським вченим О.С. Поповим радіо. У 1889 році О.С. Попов провів можливість використання електромагнітних хвиль для передавання сигналів на відстань, а у 1894 р. сконструював джерело електромагнітних коливань і когерер – елемент приймача. 7 травня 1895 року продемонстрував свій радіоприймач, а 24 березня 1896 р. здійснивши передачу сигналів на відстань 250 м, коли передав першу у світі радіограму з двох слів “Генріх Герц”.

Дещо пізніше італійський фізик Гулельмо Марконі розробив прилади бездротового телеграфу і в 1897 році одержав патент на застосування електромагнітних хвиль для бездротового зв'язку (О.С. Попов свій винахід радіо не патентував). Завдяки великим матеріальним ресурсам і власній енергії Г. Марконі добився широкого практичного застосування нового способу зв'язку і 1901 році здійснив радіозв'язок через Атлантичний океан. Наукова діяльність Г. Марконі була значним внеском у розвиток радіотехніки як засобу зв'язку, за що йому у 1909 році була присуджена Нобелівська премія.

Схема приймача Г. Марконі була такою ж, що й схема приймача О.С. Попова.

У зв'язку з цими приймачами виникла задача детектування високочастотних коливань. Для цього англійський вчений Д.А.Флемінг запропонував використання явища термоелектронної емісії, яка відкрита у 1884 р. американським вченим Т.А. Едісоном. На її базі в 1906 р. Д.А.Флемінг винайшов перший електронний прилад з односторонньою провідністю – двоелектродну лампу з термокато́дом (*diode*). Для підвищення потужності діода в 1905 р. А.Хелл у США винайшов газонаповнений діод (*газотрон*).

Тоді ж виникла задача підсилення коливань, без чого не міг існувати

радіоприймач. Для цього в 1907 р. американський інженер Лі де Форест увів у діод між катодом та анодом третій електрод – керуючу сітку, створивши саме тим підсилювальну триелектродну лампу – *тріод*. Підсилювачі на цьому приладі знайшли саме широке розповсюдження серед пристроїв на електровакуумних приладах, а керуюча сітка для підсилення назавжди залишилася не тільки в тріоді, а й в інших сучасних багатоелектродних лампах.

У 1907 р. професор Петербурзького технологічного інституту Б.Л. Розінг запропонував використання електронно-променевої трубки для приймання зображень, поклавши саме тим початок телебаченню.

Розвиток підсилювальної схемотехніки на тріодах і просування підсилювачів в область вищих частот висунули нові вимоги до удосконалення електронних ламп.

Для підвищення верхньої межі частот підсилення в 1915 р. німецький фізик В.Шотткі винайшов чотириелектродну лампу (*тетрод*) з екрануючою сіткою. Підсилювачі на тетродах хоча й опанували вищі частоти, але не забезпечували якість підсилення через спотворення, які зумовлені так званим динатронним ефектом. Тому А.Хелл у США почав удосконалення екранованих ламп і в 1930 р. запропонував п'ятиелектродну лампу (*пентод*), підсилювачі на якій стали самими розповсюдженими.

Поруч з розвитком електронної підсилювальної техніки виникла задача приймання світла. Для цього в 1930 р. Л.А. Кубецький в СРСР винайшов фотоелектронний помножувач. Цей прилад деякий час був приймачем зображень у телебаченні. У той самий час розвиток телебачення вимагав створення не тільки приймальної техніки зображень, але й передавальної техніки. Тому справжнім поштовхом розвитку телебачення з'явилась пропозиція О.П. Констянтинова і С.І. Катаєва (СРСР) зі створення спеціальних передавальних телевізійних трубок (*іконоскопі*). Аналогічні трубки створив у США російський емігрант В.К. Зворикін. У 1933 р. П.В. Шмаков і П.В. Тимофєєв (СРСР) запропонували передавальні телевізійні трубки з підвищеною чутливістю – *суперіконоскопи*, а в 1939 р. Г.В.Брауде (СРСР) висловив ідею створення *суперортікона* – надчутливої передавальної телевізійної трубки.

Разом із розробкою низькочастотної електронної техніки почалося освоєння схемотехніки надвисоких частот (НВЧ). Так у 1932 р. радянський вчений Д.А. Рожанський запропонував динамічне керування електронним потоком з метою використати час прольоту електронів між електродами за корисне явище для підвищення верхньої частотної межі. На підставі цієї пропозиції А.Н.Арсеньєва і О. Хейль (СРСР) у 1939 р. створили прилади для генерування та підсилення коливань НВЧ. У 1940 р. В.Ф. Коваленко винайшов *відбивальний клістрон* – генератор НВЧ, який використовується і сьогодні.

Незважаючи на бурхливий розвиток лампової техніки, починаються пошуки більш надійних, економічних, довговічних та малогабаритних приладів і пристроїв.

Так, у 1922 р. інженер Нижегородської лабораторії О.В. Лосєв відкрив можливість генерування й підсилення електричних коливань за допомогою кристалевого (напівпровідникового) детектора. Ним же відкрито явище світіння контакту “метал-напівпровідник”, тобто О.В. Лосєв вперше створив *світлодіод*. На превеликий жаль роботи О.В. Лосєва не знайшли визнання в СРСР.

Народження схемотехніки **другого покоління** припадає на 1948 р., коли американські дослідники Д. Бардін, У. Браттейн і У. Шоклі винайшли напівпровідниковий тріод (*транзистор*). З цього моменту почався бурхливий розвиток напівпровідникової схемотехніки. Сьогодні напівпровідникова схемотехніка повністю витіснила електронні лампи з прийнятно-підсилювальної апаратури, інформаційно-вимірювальної техніки, приладів обчислювальної техніки тощо. З’явилася можливість реалізації складних функцій, які були неприступні для лампової схемотехніки через велику енергоємність, громіздкість та низьку надійність.

Однак і в схемотехніці другого покоління мініатюрність, енергоспоживання й надійність швидко вичерпали межі своїх можливостей.

Пояснимо це прикладом.

Нехай треба створити компактний електронний пристрій, наприклад, блок пам’яті об’ємом усього 0,5 Мбіт, який містить 10^6 компонентів з середньою потужністю 15 мВт, середньою масою 0,5 г, середнім об’ємом 1 см^3 та ймовірністю відмов $10^{-5}(\text{год})^{-1}$. Результат буде наступним:

- потужність, яка розсіюється у середині пристрою, становитиме 15 кВт;
- об’єм досягне 1 м^3 ;
- маса дорівнюватиме 500 кг;
- середня частота відмов досягне $10 (\text{год})^{-1}$, тобто 10 разів за годину.

Як бачимо, пристрій є далеко не компактным, з недопустимою потужністю розсіювання і, саме головне, непрацездатним, бо відмовляє 10 разів за годину.

З урахуванням того, що сучасні електронні пристрої складніші набагато порядків, стане зрозумілою неможливість їхнього створення засобами дискретної транзисторної техніки.

Третє покоління схемотехніки, яке зародилося наприкінці 50-х років минулого століття, має за мету вирішувати такі задачі на якісно нових засадах, які забезпечують зменшення на декілька порядків габаритів, енергоспоживання, вартості й частоти відмов. Саме такими елементами стали *інтегральні мікросхеми* (ІМС). Технологія їхнього виготовлення дає можливість у мікрооб’ємах твердого тіла створювати електронні пристрої, які містять надто значну кількість компонентів (транзисторів, діодів, резисторів тощо). Тоді розробник РЕА одержує ІМС, яка є готовим функціональним вузлом у вигляді конструктивного єдиного електронного приладу, наприклад, підсилювача, лічильника імпульсів, шифратора, дешифратора і навіть ЕОМ.

Саме завдяки наявності ІМС маємо, зокрема, сучасну систему зв'язку, де комп'ютерна техніка є не "великим арифмометром", а технічним засобом.

Появу серед ІМС мікро-ЕОМ слід було б також виділити в одне з поколінь, бо схемотехніка на мікро-ЕОМ дає принципово нові невідомі раніш можливості. Наприклад, підсилення можна здійснити помноженням цифрової копії сигналу на постійне число, але при цьому, на відміну від підсилювача, не виникають нелінійні, частотні й фазові спотворення, не виникає небезпека самозбудження при високому підсиленні, не вносяться шуми, нема чому відмовляти щодо підсилення тощо.

Розвиток схемотехніки на мікро-ЕОМ і ЕОМ у цілому ще себе не вичерпав і розробки пристроїв особливо на мікро-ЕОМ є актуальною задачею.

Четверте покоління складають функціональні мікросхеми, прилади та вузли, в яких важко або неможливо виділити традиційні компоненти (транзистори, діоди, резистори, конденсатори тощо). Тут здійснюється інтеграція різноманітних об'ємних та поверхневих явищ. Наслідком може бути подолання бар'єра складності. Це покоління перебуває в початковому стані розроблення і ще не вийшло за межі лабораторій.

Скоріше за все четверте покоління так і не вийде за межі лабораторій, бо за минуле десятиріччя з'явилися більш перспективні розробки п'ятого покоління на базі нанотехнологій, які передбачають підвищення надійності, зменшення габаритів пристроїв та зниження вартості на декілька порядків.

П'яте покоління створюється на базі наноприладів. Бурхливо розвивається створення приладів і пристроїв наноелектроніки. Основою наноелектронних пристроїв є нанотранзистор.

Якщо сучасний мікротранзистор є об'ємним виробом і має габарити порядку 15 мкм (це діаметр волосинки), то в нанотранзисторі використовується півка кремнію на ізоляторі (КНІ) 3 нм завтовшки, через що габарити нанотранзистора на чотири порядки, тобто у 10 000 разів менше за сучасного мікротранзистора. Усе це зумовлює наномініатюрність, низьке енергоспоживання, високі швидкодії, технологічність виготовлення, надійність, низьку собівартість, температурну стійкість та працездатність в умовах радіації.

Бурхливо розвиваються розробки наноелектроніки і нанотехнологій, що базуються на результатах досліджень атомних процесів у напівпровідникових структурах зниженої розмірності. Тут носіями бітів інформації є не середовище в цілому, а окремі його частинки.

Так, у періодичній літературі з'явилися повідомлення про створення перших зразків квантових обчислювальних пристроїв, швидкодія яких підвищена на декілька порядків.

Розробка усіх цих приладів наноелектроніки має таке величезне державне значення, що обговорюється на рівні урядових структур країни.

АНАЛОГОВА СХЕМОТЕХНІКА

Розділ 1

СИСТЕМА ЗВ'ЯЗКУ

1.1. Структурна схема системи зв'язку

Системою зв'язку називається сукупність технічних засобів для передавання повідомлень від джерела до споживача. Це повідомлення несе сигнал.

Сигналом називається фізичний процес, який здійснює перенесення повідомлення, що передається. Фізичною величиною, яка визначає сигнал, є напруга або струм. Повідомлення перетворюється в електричний сигнал за допомогою різноманітних давачів (перетворювачів). Для передавання мови таке перетворювання здійснює мікрофон; для передавання зображення – телевізійна камера і т.п.

У більшості випадків отриманий таким чином сигнал є відносно низькочастотним коливанням, яке придатне для передавання лише через металеві лінії на порівняно малу відстань. Якщо потрібно передавати сигнали на великі відстані, то необхідно перетворити сигнал у високочастотний на передавальній стороні, а на приймальній здійснити зворотне перетворення, тобто високочастотний сигнал перетворити у низькочастотний для одержання повідомлення такого виду, яке придатне для споживача.

Таким чином, для здійснення зв'язку необхідне перетворення повідомлення в сигнал, сигналу одного виду в інший, потім сигналу – у повідомлення. Саме необхідність конкретних перетворень стала поштовхом для створення пристроїв і виробів. Тому вивчення їхніх схем має бути щільно зв'язано з тими функціями, які вони використовують у конкретному вузлі системи. Для виявлення сутності таких функцій в системі зв'язку розглянемо її структурну схему, яка наведена на рис. 1.1. На ній зображене наступне.

На передавальній стороні:

ДП – джерело повідомлення;

П – перетворювач, як правило, неелектричної величини в електричну;

ПН – підсилювач напруги (або струму);

М – модулятор;

ГНЧ – генератор несучої частоти;

ПП – підсилювач потужності.

На приймальній стороні:

ПВЧ – підсилювач високої частоти;

ПЧ – перетворювач частоти;

Г – гетеродин;

Д – детектор;

В – випрямляч;

ФНЧ – фільтр нижніх частот;
 ПНЧ – підсилювач низької частоти;
 ВП – відтворювальний пристрій.

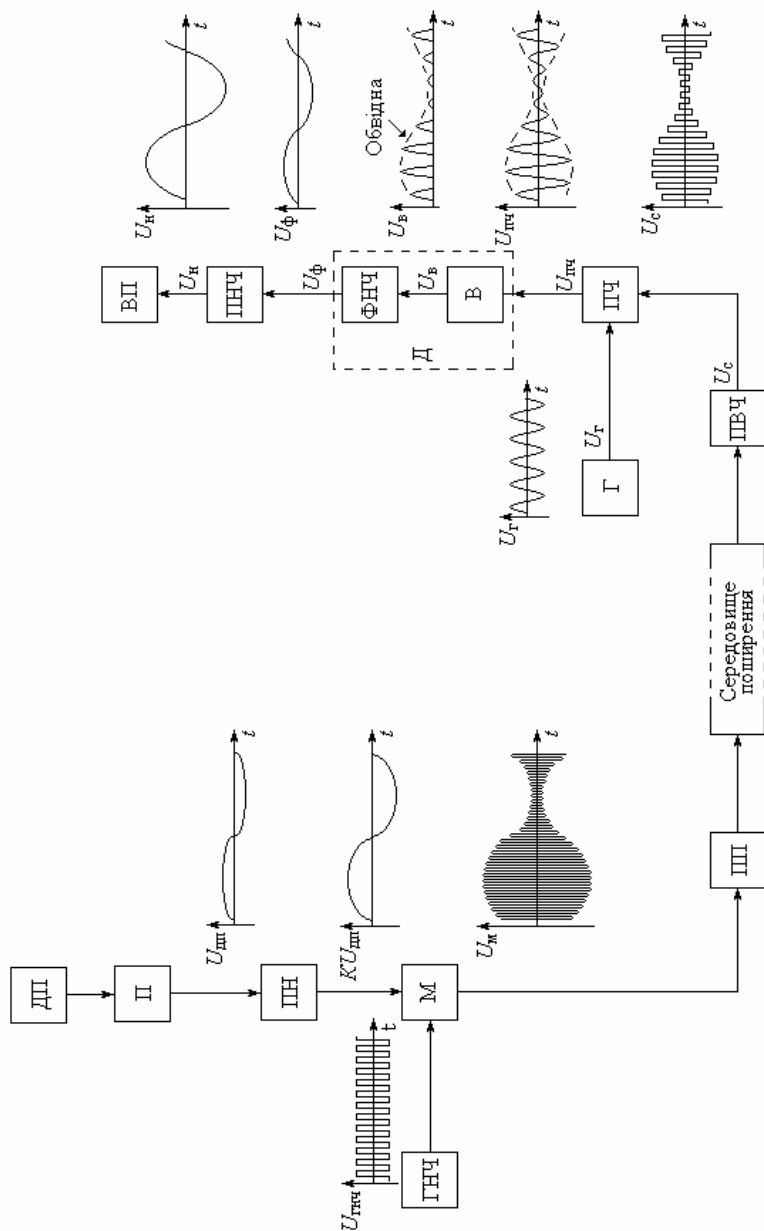


Рис. 1.1. Структурна схема системи зв'язку

Розглянемо роботу системи з метою визначити функції названих вузлів, тобто перетворень, які здійснюються над сигналом.

Система працює наступним чином.

Джерело повідомлення ДП (наприклад, людина, яка говорить у мікрофон), створює звуковий тиск, який діє на перетворювач П звукового тиску в електричний сигнал $U_{дп}$.

Оскільки рівень $U_{дп}$ недостатній для подальшого оброблення, то сигнал необхідно підсилити, для чого передбачений підсилювач напруги ПН.

Далі для передавання сигналу по середовищу поширення (ефір або кабель) треба підвищити частоту. Це підвищення частоти досягається тим, що в коливаннях, які виробляються генератором так званої несучої частоти ГНЧ, змінюють за законом повідомлення амплітуду або частоту, або фазу. Цей процес зміни параметрів несучого коливання називається модуляцією, а пристрої, що її здійснюють, – модуляторами. Модулятор М має бути перемножувачем двох напруг: сигналу $KU_{дп}$ та несучого коливання $U_{нч}$ (для простоти креслення воно наведене прямокутним). Тоді маємо три види модуляції:

– *амплітудну модуляцію* (АМ), якщо повідомлення змінює амплітуду несучого коливання;

– *частотну модуляцію* (ЧМ), якщо повідомленням змінюється частота;

– *фазову модуляцію* (ФМ), якщо повідомленням змінюється фаза.

На рис. 1.1 вихідним сигналом U_m модулятора М є амплітудно модульоване коливання. Воно виробляється тим, що модулятор М перемножує дві напруги: повідомлення $KU_{дп}$ та несучої частоти $U_{нч}$.

Таким чином, виникає задача перемноження напруг.

Щодо підсилювача потужності ПП на передавальній стороні та підсилювача низької частоти ПНЧ – на приймальній, то їхня наявність є очевидною, а задача підсилення вже відома.

На приймальній стороні для виділення повідомлення здійснюються наступні перетворення.

Для супергетеродина прийому, який буде вивчатися в подальших навчальних курсах, несуча частота НЧ перетворюється у так звану проміжну частоту ПЧ, яка має залишатися однією й самою ж за будь-якої частоти несучої. Це здійснюється перетворювачем частоти ПЧ, який має бути теж перемножувачем двох напруг: напруги прийнятого сигналу U_c і напруги гетеродина U_g (місцевого генератора Г). Зміненням частоти гетеродина Г виконують настроювання приймача. Так виникає задача не тільки генерувати коливання, а й регулювання їхньої частоти.

Далі треба виділити “обвідну”, тобто саме повідомлення. Для цього сигнал проміжної частоти $U_{пч}$ детектується, тобто демодулюється детектором Д. А саме: з двополярного сигнал $U_{пч}$ на виході детектора стає однополярним U_b , тобто випрямляється. Так виникає задача детектування.

Як видно з епюри вихідної напруги U_b випрямляча В, вона, крім обвідної, яка є повідомленням, містить високочастотне заповнення, яке ліквідує фільтр нижніх частот ФНЧ. Його вихідна напруга U_f повторює

первинне повідомлення $U_{дп}$. Відтворений сигнал $U_{ф}$ треба підсилити, для чого є підсилювач низьких частот ПНЧ.

Відтворювальний пристрій ВП здійснює перетворення, яке є зворотним відносно джерела повідомлення ДП. Так, якщо ДП перетворює тиск у напругу (мікрофон), то ВП перетворює напругу в тиск (динамік).

Таким чином, з розглянутої структурної схеми системи зв'язку встановлена необхідність здійснення наступних функцій:

- перетворення неелектричних величин в електричні;
- підсилення напруг, струмів, потужностей;
- генерація коливань;
- модуляція (перемноження сигналів);
- перетворення частоти;
- детектування (демодуляція);
- регулювання напруги (струму), частоти;
- відтворення повідомлення (перетворення електричної величини в неелектричну).

Для повноти цього переліку необхідно розглянути ще й електроживлення, без якого не може діяти жодна система.

1.2. Структурна схема системи електроживлення РЕА

У більшості випадків первинним джерелом живлення є мережа змінного струму промислової частоти 50 Гц з напругою 220 В.

Проте майже завжди напруга живлення має бути постійною і, як правило, низькою. Для живлення пристроїв на мікросхемах – це 5 ... 15 В. Крім того, напруга живлення має залишатися високо стабільною, незважаючи на те, що напруга ~ 220 В змінюється на десятки відсотків. Усі ці вимоги забезпечує поширена структурна схема електроживлення, що наведена на рис. 1.2.

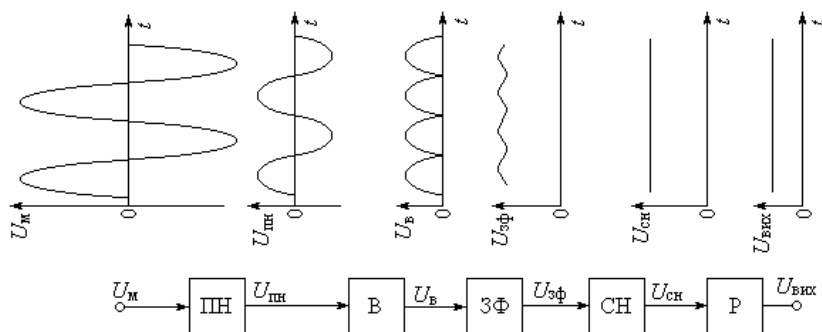


Рис. 1.2. Структурна схема електроживлення РЕА

Тут

ПН – перетворювач напруги;

В – випрямляч;

ЗФ – згладжувальний фільтр;

СН – стабілізатор напруги;

Р – регулятор вихідної напруги.

Схема електроживлення діє наступним чином.

Перетворювач напруги ПН перетворює $U_M = 220$ В в іншу (в більшості випадків – низьку) напругу $U_{пн}$. Її частота та ж сама, що й первинної мережі U_M .

Випрямляч В перетворює змінну біполярну напругу $U_{пн}$ у пульсуючу однополярну U_B .

Згладжувальний фільтр ЗФ зменшує амплітуду пульсацій і тому його вихідна напруга U_Φ не має провалів до нуля.

Стабілізатор напруги СН остаточно придушує пульсації U_Φ і не пропускає до виходу коливання напруги первинного джерела U_M .

Регулятором Р установлюють необхідний рівень вихідної напруги $U_{вих}$.

Таким чином, крім функцій, які визначені розгляданням структурної схеми системи зв'язку, необхідно реалізувати наступне:

- перетворювання напруги однієї величини в іншу;
- випрямлення напруги;
- згладжування (фільтрацію);
- стабілізацію напруги (або струму);
- регулювання напруги (або струму).

Технічна реалізація всіх названих та інших функцій оброблення сигналів неможлива без схмотехнічних рішень, бо якою б високо академічною не була б наукова розробка, врешті-решт працює схема.

Тому без знання схмотехніки діяльність інженера неможлива.

Щодо схмотехнічної реалізації перелічених функцій, то саме вона й розглядається в даному підручнику.

1.3. Пояснення застосовуваних величин

Напруга

Напруга між двома точками x та y позначається через U_{xy} і є різницею потенціалів між цими точками:

$$U_{xy} = \varphi_y - \varphi_x. \quad (1.1)$$

Умовимось вважати напругу позитивною, якщо точка x має позитивний, тобто більш високий потенціал відносно точки y , і негативною, якщо точка x має негативний, тобто більш низький потенціал відносно точки y .

При цьому справедливе співвідношення

$$U_{xy} = -U_{yx}. \quad (1.2)$$

Тоді запис $U_{EK} = -5 \text{ В}$ або $-U_{EK} = 5 \text{ В}$, або $U_{KE} = 5 \text{ В}$ позначає, що між точками Е і К прикладена напруга 5 В, причому точка К має позитивний, тобто більш високий потенціал відносно точки Е.

Тоді не зовсім коректно говорити про “напругу точки”, наприклад, “напругу колектора”. Напруга як різниця потенціалів може діяти тільки між двома точками. Отже, правильно буде: напруга між колектором та емітером або напруга “колектор-емітер”. Коли потенціал одного з електродів, наприклад, емітера, дорівнює нулю, то можна говорити “напруга колектора”.

Оскільки напруга діє між двома конкретними точками, то неправильно говорити, що напруга *йде* або *проходить*. Напруга може прикладатись, подаватись, передаватись, підводитись, діяти, падати (на будь-чому), але не *йти* і не *проходити*.

Одиницею виміру і розмірністю напруги є вольт, В. Застосовуються також мілівольти, мВ; мікровольти, мкВ та кіловольти, кВ:

$$\begin{aligned} 1 \text{ мВ} &= 10^{-3} \text{ В}; \\ 1 \text{ мкВ} &= 10^{-6} \text{ В}; \\ 1 \text{ кВ} &= 10^3 \text{ В}. \end{aligned} \quad (1.3)$$

Струм

Електричним струмом є кількість зарядів, що проходять через переріз за одиницю часу.

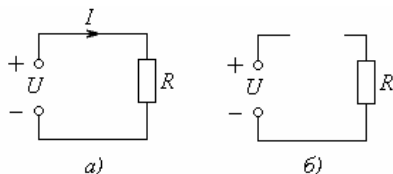


Рис. 1.3. Електричне коло:
а – замкнене, б – розірване

Струм I в колі умовно позначається стрілкою (рис. 1.3,а). Струм завжди направлений від точки з високим потенціалом (+) до точки з низьким потенціалом (-), тобто тече від “+” до “-”.

Струм може протікати лише тоді, коли його коло замкнене (рис. 1.3,а). З якої точки кола струм вийшов, у ту ж саму точку він має повернутись. Так, з рис. 1.3 видно, що струм I тече від “+” через елемент R до “-” і через джерело напруги U до “+”.

Якщо коло розірване (рис. 1.3,б), то незважаючи на наявність джерела напруги U , струму I в колі немає: $I = 0$.

Одиницею виміру і розмірністю струму є ампер, А.

Застосовуються також міліампери, мА; мікроампери, мкА та кілоампери, кА:

$$\begin{aligned} 1 \text{ мА} &= 10^{-3} \text{ А}; \\ 1 \text{ мкА} &= 10^{-6} \text{ А}; \\ 1 \text{ кА} &= 10^3 \text{ А}. \end{aligned} \quad (1.4)$$

Опір

Опір R є коефіцієнтом пропорційності між струмом I , який протікає через цей опір, та напругою U , що прикладена до цього опору.

$$U = RI, \quad (1.5)$$

звідки маємо

$$I = \frac{U}{R}. \quad (1.6)$$

Співвідношення (1.5) та (1.6) є законом Ома.

Одиницею і розмірністю опору є ом, Ом.

Застосовуються також кілооми, кОм та мегаоми, МОм:

$$\begin{aligned} 1 \text{ кОм} &= 10^3 \text{ Ом}; \\ 1 \text{ МОм} &= 10^6 \text{ Ом}. \end{aligned} \quad (1.7)$$

Щодо математичних обчислень, то в формули слід підставляти величини в системі одиниць СІ: вольт, ампер, ом. При цьому множник числа, якщо він є, має бути кратним 10^3 або 10^{-3} (див. табл. 1.1).

Джерело напруги

Внутрішній опір R_i ідеального джерела напруги дорівнює нулю: $R_i = 0$.

У практиці ж використовуються реальні джерела напруги, які мають скінченний внутрішній опір R_B (рис.1.4).

Коли джерело E працює на холостому ході (рис. 1.4,*a*), то вихідна напруга $U_{\text{вих}}$ дорівнює електрорушійній силі (ЕРС) E , тобто

$$U_{\text{вих}} = E. \quad (1.8)$$

Якщо ж джерело напруги працює на якесь навантаження R_H , то за законом Кірхгофа справедливе наступне співвідношення:

$$E = U_{\text{вих}} + I_{\text{вих}} R_B, \quad (1.9)$$

звідки одержуємо

$$U_{\text{вих}} = E - I_{\text{вих}} R_B. \quad (1.10)$$

Отже, вихідна напруга $U_{\text{вих}}$ реального джерела залежить від вихідного струму $I_{\text{вих}}$ і завжди менша на величину падіння напруги $I_{\text{вих}} R_B$ на внутрішньому опорі R_B .

Ідеальне джерело напруги має нескінченно малий внутрішній опір ($R_B = 0$), через що з (1.10) одержуємо $U_{\text{вих}} = E$, тобто вихідна напруга ідеального джерела не залежить від опору навантаження R_H і завжди дорівнює ЕРС.

Таблиця 1.1

Правила підстановки величин

Величина	Запис у системі СІ	
	Правильно	Неправильно
10 мВ	$10 \cdot 10^{-3}$	10^{-2}
100 мкА	$100 \cdot 10^{-6}$	10^{-4}
82 мА	$82 \cdot 10^{-3}$	$8,2 \cdot 10^{-2}$
120 кОм	$120 \cdot 10^3$	$12 \cdot 10^4$

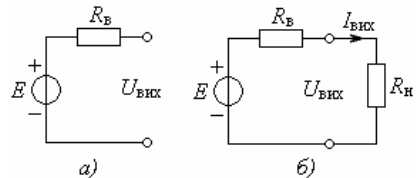


Рис. 1.4. Еквівалентна схема реального джерела напруги:

а – на холостому ході,

б – під навантаженням R_H

Джерело струму

Для реального джерела струму, схема якого наведена на рис. 1.5, справедливе співвідношення

$$I_{\text{вих}} = I_0 - \frac{U_{\text{вих}}}{R_i}, \quad (1.11)$$

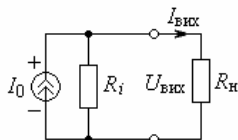


Рис. 1.5. Еквівалентна схема реального джерела струму під навантаженням

де I_0 – струм короткого замикання.

З (1.11) видно, що вихідний струм реального джерела струму тим менше залежить від опору навантаження R_n , чим більше внутрішній опір R_i .

Для ідеального джерела струму внутрішній опір нескінченно великий ($R_i \rightarrow \infty$), через що його вихідний струм $I_{\text{вих}} = I_0$, тобто вихідний струм ідеального джерела не залежить від опору навантаження R_n і завжди дорівнює струму короткого замикання I_0 .

Відношення напруг

Відношення напруг може надаватись у разгах, наприклад

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}}, \quad (1.12)$$

або у логарифмах цього відношення

$$K_{\text{дБ}} = 20 \lg \frac{U_{\text{вих}}}{U_{\text{вх}}}. \quad (1.13)$$

Співвідношення (1.13) вимірюється в *децибелах*, дБ. Нижче наведені деякі значення величин K і $K_{\text{дБ}}$.

Таблиця 1.2

Відношення напруг

K , разів	0,5	$0,5\sqrt{2}$	1	$\sqrt{2}$	2	10	100	1000
$K_{\text{дБ}}$, дБ	-6	-3	0	3	6	20	40	60

Основні позначення

t – астрономічний час.

E – напруга живлення.

U – будь-яка напруга в залежності від часу, в якій є постійна складова.

u – змінна напруга без постійної складової.

U_0 – напруга в робочий точці.

U_m – амплітуда напруги.

I – будь-який струм в залежності від часу, в якому є постійна складова.

i – змінний струм без постійної складової.

I_m – амплітуда струму.

R – омичний опір у статичному режимі.

$$R = \frac{U}{I}, \quad (1.14)$$

r – омичний диференційний опір:

$$r = \frac{\Delta U}{\Delta I}, \quad (1.15)$$

|| – паралельність.

$$R_1 \parallel R_2 = \frac{R_1 R_2}{R_1 + R_2} \quad (1.16)$$

Визначення амплітуд

Амплітудою U_m (рис. 1.6) є максимальне відхилення ($U_{\max} - U_0$) або ($U_0 - U_{\min}$) від середнього значення U_0 . Амплітуда не має знака і визначається як

$$U_m = U_{\max} - U_0 = |U_0 - U_{\min}| \quad (1.17)$$

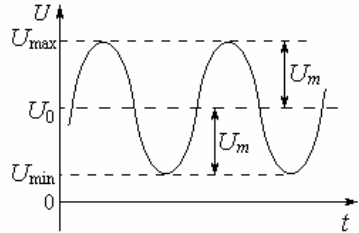


Рис. 1.6. До визначення амплітуд

Правила креслення принципів електричних схем

1.1 За умовними позначеннями всі елементи принципів схем (надалі: схем) мають відповідати діючим стандартам (див. Додаток А).

1.2 Співвідношення розмірів умовних позначень елементів має відповідати Додатку А.

1.3 На принципів схемі має бути позначене наступне:

- вхід та вихід;
- вхідна та вихідна величини;
- усі елементи (резистори, конденсатори, котушки, трансформатори, діоди, стабілітрони, транзистори, мікросхеми) тощо;
- усі напруги та струми, що згадуються в тексті;
- з'єднання провідних ліній між собою має позначатись точкою на їх перетині;
- кінці провідних ліній мають позначатись кружками;
- креслення схем має бути таким, що б кількість перегонів та перетинів ліній була б якомога меншою.

Контрольні питання

- 1.1. Перелічіть функції системи зв'язку на передавальній стороні.
- 1.2. Перелічіть функції системи зв'язку на приймальній стороні.
- 1.3. Перелічіть функції вузлів системи живлення РЕА.
- 1.4. Дайте пояснення напруги.
- 1.5. Дайте пояснення струму.
- 1.6. Дайте пояснення опору.

1.7. Дайте пояснення амплітуди.

1.8. Поясніть визначення амплітуд.

Рекомендована література

1.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 3 – 13.

1.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 9 – 13.

Розділ 2

ПАСИВНІ КОМПОНЕНТИ

Пасивними компонентами є резистори, конденсатори, котушки індуктивності та трансформатори.

2.1. Резистори

Резистори є найбільш розповсюдженими компонентами. Важко уявити електронний пристрій без резисторів.

Основною властивістю резистора є перетворення електричної енергії в тепло, хоча в більшості пристроїв ця властивість не тільки не використовується, а іноді є шкідливою.

Функціональним призначенням резисторів є регулювання і розподілення електричної енергії між колами й елементами електронного пристрою.

Резистори бувають постійними та змінними. Умове позначення резисторів наведено на рис. 2.1, а правила їхнього креслення на схемах пояснює рис. 2.2.

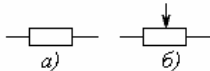


Рис. 2.1. Умове позначення резисторів:
а – постійного;
б – змінного

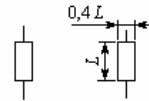


Рис. 2.2. Розміри умовного позначення резистора

Основним параметром резистора є його електричний опір R . Опір є коефіцієнтом пропорційності у співвідношенні між струмом I_R , який протікає через резистор, та напругою U_R , яка прикладена до резистора R :

$$U_R = R \cdot I_R, \quad (2.1)$$

$$I_R = \frac{U_R}{R}. \quad (2.2)$$

Із співвідношень (2.1) та (2.2), які є законом Ома, видно основну дію резистора, а саме: резистори перетворюють напругу на струм або струм на напругу.

Якщо до резистора з опором R прикладена напруга U_R , то через резистор тече струм I_R (рис. 2.3).

Навпаки, якщо через резистор з опором R тече струм I_R , то на резисторі виникає падіння напруги U_R (рис. 2.4).

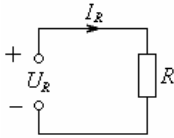


Рис. 2.3. Резистор R під напругою U_R

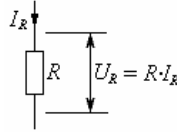


Рис. 2.4. Резистор R під струмом I_R

Розмірністю й одиницею опору є Ом:

$$[R] = \frac{1\text{В}}{1\text{А}} = 1\text{Ом}, \quad (2.3)$$

тобто, якщо до резистора прикладена напруга $U_R = 1\text{ В}$ і при цьому через нього протікає струм $I_R = 1\text{ А}$, то опір резистора дорівнює 1 Ом . Опір 1 Ом є відносно малим і тому поруч з одиницею „Ом” застосовуються також найбільше розповсюджені одиниці „кОм” (кілоом) та „МОм” (мегом).

$$\begin{aligned} 1\text{ кОм} &= 10^3\text{ Ом}; \\ 1\text{ МОм} &= 10^6\text{ Ом}. \end{aligned} \quad (2.4)$$

Інші одиниці поза межами „ом” та „мегом” використовуються в РЕА дуже рідко і тому тут не розглядаються.

Резистор під напругою завжди виділяє потужність у виді тепла

$$P = I_R \cdot U_R = \frac{U_R^2}{R} = I_R^2 R, \quad (2.5)$$

де U_R та I_R – середньоквадратичні відповідно напруга й струм.

Формула (2.5) справедлива тільки для постійного струму. Для змінного струму слід урахувати так званий коефіцієнт форми. Для синусоїдальної форми напруги або струму коефіцієнт форми дорівнює $\sqrt{\frac{1}{2}}$, через що потужність становить

$$P_{\text{зм}} = \frac{1}{2} I_m \cdot U_m = \frac{1}{2} \frac{U_m^2}{R} = \frac{1}{2} I_m^2 R, \quad (2.6)$$

де U_m та I_m – амплітуди відповідно напруги та струму.

Резистор також характеризується *провідністю*, яка є зворотною величиною до опору:

$$G = \frac{1}{R}. \quad (2.7)$$

Розмірністю й одиницею провідності є *сименс*, См:

$$[G] = \frac{1}{[R]} = \frac{1\text{А}}{1\text{В}} = 1\text{См}. \quad (2.8)$$

Використовуються також мілісименс (мСм) та мікросименс (мкСм):

$$\begin{aligned} 1\text{ мСм} &= 10^{-3}\text{ См}; \\ 1\text{ мкСм} &= 10^{-6}\text{ См}. \end{aligned} \quad (2.9)$$

Щодо форми струму I_R резистора і напруги U_R на резисторі, то вони завжди збігаються. На рис. 2.5 наведена часова діаграма роботи резистора, тобто епюри напруги U_R , яка прикладена до резистора, та струму I_R для двох опорів резисторів R_1 і $R_2 < R_1$. З цього рисунку видно, що чисто резистивне коло не змінює форму струму і залишає її завжди такою ж, що й форма напруги. Воно не вносить також фазового зсуву між струмом і напругою. Тому точки переходу через нуль напруги U_R та струму I_R завжди збігаються.

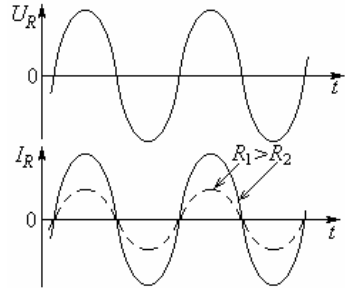


Рис. 2.5. Часова діаграма роботи резистора

Основними параметрами резисторів є номінальний опір R , допуск номінального опору (точність виготовлення) та номінальна потужність P (2.5) та (2.6), яку вони можуть розсіювати при збереженні інших параметрів.

Умовні позначення цих параметрів наносяться на резистори. Вони стандартизовані і наведені в табл. 2.1, 2.2, 2.3.

Таблиця 2.1

Ряд опорів резисторів з допуском $\pm 5\%$ (ряд Е 24)

Ряд опорів					
1,0	1,5	2,2	3,3	4,7	6,8
1,1	1,6	2,4	3,6	5,1	7,5
1,2	1,8	2,7	3,9	5,6	8,2
1,3	2,0	3,0	4,3	6,2	9,1

Таблиця 2.2

Допуски номіналів резисторів

Допуск, %	0,1	0,2	0,5	1	2	5	10	20	30
Позначення	Ж	У	Д	Р	Л	И	С	В	Ф

Таблиця 2.3

Позначення потужностей резисторів на схемах

Потужність, Вт	0,25	0,5	1	2	3	4	5
Позначення на схемі							

Матеріали, з яких виготовляють резистори визначають їхній тип: дротяні та недротяні.

Недротяні резистори підрозділяють на тонкошарові та композиційні.

Тонкошарові резистори у свою чергу підрозділяються на металоокисні, металізовані, вуглецеві та боровуглецеві.

Композиційні резистори бувають плівкові та об'ємні.

Матеріал і технологія виготовлення резисторів суттєво впливають на параметри та властивості резисторів. Так, дротяні резистори мають високі точність виготовлення та температурну стабільність. Але поруч з цим вони відносно низькочастотні.

На високих частотах слід використовувати недротяні резистори.

2.2. Конденсатори

Конденсатор, умовне позначення якого наведено на рис. 2.6, являє собою дві струмопровідні поверхні (пластини), які відділені одна від одної діелектриком.



Рис. 2.6. Умовне позначення конденсатора

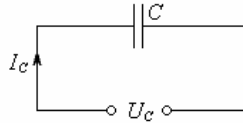


Рис. 2.7. Конденсатор під напругою

Основною властивістю конденсатора є накопичення енергії електричного поля.

Конденсатори характеризуються *ємністю*

$$C = \frac{Q}{U_C}, \quad (2.10)$$

де Q – заряд, який накопичив конденсатор під прикладеною до нього напругою U_C (рис. 2.7).

Розмірністю й одиницею ємності є *фарада*, Ф.

$$[C] = \frac{1 \text{ Кл}}{1 \text{ В}} = 1 \text{ Ф}. \quad (2.11)$$

Якщо конденсатор знаходиться під постійною напругою $U_C = 1 \text{ В}$ і при цьому накопичив заряд в $Q = 1$ кулон, то його ємність дорівнює 1 фараді.

Ємність в 1 фараду дуже велика. Тому застосовуються часткові одиниці: мікрофарада, мкФ, нанофарада, нФ та пікофарада, пФ.

$$\begin{aligned} 1 \text{ мкФ} &= 10^{-6} \text{ Ф}; \\ 1 \text{ нФ} &= 10^{-9} \text{ Ф}; \\ 1 \text{ пФ} &= 10^{-12} \text{ Ф}. \end{aligned} \quad (2.12)$$

Струм I_C в колі конденсатора (рис. 2.7) зв'язаний з напругою U_C на ньому через співвідношення

$$I_C = C \frac{dU_C}{dt}, \quad (2.13)$$

тобто струм конденсатора є пропорційним до швидкості зміни напруги на ньому. Тому є ще одне визначення фаради: якщо напруга на конденсаторі U_C змінюється на 1 В за 1 с і викликає при цьому струм $I_C = 1$ А, то ємність конденсатора становить 1 Ф.

Для розгляду принципу дії конденсатора перш за все з'ясуємо, який струм (постійний чи змінний) може протікати в колі конденсатора. Якщо до конденсатора прикладена постійна напруга $U_C = \text{const}$ (рис. 2.7), то $dU_C = 0$ і, як видно з формули (2.13), $I_C = 0$, тобто під постійною напругою струм у колі конденсатора не тече.

Тоді виникає питання, як же має змінюватись $U_C \neq \text{const}$, щоб у колі конденсатора протікав постійний струм $I_C = \text{const}$.

Після інтегрування (2.13) одержуємо

$$U_C = \frac{1}{C} \int I_C dt. \quad (2.14)$$

Підставляючи в (2.14) $I_C = I_{C0} = \text{const}$ і виносячи з під інтегралу I_{C0} , одержуємо

$$U_C = \frac{I_{C0}}{C} \int dt = \frac{I_{C0}}{C} t. \quad (2.15)$$

З формули (2.15) видно, що в колі конденсатора може текти постійний струм, якщо змінювати напругу U_C на конденсаторі за лінійним законом. І навпаки, якщо конденсатор заряджати постійним струмом, то напруга U_C на ньому необмежено зростає теж за лінійним законом (рис. 2.8).

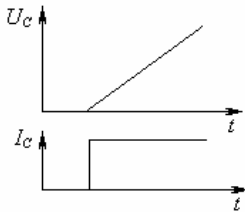


Рис. 2.8. Напруга U_C та постійний струм I_C конденсатора

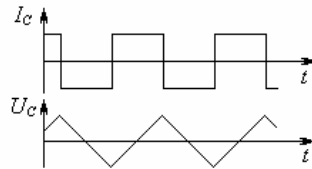


Рис. 2.9. Одержання лінійного зміння напруги

Ця властивість конденсатора широко використовується для одержання напруг, які змінюються лінійно залежно від часу (рис. 2.9).

Щодо знаходження конденсатора під гармонічною напругою (рис. 2.10), то в його колі тече змінний струм, незважаючи на те, що між пластинами конденсатора є діелектрик.

Механізм струмопроходження в колі конденсатора наступний.

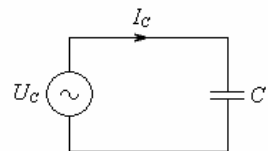


Рис. 2.10. Конденсатор під змінною напругою

Позитивна напівхвиля напруги U_C , яка прикладена до конденсатора C (рис. 2.11), в інтервалі моментів $t_1 \dots t_2$ відбирає електрони “-” від лівої пластини і направляє їх до правої. Під час цього переходу електронів у колі конденсатора тече струм I_{C1} .

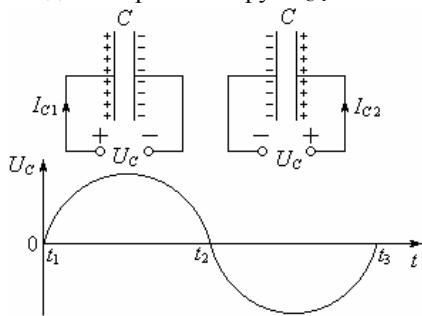


Рис. 2.11. До пояснення струмопроходження в колі конденсатора

В інтервалі ж моментів $t_2 \dots t_3$ полярність U_C змінюється на протилежну. Конденсатор перезаряджається до цієї протилежної полярності і тому струм I_{C2} протікає в протилежному напрямі.

Отже, в колі конденсатора струм I_C протікає лише тоді, коли напруга U_C на конденсаторі змінюється. При цьому через сам конденсатор ніякого руху будь-яких часток і, зокрема електронів, немає.

Струм протікає в колі конденсатора, а не через конденсатор, як іноді кажуть.

Конденсатор чинить опір протіканню струму тим, що струм тече під різницею двох напруг: прикладеної напруги U_C та напруги U_3 , до якої зарядився конденсатор. Тому струм I_C створює різниця $(U_C - U_3)$, тобто U_3 чинить опір. Чим триваліше заряджається конденсатор, тим більше U_3 і тим менше струм I_C , тобто більше опір.

На відміну від резистора цей опір не є омичним. На ньому не виділяється потужність і він є частотно залежним:

$$|X_C| = \frac{1}{\omega C}. \quad (2.16)$$

Основними параметрами конденсатора є номінальна ємність та припустима напруга.

Номінальна ємність стандартизована і регламентується тими ж номіналами, що й опори резисторів (див. табл. 2.1).

Матеріал діелектрика визначає і тип конденсатора, і його властивості. За матеріалом діелектрика конденсатори бувають паперові, слюдяні, керамічні та електролітичні.

В електролітичних конденсаторах діелектриком є електронно-дірковий перехід (*p-n*-перехід). Його ширина не перевищує одиниць мікрометрів, через що відстань між пластинами, однією з яких є електроліт, дуже мала, бо електроліт як рідина цілком заповнює нерівності металеві пластины. Тому найбільшу ємність за інших рівних умов мають електролітичні конденсатори (сотні тисяч мкФ).

Щодо частотних властивостей, то самими високочастотними конденсаторами є керамічні.

2.3. Котушки індуктивності

Котушка індуктивності, умовне позначення якої наведене на рис. 2.12, являє собою соленоїд з осердям (*а*) або без нього (*б*). Осердя застосовується для збільшення індуктивності. Матеріалом для осердя частіше за все є пластини з трансформаторного заліза або ферит.

Рис. 2.12. Умовне позначення котушок: *а* – з осердям; *б* – без осердя

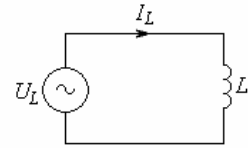
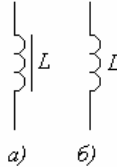


Рис. 2.13. Котушка під напругою

Основною властивістю котушки є накопичення енергії магнітного поля.

Основним параметром котушки є *індуктивність* L .

$$L = \frac{\Psi}{I_L}, \quad (2.17)$$

де Ψ – потокозчеплення самоіндукції, тобто сумарний магнітний потік, який викликається струмом котушки I_L (рис. 2.13).

Розмірністю й одиницею індуктивності є *генрі*, Гн. Якщо через котушку протікає струм $I_L = 1$ А і при цьому він створює магнітний потік $\Phi = \psi$ в один вебер (Вб), то така котушка має індуктивність 1 Гн.

$$[L] = \frac{[\psi]}{[I_L]} = \frac{1 \text{ Вб}}{1 \text{ А}} = 1 \text{ Гн}. \quad (2.18)$$

Існують також часткові одиниці:

$$\begin{aligned} 1 \text{ мГн} &= 10^{-3} \text{ Гн} - \text{мілігенрі}; \\ 1 \text{ мкГн} &= 10^{-6} \text{ Гн} - \text{мікрогенрі}; \\ 1 \text{ нГн} &= 10^{-9} \text{ Гн} - \text{наногенрі}; \\ 1 \text{ пГн} &= 10^{-12} \text{ Гн} - \text{пікогенрі}. \end{aligned} \quad (2.19)$$

Напруга U_L на котушці та її струм I_L (рис. 2.13) зв'язані співвідношенням

$$U_L = L \frac{dI_L}{dt}. \quad (2.20)$$

З формули (2.20) можна дати інше визначення 1 Гн: якщо під прикладеною до котушки змінною напругою $U_L = 1$ В швидкість зміни струму становить 1 А за 1 с, то індуктивність котушки дорівнює 1 Гн.

Як і конденсатор, котушка має частотно залежний опір, на якому потужність не виділяється:

$$|X_L| = \omega L. \quad (2.21)$$

Цей опір котушка створює наступним чином.

Струм котушки I_L створює магнітний потік, який пересікає витки котушки і наводить в них електрорушійну силу (ЕРС). За законом Джоуля-Ленца будь-яка наведена ЕРС має таку полярність, щоб перешкоджати причині, що її викликала. Тому струм тече під різницею прикладеної напруги U_L та проти-ЕРС, тобто проти-ЕРС чинить опір.

Параметри котушок не стандартизовані і можуть бути будь-якими на вимогу.

Щодо осердя, то трансформаторне залізо використовують на відносно низьких частотах, що не перевищують верхню межу звукового діапазону. На вищих частотах використовують котушки з феритовим осердям.

2.4. Трансформатори

Трансформатори призначені для перетворення так званої первинної напруги в іншу – вторинну напругу.

Трансформатор складається в найпростішому випадку з двох магнітно зв'язаних котушок W_1 та W_2 , які називають обмотками (рис. 2.14).

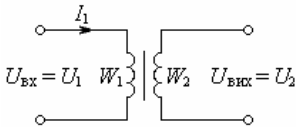


Рис. 2.14. Схема трансформатора

Магнітні потоки цих котушок зчеплені, через що трансформатор перетворює первинну (вхідну) напругу U_1 у вторинну (вихідну) напругу U_2 наступним чином.

Під вхідною змінною напругою U_1 через первинну обмотку W_1 тече змінний струм I_1 , який створює змінний магнітний потік. Цей потік перетинає витки вторинної обмотки W_2 і наводить в них ЕРС. Так створюється вторинна вихідна напруга U_2 . Вона тим вища, чим більша кількість витків вторинної обмотки W_2 .

Основним параметром трансформатора є коефіцієнт трансформації

$$N = \frac{W_2}{W_1}, \quad (2.22)$$

де W_1 та W_2 – числа витків первинної та вторинної обмоток відповідно.

Через напруги коефіцієнт трансформації визначається як

$$N = \frac{U_2}{U_1}. \quad (2.23)$$

Якщо $N < 1$, тобто $U_2 < U_1$, то трансформатор знижувальний (він зменшує напругу).

При $N > 1$ ($U_2 > U_1$), трансформатор підвищувальний (збільшує напругу).

При $N = 1$ ($U_2 = U_1$), трансформатор розподільний. Він гальванічно розриває первинне та вторинне кола, не змінюючи напруги.

Трансформатор діє наступним чином.

На холостому ході навантаження вторинної обмотки немає (див рис. 2.14). Тому вторинний струм не тече, через що первинний струм I_1 малий.

Це пояснюється наступним чином.

Струм I_1 створює магнітний потік, який перетинає витки первинної обмотки і наводить в них проти-ЕРС. За законом Джоуля-Ленца будь-яка наведена ЕРС завжди має таку полярність, щоб перешкоджати причині, яка її викликає. Тому ця проти-ЕРС діє назустріч первинній напрузі $U_{вх}$, тобто чинє опір, через що на холостому ході струм малий.

Якщо трансформатор працює під навантаженням R_n (рис. 2.15), то його вторинна обмотка знаходиться під струмом I_2 , від якого прямо пропорційно залежить I_1 , тобто під навантаженням первинний струм збільшується.

Це пояснюється тим, що I_2 створює магнітний потік, який спрямований проти первинного магнітного потоку, що створює струм I_1 . Тому під навантаженням R_n осердя трансформатора дещо розмагнічується, через що проти-ЕРС зменшується і первинний струм I_1 зростає. Струми I_1 та I_2 зв'язані через коефіцієнт трансформації N :

$$I_1 = NI_2. \quad (2.24)$$

Таким чином, для знижувального трансформатора вторинна напруга в N разів менше за первинну, а вторинний струм в N разів більше, ніж первинний.

Щодо опору навантаження R_n , то він перераховується до первинної обмотки через N^2 :

$$R_{н1} = N^2 R_{н2}, \quad (2.25)$$

де $R_{н1}$ – опір, перерахований до первинної обмотки.

Коефіцієнт корисної дії становить близько 100%, тобто потужності у первинній та вторинній обмотках майже збігаються.

Якщо вторинна обмотка не одна (рис. 2.16), то потужність первинної обмотки P_1 складається з суми потужностей усіх вторинних обмоток :

$$P_1 = P_{21} + P_{22} + \dots + P_{2n}. \quad (2.26)$$

Щодо матеріалу осердя, то ним є трансформаторне залізо або ферит. Трансформаторне залізо використовують на відносно низьких частотах, що не перевищують звукового діапазону. На вищих частотах використовують трансформатори з феритовим осердям.

Крім коефіцієнта трансформації, до основних параметрів трансформатора належить його потужність, яка визначається об'ємом осердя. Чим більше об'єм, тим потужніше трансформатор.

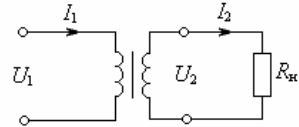


Рис. 2.15. Трансформатор під навантаженням

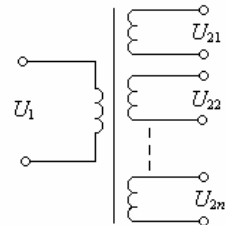


Рис. 2.16. Трансформатор з багатьма вторинними обмотками

2.5. Подільники напруги

Подільники напруги набули найбільшого розповсюдження і складають основу різноманітних схемотехнічних пристроїв. Вони, в основному, призначені для зменшення напруги і саме тому називаються подільниками.

Однак, слід зазначити, що застосування резисторів у подільниках має призначенням не тільки зменшення напруги. Комбінація резистора з іншими приладами створює різноманітні електронні пристрої.

Так, подільник з резистора та конденсатора створює фільтр вищих або нижніх частот. Подільник з резистора та діода створює випрямляч. Зі стабілітроном подільник є стабілізатором напруги. Подільник з резистора та транзистора створює підсилювач або ключ і т. ін.

Отже, без структури подільника напруги не можна уявити жодного самого простішого електронного пристрою. Тому вивчення подільників напруги є фундаментом для засвоєння подальших електронних пристроїв.

Схема найпростішого резистивного подільника напруги на холостому ході, тобто без навантаження, наведена на рис. 2.17.

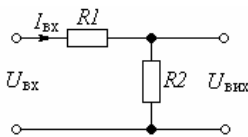


Рис. 2.17 Подільник напруги

Резистори R_1 та R_2 називаються плечами. R_1 – верхнє плече, R_2 – нижнє.

Подільник діє наступним чином.

Послідовне з'єднання резисторів R_1 , R_2 перетворює вхідну напругу $U_{вх}$ у струм

$$I_{вх} = \frac{U_{вх}}{R_1 + R_2}, \quad (2.27)$$

який створює падіння напруги на резисторах R_1 та R_2 . Вихідна напруга, яка знімається з резистора R_2 , становить

$$U_{вих} = I_{вх} R_2 = U_{вх} \frac{R_2}{R_1 + R_2}. \quad (2.28)$$

З (2.28) видно, що вихідна напруга $U_{вих}$ менше вхідної в $\frac{R_2}{R_1 + R_2}$ разів,

тобто є поділеною. Це пояснюється законом Кірхгофа, за яким вхідна напруга $U_{вх}$ розподіляється між резисторами R_1 та R_2 :

$$U_{вх} = U_{R1} + U_{R2}. \quad (2.29)$$

З (2.29) випливає, що напруга на кожному з резисторів менша за вхідну.

Діленням обох частин (2.28) на $U_{вх}$ одержуємо коефіцієнт передавання

$$K = \frac{U_{вих}}{U_{вх}} = \frac{R_2}{R_1 + R_2}. \quad (2.30)$$

Вхідний опір подільника напруги становить

$$R_{вх} = \frac{U_{вих}}{I_{вх}} = R_1 + R_2. \quad (2.31)$$

Вихід подільника напруги, як і вихід будь-якого пристрою, завжди працює на якесь навантаження R_H (рис. 2.18) – низькоомне чи високоомне, але воно завжди є. Тоді опір нижнього плеча визначається паралельним з'єднанням R_2 та R_H :

$$R_e = \frac{R_2 R_H}{R_2 + R_H}. \quad (2.32)$$

При низькоомному навантаженні $R_H \ll R_2$ співвідношення (2.32) перетворюється на $R_e = R_H$ і тоді резистор R_2 не потрібний і навантаження R_H живиться тільки через резистор R_1 (рис. 2.19).

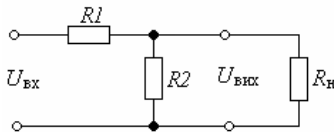


Рис. 2.18. Подільник напруги під навантаженням

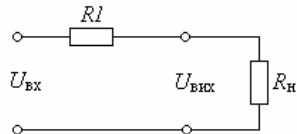


Рис. 2.19. Подільник напруги під низькоомним навантаженням

Нижнім плечем у цьому випадку є R_H і тому коефіцієнт передавання становитиме

$$K_H = \frac{R_H}{R_1 + R_H}. \quad (2.33)$$

Одним із пояснень дії подільника, як і подальших пристроїв, є часова діаграма роботи, тобто епюри вхідної та вихідної напруг. Часова діаграма роботи подільника напруги наведена на рис. 2.20 на постійному (а) та змінному (б) струмах.

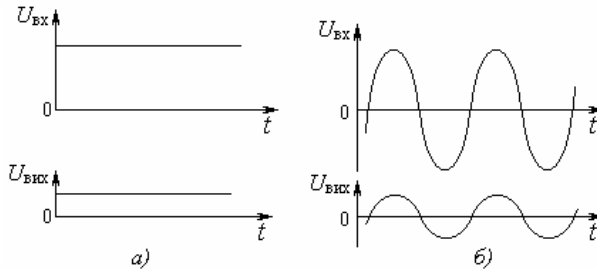


Рис. 2.20. Часова діаграма роботи подільника напруги:
а – на постійному струмі; б – на змінному струмі

Ця діаграма роботи показує, що вихідна напруга $U_{ВИХ}$ як на постійному а, так і на змінному б струмах менше за вхідну $U_{ВХ}$, причому форми $U_{ВХ}$ та $U_{ВИХ}$ завжди збігаються.

Основними параметрами подільника напруги є коефіцієнт передавання, вхідний та вихідний опори.

Коефіцієнт передавання визначається формулою (2.30), а вхідний опір

– формулою (2.31).

Вихідний опір без навантаження дорівнює опору паралельного з'єднання R_1 та R_2 :

$$R_{\text{вих}} = \frac{R_1 R_2}{R_1 + R_2}. \quad (2.34)$$

2.6. Регулятори напруги

Найпростішим, але разом з тим надто розповсюдженим регулятором є подільник, у плечах якого стоять змінні резистори (рис. 2.21).



Рис. 2.21. Схеми регуляторів напруги

Оскільки коефіцієнт передавання подільника напруги однозначно визначається співвідношенням опорів резисторів R_1 та R_2 , то змінюючи будь-який з них, можна регулювати коефіцієнт передавання і саме тим змінювати вихідну напругу.

Якщо регулювати нижнє плече R_2 (рис. 2.21,а), то межі регулювання вихідної напруги становитимуть

$$0 \leq U_{\text{вих}} \leq U_{\text{вх}} \frac{R_2}{R_1 + R_2}. \quad (2.35)$$

У нижньому положенні повзунка $U_{\text{вих}} = U_{\text{вх}} \frac{R_2}{R_1 + R_2}$, а у верхньому $U_{\text{вих}} = 0$.

При регулюванні верхнього плеча R_1 (рис. 2.21,б) межі регулювання вихідної напруги становитимуть

$$U_{\text{вх}} \frac{R_2}{R_1 + R_2} \leq U_{\text{вих}} \leq U_{\text{вх}}. \quad (2.36)$$

Коли повзунок знаходиться ліворуч, то $U_{\text{вих}} = U_{\text{вх}}$, а коли праворуч, то

$$U_{\text{вих}} = U_{\text{вх}} \frac{R_2}{R_1 + R_2}. \quad (2.37)$$

Якщо треба регулювати $U_{\text{вих}}$ у межах від нуля до вхідної напруги: $0 \leq U_{\text{вих}} \leq U_{\text{вх}}$, то змінний резистор слід включити за схемою потенціометра (рис. 2.22).

У верхньому стані повзунка $U_{\text{вих}} = U_{\text{вх}}$, а у нижньому $U_{\text{вих}} = 0$.

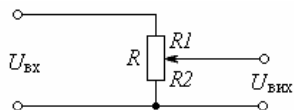


Рис. 2.22. Потенціометричний регулятор

Робота регулятора стане зрозумілою, якщо весь опір R розподілити на $R1$ та $R2$. Тоді маємо подільник напруги з опором $R1$ у верхньому плечі та $R2$ – у нижньому. Коефіцієнт передавання регулятора (рис. 2.22) визначається формулою (2.30), як і будь-якого подільника.

Перевагою регулятора є широкий діапазон регулювання, який дорівнює усій вхідній напрузі, а недоліком – грубе регулювання.

2.7. Гасники напруги

Часто виникає необхідність живлення каскадів напругами різних величин. Якщо ці каскади енергоємні, то доцільно кожен каскад живити від окремого джерела напруги.

Однак є випадки, коли потужність, споживана каскадами, невелика і доцільно для їхнього живлення використовувати тільки одне джерело з найбільшою потрібною напругою, а надлишок напруги для інших каскадів десь гасити. Для цієї мети використовують так звані резистори гасіння, які мають бути включені послідовно з каскадом, що живиться (рис. 2.23).

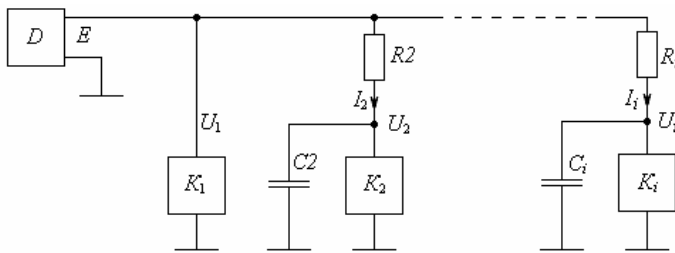


Рис. 2.23. Живлення каскадів через резистори гасіння

Схема живлення працює наступним чином.

Джерело напруги D виробляє напругу E , яка призначена для живлення каскаду K_1 з напругою $U_1 = E$.

Інші каскади K_i живляться напругами U_i і споживають струми I_i . Струм I_i створює на резисторі R_i падіння напруги, яка дорівнює надлишку $E - U_i$.

Тоді опір резистора R_i визначається формулою

$$R_i = \frac{E - U_i}{I_i}. \quad (2.38)$$

Бувають випадки, коли струм споживання I_i не залишається постійним, а наприклад, зазнає пульсацій. Через це набуде пульсацій падіння напруги $I_i R_i$. Тому буде пульсуючим і U_i . Для усунення пульсацій U_i їх “згладжують” конденсаторами C_i .

Контрольні питання

- 2.1. Назвіть пасивні компоненти та їхні основні властивості.
- 2.2. Назвіть призначення резисторів.

- 2.3. Назвіть основні параметри пасивних компонентів.
- 2.4. Поясніть вплив опору резистора на струм в його колі.
- 2.5. Наведіть часову діаграму роботи резистора.
- 2.6. Поясніть, за яких умов в колі конденсатора може протікати постійний струм.
- 2.7. Поясніть механізм протікання змінного струму в колі конденсатора.
- 2.8. Поясніть виникнення опору котушки індуктивності.
- 2.9. Поясніть залежність первинного струму трансформатора від опору навантаження вторинної обмотки.
- 2.10. Наведіть схему резистивного подільника напруги та поясніть його роботу на холостому ході.
- 2.11. Поясніть вплив опору навантаження на вихідну напругу резистивного подільника.
- 2.12. Наведіть схему регулятора для змінення вихідної напруги від нуля.
- 2.13. Наведіть схему регулятора для змінення вихідної напруги від вхідної.
- 2.14. Наведіть схему регулятора для змінення вихідної напруги від нуля до вхідної.
- 2.15. Наведіть схему живлення каскаду через резистор гасіння.

Рекомендована література

- 2.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 3 – 25.
- 2.2. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983. – Т.1. – С. 14 – 55; 14 – 48.
- 2.3. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 9 – 13; 18 – 19.
- 2.4. Резисторы: [справочник] / Андреев Ю.Н., Антонян А.И., Иванов Д.М. и др.; под ред. И.И. Четверткова. – М.: Энергоиздат, 1981. – С. 9 – 23.

Розділ 3

ДІОДНІ СХЕМИ

3.1. Випрямлячі

3.1.1. Схема випрямляча

Найбільш розповсюдженою діодною схемою є випрямляч.

Задачею випрямляча є перетворення вхідної двополярної напруги $U_{\text{вх}}$ у вихідну однополярну напругу або позитивну $U_{\text{вих1}}$ (рис. 3.1,*а*), або негативну $U_{\text{вих2}}$ (рис. 3.1,*б*).

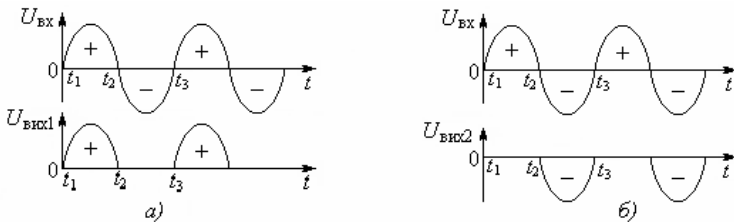


Рис. 3.1. Часова діаграма роботи однонапівперіодного випрямляча:

а – при позитивній вихідній напрузі; б – при негативній вихідній напрузі

Вхідна напруга $U_{\text{вх}}$, що випрямляється, містить напівхвилі обох полярностей: позитивну (+) та негативну (-).

Вихідна ж напруга $U_{\text{вих}}$ має тільки одну полярність: або позитивну $U_{\text{вих1}}$ (рис. 3.1,*а*) або негативну $U_{\text{вих2}}$ (рис. 3.1,*б*).

Таке перетворення вхідної напруги здійснює схема випрямляча, що наведена на рис. 3.2.

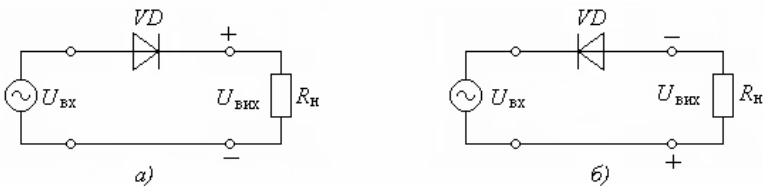


Рис. 3.2. Схема випрямляча: а – позитивної напруги; б – негативної напруги

Випрямляч є подільником напруги з вентиля VD у верхньому плечі та опору навантаження $R_{\text{н}}$ у нижньому. Як видно з рис. 3.2, щоб змінити полярність випрямленої напруги, треба переполюсувати включення вентиля VD .

Коефіцієнт передавання цієї схеми як подільника напруги становить

$$K = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{R_{\text{н}}}{R_{VD} + R_{\text{н}}}, \quad (3.1)$$

де R_{VD} – опір вентиля VD ;

$R_{\text{н}}$ – опір навантаження.

З формули (3.1) видно, що для одержання, наприклад, позитивної випрямленої напруги коефіцієнт передавання K має бути

$$K = 1 \quad (3.2)$$

в інтервалі моментів $t_1 < t < t_2$ та

$$K = 0 \quad (3.3)$$

в інтервалі моментів $t_2 < t < t_3$ (див. рис. 3.1,а).

Для виконання умови (3.2) треба мати опір вентиля R_{VD} надто малим ($R_{VD} \ll R_{\text{н}}$), а для умови (3.3) – надто великим ($R_{VD} \gg R_{\text{н}}$).

Звідси випливає, що вольтамперна характеристика (ВАХ) ідеального вентиля повинна мати форму, яка наведена на рис. 3.3.

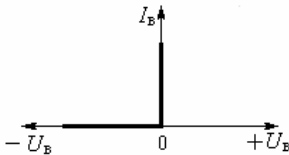


Рис. 3.3. ВАХ ідеального вентиля

Для однієї полярності напруги $+U_{VD}$ струм вентиля I_B має бути необмежено великим при скільки завгодно малій напрузі $+U_B$, а для протилежної ($-U_B$) – дорівнювати нулю.

Наведена на рис. 3.3 ВАХ ідеального вентиля до цього часу не реалізована, але є вентилях, ВАХ яких більш або менш наближаються до ідеальної. Це так звані напівпровідникові діоди. Вони мають одnobічну електропровідність, тобто малий опір для однієї полярності напруги і великий – для протилежної.

3.1.2. Структура та принцип дії напівпровідникових діодів

Основною властивістю діода є одnobічна електропровідність, через яку при одній полярності напруги діод має низький опір, а при протилежній – високий, тобто діод здатний здійснювати випрямлення.

Діодом називається електроперетворювальний прилад, який містить хоча б один електронно-дірковий перехід (p - n -перехід). Принцип дії діода базується на використанні фізичних явищ у p - n -переході.

На рис. 3.4 наведена структура p - n -переходу та розподіл електричного потенціалу ($-\phi$) на його довжині x . Цей розподіл зумовлений тим, що при металургійному контакті p - та n -напівпровідників починається дифузія основних носіїв заряду, а саме електронів e з n -напівпровідника та дірок d з p -напівпровідника. При цьому кожний електрон, покидаючи n -шар, залишає один нерухомий позитивно заряджений іон i_+ , а кожна дірка – негативно заряджений іон i_- .

Наслідком є те, що в приповерхневих шарах p - та n -областей залишаються нерухомі іони i_+ та i_- . Тому на ширині p - n -переходу L з'являються

області з концентрацією електричних протилежних зарядів, що зумовлюють так звану контактну різницю потенціалів ϕ_k . Вона чинить гальмуючу дію для дифундуючих електронів e та дірок d і тому припиняє дифузію.

Таким чином, при завершенні дифузії на ширині L p - n -переходу виникає потенціальний бар'єр ϕ_k для основних носіїв заряду, якими є електрони в n -та дірки в p -напівпровідниках. Величина контактної різниці потенціалів становить для p - n -переходів з германію $\phi_{k\text{ Ge}} = 0,35\text{ В}$ та з кремнію $\phi_{k\text{ Si}} = 0,7\text{ В}$. (Оскільки сьогодні германієві діоди не випускаються, далі йдеться тільки про діоди з кремнію).

Якщо від p - і n -шарів зробити металеві виводи, то одержимо напівпровідниковий діод (рис. 3.5). Контакти "метал-напівпровідник" MN_p та MN_n виконують омичними, тобто непрямыми. Тому їхні поля не обмінюються енергією з носіями зарядів і при подальшому розгляданні роботи діода на цих контактах можна не зупинятися.

Принцип дії діода полягає у створенні власної однічної електропровідності.

Основна схема включення діода VD наведена на рис. 3.6,а. Вона має обов'язково містити послідовно включений опір R . У випрямлячах R – це опір навантаження, яке живиться випрямленою напругою, а в інших схемах це якийсь резистор.

Попередження. За відсутності опору R струм діода може необмежено зрости, що приведе до перегорання діода.

Вхідна напруга $U_{\text{вх}}$ за законом Кірхгофа розподіляється між діодом VD та опором R :

$$U_{\text{вх}} = U_{\text{пр}} + U_R. \quad (3.4)$$

Як впливає з рис. 3.6,б, напруга $U_{\text{пр}}$ на діоді при зазначеній полярності спрямована проти контактної різниці потенціалів ϕ_k . Така напруга на діоді називається *прямою* і позначається " $U_{\text{пр}}$ ". Пряма напруга $U_{\text{пр}}$ діє назустріч ϕ_k (рис. 3.6,б) і тому зменшує потенціальний бар'єр на ширині L p - n -переходу від ϕ_k до $(\phi_k - U_{\text{пр}})$. Тоді виникає дифузія основних носіїв заряду через p - n -перехід, створюючи саме тим прямий струм $I_{\text{пр}}$ (рис. 3.6,б).

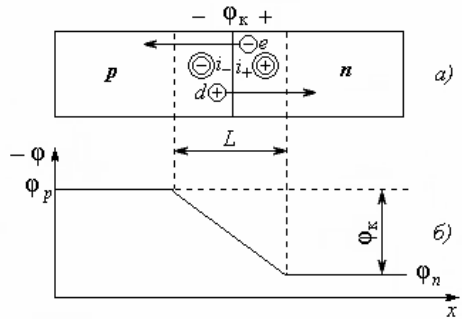


Рис. 3.4. p - n -перехід: а – структура; б – потенційна діаграма

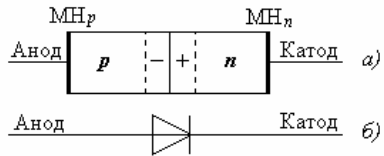


Рис. 3.5. Діод: а – структура; б – умовне позначення

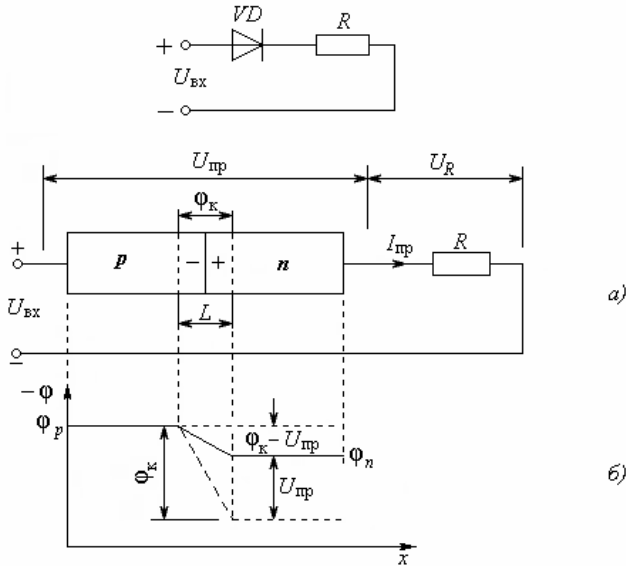


Рис. 3.6. Діод: а – схема включення при прямій напрузі, б – потенційна діаграма

Оскільки концентрація основних носіїв (електронів в n - та дірок в p - напівпровідниках) висока, то прямий струм $I_{пр}$ може бути необмежено великим.

Щодо прямої напруги $U_{пр}$, то вона не може бути більше за контактну різницю потенціалів $\phi_k = 0,7$ В. Це пояснюється тим, що при зростанні прямого струму $I_{пр}$ p - n -перехід збагачується рухомими носіями заряду (електронами та дірками), через що його опір зменшується і пряма напруга $U_{пр}$ збільшується непомітно і врешті-решт не може перевищувати $0,7$ В, тобто завжди залишається відносно малою.

З формули (3.4) видно, що при прямій напрузі до опору навантаження R прикладена напруга

$$U_R = U_{вх} - U_{пр}, \quad (3.5)$$

тобто вся вхідна напруга $U_{вх}$ за винятком $U_{пр} = 0,7$ В.

Якщо змінити полярність вхідної напруги на протилежну від прямої, то діод VD буде під зворотною напругою (рис. 3.7). Зворотна напруга $U_{зв}$ прикладена до діода згідно з контактною різницею потенціалів ϕ_k (рис. 3.7,б) і тому збільшує потенційний бар'єр на ширині L p - n -переходу від ϕ_k до $\phi_k + U_{зв}$. Тому дифузія основних носіїв заряду неможлива. Прямий струм не протікає $I_{пр} = 0$.

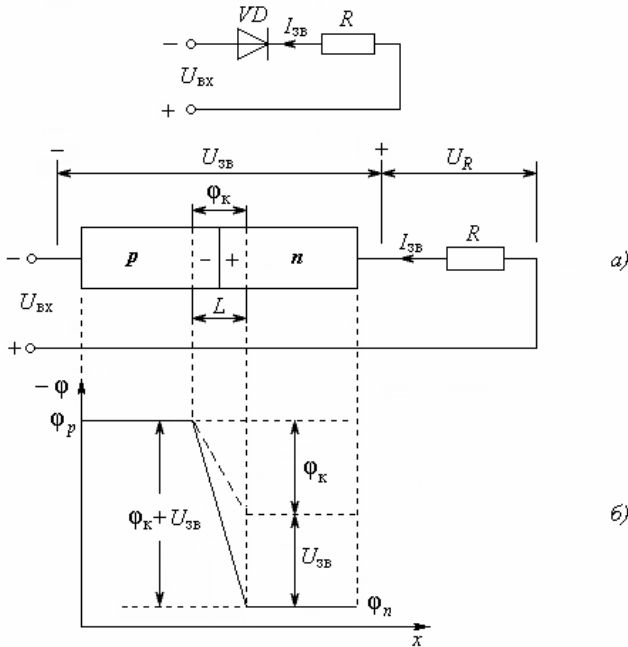


Рис. 3.7. Діод: а – схема включення при зворотній нарузі; б – потенційна діаграма

Зворотна напруга разом з ϕ_k створює в p - n -переході прискорювальне поле для неосновних носіїв заряду (електронів у p - та дірок у n - напівпровідниках). Рухом лише цих носіїв і створюється зворотний струм $I_{зв}$. Оскільки концентрація неосновних носіїв дуже мала, то зворотний струм $I_{зв}$ є також нехтовно малим.

Щодо зворотної напруги, то вона на відміну від прямої збіднює p - n -перехід рухомими носіями заряду, через що опір p - n -переходу великий і тому зворотна напруга може бути скільки завгодно великою в межах допустимих параметрів.

Таким чином, діод у прямому напрямі пропускає великий прямий струм, а в зворотному – дуже малий зворотний: $I_{пр} \gg I_{зв}$, тобто має практично однобічну електропровідність.

Співвідношення між прямими та зворотними напругами й струмами діода відбиває його ВАХ (рис. 3.8), рівнянням якої є вираз

$$I = I_0 \left(\exp \frac{U}{\phi_T} - 1 \right), \quad (3.6)$$

де I – струм діода (прямий або зворотний);

U – напруга на діоді (пряма $U_{пр} > 0$ зі знаком “+”, зворотна $U_{зв} < 0$ зі знаком “-”);

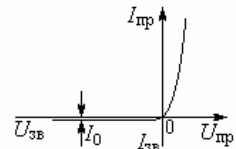


Рис. 3.8. ВАХ діода

I_0 – зворотний струм діода при достатньо великій зворотній напрузі ($U_{зв} \gg \phi_T$);

ϕ_T – температурний потенціал (при кімнатній температурі $T = 300\text{ K}$ він становить $\phi_T = 25\text{ мВ}$).

Під прямою вже при $U_{пр} > 2\phi_T$ одиницею в (3.6) можна знехтувати порівняно з $\exp\frac{U}{\phi_T}$. Тоді ділянка ВАХ ($U_{пр} > 0$) є чистою експонентою.

Прямий струм $I_{пр}$ необмежено зростає зі збільшенням прямої напруги $U_{пр}$, але вона ніколи не перевищує $0,7\text{ В}$ ($U_{пр} \leq 0,7\text{ В}$).

Під зворотною ж напругою вже при $U_{зв} > 2\phi_T$ член $\exp\frac{U}{\phi_T}$ нехтовно малий порівняно з одиницею. Тоді незалежно від $U_{зв} > 2\phi_T$ зворотний струм залишається малим і незмінним $I_{зв} = -I_0$.

Так рівняння (3.6) якісно пояснює хід ВАХ діода, тобто його однобічну провідність.

Напруга, що підводиться до p - n -переходу, впливає не тільки на його струм, а також визначає ширину p - n -переходу L , яка має наступну залежність

$$L = \sqrt{\frac{2\varepsilon}{e} (\phi_k - U) \left(\frac{1}{N_a} + \frac{1}{N_d} \right)}, \quad (3.7)$$

де ε – діелектрична проникність;

e – заряд електрона;

N_a та N_d – концентрації акцепторних та донорних домішок.

Підставляючи в (3.7) $U = -U_{зв}$, одержуємо

$$L = \sqrt{\frac{2\varepsilon}{e} (\phi_k + U_{зв}) \left(\frac{1}{N_a} + \frac{1}{N_d} \right)}, \quad (3.8)$$

звідки видно, що під зворотною напругою $U = -U_{зв}$ ширина p - n -переходу збільшується. Це явище може бути, як небажаним, так і корисним. Наприклад, розширення p - n -переходу під зворотною напругою покладено в основу роботи так званого польового транзистора з керуючим p - n -переходом.

3.1.2.1. Вплив температури на струми діода

Однією з особливостей роботи напівпровідникових приладів є суттєва залежність їхніх струмів від температури. Це явище в деяких випадках може бути як корисним, так і шкідливим. Наприклад, для напівпровідникових термометрів температурна залежність струму є основою їхньої роботи, а для прийнятно-підсилювальної апаратури ця залежність є вкрай шкідливою.

Як видно з рис. 3.9, при збільшенні температури T зростають і зворотний I_0 , і прямий $I_{пр}$ струми.

Зворотний струм I_0 зростає тому, що з підвищенням температури збільшується концентрація неосновних носіїв заряду через теплову іонізацію власних атомів.

Щодо прямого струму, то з підвищенням температури зменшується контактна різниця потенціалів ϕ_k . Через це знижується потенційний бар'єр для основних носіїв заряду, що викликає зростання прямого струму $I_{пр}$.

Залежність зворотного (теплого) струму p - n -перехода від температури описується співвідношенням

$$I_0(T) = I_0(T_0) e^{\alpha \Delta T}, \quad (3.9)$$

де $I_0(T)$ – зворотний струм за будь-якої температури T ;

$I_0(T_0)$ – зворотний струм на початковій температурі $T_0 = 300$ К;

$\Delta T = T - T_0$ – змінення температури;

α – температурний коефіцієнт, який залежить від матеріалу напівпровідника. Для германієвих діодів $\alpha_{Ge} = 0,13$ К⁻¹, а для кремнієвих $\alpha_{Si} = 0,09$ К⁻¹.

З наведених співвідношень видно, що абсолютне температурне змінення зворотного струму в кремнієвих діодах майже на порядок менше, ніж в германієвих. Тому застосування германієвих діодів у нових розробках апаратури заборонене, і промисловістю вони зараз не випускаються.

Прямий струм, як видно з формул (3.6) і (3.9), як і зворотний, також змінюється приблизно вдвічі на кожні 10° С змінення температури.

Щодо боротьби з температурним зміненням струмів, то вона здійснюється в кожному конкретному пристрої своїми методами.

3.1.2.2. Пробій діодів

Діод пробивається тільки зворотною напругою. Коли зворотна напруга перевищує певне пробивне значення $U_{проб}$ (рис. 3.10), зворотний струм діода починає різко зростати. Це явище називається пробоем діода.

Пробію бувають оборотними та необоротними. При оборотному пробію діод відновлює всі свої параметри після зняття пробивних напруг. Необоротний пробій губить діод.

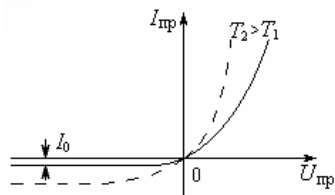


Рис. 3.9. Залежність струмів діода від температури

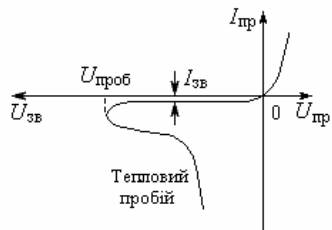


Рис. 3.10. ВАХ діода при тепловому пробію

Розрізняють два основних види пробою: тепловий та електричний.

Тепловий пробій є необоротним. Щодо електричного пробою, то він є оборотним і може бути використаним.

Тепловий пробій розвивається під зворотною напругою і виникає через перегрів p - n -переходу наступним чином.

Потужність, яка виділяється на p - n -переході становить

$$P_{p-n} = U_{зв} I_{зв}. \quad (3.10)$$

На рис. 3.10 наведена ВАХ діода в режимі теплового пробою, звідки видно, що в пробитому діоді необмежено зростає зворотний струм $I_{зв}$. Це пояснюється наступним.

З (3.10) видно, що чим вище зворотна напруга $U_{зв}$, тим більша потужність виділяється на p - n -переході і тим сильніше він розігрівається. Тому зростає концентрація рухомих носіїв заряду через теплову іонізацію власних атомів, внаслідок чого збільшується зворотний струм $I_{зв}$. Додатково зростає потужність P_{p-n} , що викликає ще більший розігрів p - n -переходу і т.д. Зворотний струм $I_{зв}$, а за ним і потужність P_{p-n} , необмежено зростають, через що діод перегорає. Отже, тепловий пробій необоротний і є згубним для діода. Щоб уникнути теплового пробою, слід обмежувати зворотну напругу. В деяких типах діодів передбачене установа їх на радіатори для охолодження.

Електричний пробій, як і тепловий, розвивається під зворотною напругою. Однак, на відміну від теплового, електричний пробій є оборотним, тобто після зняття пробивної напруги діод відновлює всі свої параметри. Електричний пробій буває двох типів: лавинний та тунельний.

Лавинний пробій розвивається наступним чином.

При малій зворотній напрузі, що менша за пробивну ($U_{зв} < U_{проб}$), швидкість електронів недостатня для іонізації атомів на ширині p - n -переходу. Через це рухомих носіїв заряду в p - n -переході практично немає, і зворотний струм відсутній (рис. 3.11).

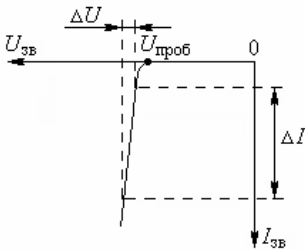


Рис. 3.11. ВАХ діода з електричним пробієм

З підвищенням зворотної напруги зростає швидкість електронів у p - n -переході. Коли зворотна напруга перевищить пробивну ($U_{зв} \geq U_{проб}$), то швидкість електронів в p - n -переході досягає такої величини, що вони починають іонізувати власні атоми. З'являються електрони в зоні провідності, через що виникає зворотний струм. Ці електрони у свою чергу беруть участь в іонізації атомів і т. д. Концентрація електронів у зоні провідності збільшується лавиноподібно, через що зворот-

ний струм необмежено зростає.

Тунельний пробій розвивається за великої напруженості електричного поля в p - n -переході (від 200 кВ/см). При цьому електрони переходять з валентної зони в зону провідності без витрати енергії (тунельний ефект). При цьому p - n -перехід збагачується електронами, через що його ширина зменшується. Напруженість в p - n -переході ще більше зростає, що викликає ще більшу кількість електронів, які тунельно потрапляють в зону провідності. Тому зворотний струм зростає необмежено. ВАХ діода з тунельним пробоем та ж сама, що й з лавинним (рис. 3.11).

Щодо застосування електричного пробую, то з рис. 3.11 видно, що велетенська зміна струму ΔI супроводжується нехтовно малою зміною напруги ΔU , тобто зворотна напруга на діоді з електричним пробоем залишається стабільною. Тому електричний пробій можна застосовувати для стабілізації напруги.

3.1.3. Принцип дії випрямляча та його розрахунок

Схема випрямляча з трансформаторним входом наведена на рис. 3.12.

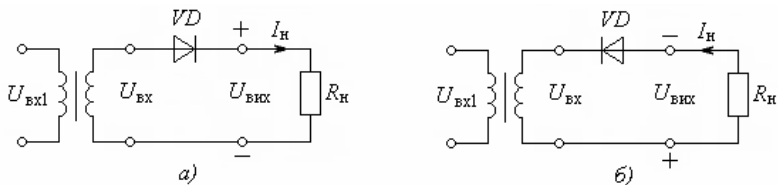


Рис. 3.12. Схема випрямляча з трансформаторним входом:

а – для позитивної випрямленої напруги; б – для негативної випрямленої напруги

Для пояснення принципу дії випрямляча побудуємо потенційну діаграму його роботи. Для цього знайдемо рівняння так званої лінії навантаження. За законом Кірхгофа вхідна напруга U_{BX} , яку треба випрямити, розподіляється між діодом VD та опором навантаження R_n :

$$U_{BX} = U_{пр} + I_n R_n, \quad (3.11)$$

де $U_{пр}$ – пряма напруга на діоді VD ;

$I_n = I_{пр}$ – струм навантаження (прямий струм діода).

Після ділення (3.11) на R_n одержуємо

$$I_{пр} = \frac{U_{BX}}{R_n} - \frac{U_{пр}}{R_n}. \quad (3.12)$$

Співвідношення (3.12) є рівнянням лінії навантаження. Оскільки відносно $U_{пр}$ рівняння першого степеня, то лінія навантаження є прямою і тому називається „навантажувальна пряма”. Лінія навантаження „1–2” (рис. 3.13) будується по двох точках 1 і 2 перетину з осями координат ВАХ діода наступним чином.

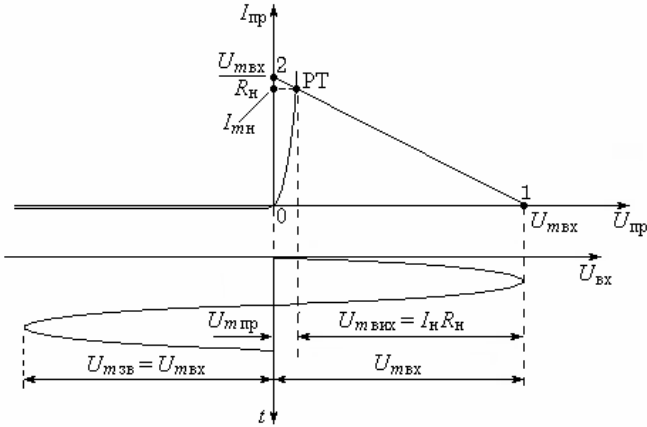


Рис. 3.13. Діаграма роботи однонапівперіодного випрямляча

Точка 1: підставляємо в (3.12) рівняння осі абсцис $I_{\text{пр}} = 0$, звідки одержуємо $U_{\text{вх}} = U_{\text{пр}}$ і відкладаємо $U_{\text{пр}} = U_{\text{мвх}}$, де $U_{\text{мвх}}$ – амплітуда вхідної напруги.

Точка 2: підставляємо в (3.12) рівняння осі ординат $U_{\text{пр}} = 0$, звідки одержуємо співвідношення $I_{\text{пр}} = \frac{U_{\text{вх}}}{R_{\text{н}}}$, в яке підставляємо $U_{\text{вх}} = U_{\text{мвх}}$.

Через точки 1 та 2 проводимо пряму, яка є лінією навантаження.

Перетин лінії навантаження з ВАХ дає робочу точку РТ, яка визначає режим діода, тобто всю сукупність напруг та струмів елементів схеми. Так, проти точок 1 і 2 позначена амплітуда вхідної напруги $U_{\text{мвх}}$. Робоча точка РТ є межею між напругою на діоді $U_{\text{м пр}}$ та напругою на $R_{\text{н}}$, тобто вихідною напругою $U_{\text{м вих}}$.

З діаграми роботи випрямляча (рис. 3.13) видно принцип його дії. Отже, випрямляч діє наступним чином.

Вхідна напруга $U_{\text{вх}}$, яку треба випрямити, розподіляється між діодом VD та навантаженням $R_{\text{н}}$, тобто $U_{\text{вх}} = U_{\text{пр}} + U_{\text{вих}}$.

При позитивній напівхвилі, яка для діода є прямою напругою, на діоді падає нехтовно мала напруга $U_{\text{м пр}} \ll U_{\text{м вх}}$ і тому до навантаження $R_{\text{н}}$ прикладена більша частина $U_{\text{мвх}}$:

$$U_{\text{м вих}} = U_{\text{вх}} - U_{\text{м пр}} \approx U_{\text{мвх}}. \quad (3.13)$$

Негативна напруга $U_{\text{м вх}} = U_{\text{м зв}}$ є для діода зворотною і тому практично цілком падає на діоді, не потрапляючи до виходу. Тому вихідна напруга близька до нуля:

$$U_{\text{м вих}} = U_{\text{мвх}} - U_{\text{м зв}} \approx 0. \quad (3.14)$$

Так, діод VD пропускає до навантаження R_n напругу лише однієї полярності, тобто здійснює випрямляння.

Щодо розрахунку випрямляча, то основними заданими параметрами є опір навантаження R_n та випрямлена напруга на ньому $U_{\text{вх}}$. Треба скласти схему випрямляча, вибрати тип діода, визначити амплітуди вхідної напруги, вхідного струму, прямої та зворотної напруг.

Тип діода вибирається за вхідним струмом $I_{\text{вх}}$ та зворотною напругою $U_{\text{зв}}$. У наведеній схемі

$$I_{\text{вх}} = I_n = \frac{U_{\text{вх}}}{R_n}. \quad (3.14)$$

Знайдений за формулою (3.14) струм I_n не повинен перевищувати номінальне значення струму $I_{\text{ном}}$ за довідником:

$$I_n \leq I_{\text{ном}}. \quad (3.15)$$

Оскільки вхідна напруга $U_{\text{вх}}$ розподіляється між опором навантаження R_n та діодом, то амплітуда вхідної напруги становить

$$U_{m \text{ вх}} = U_{m \text{ пр}} + U_{m \text{ вих}}, \quad (3.16)$$

де $U_{m \text{ пр}} \approx 0,7 \text{ В}$ – амплітуда прямої напруги на діоді.

Амплітуда вхідної напруги $U_{m \text{ вх}}$ не повинна перевищувати допустиму зворотну напругу $U_{\text{зв макс}}$, яка є паспортною величиною для кожного діода.

З 20% запасом зворотної напруги діод вибирають за критерієм

$$1,2 U_{m \text{ вх}} \leq U_{\text{зв макс}}, \quad (3.17)$$

де $U_{m \text{ вх}}$ – амплітуда вхідної напруги.

Для остаточного визначення амплітуд прямої та зворотної напруг діода відлік відповідних струмів та напруг здійснюється через проекції РТ на осі координат.

Так, проекція РТ на вісь абсцис дає:

– амплітуду прямої напруги на діоді $U_{m \text{ пр}}$;

– амплітуду вихідної напруги (на опорі R_n): $U_{m \text{ вих}} = U_{m \text{ вх}} - U_{m \text{ пр}}$.

Проекція РТ на вісь ординат визначає амплітуду струму $I_{m \text{ н}}$.

Щодо зворотної напруги, то її амплітуда $U_{m \text{ зв}}$ практично дорівнює $U_{m \text{ вх}}$ і цілком падає на діоді, через що вихідна напруга на опорі R_n дорівнює нулю.

Результати розрахунку віддзеркалює часова діаграма роботи, що наведена на рис. 3.14, де U_{VD} – напруга на діоді.

Треба звернути увагу на те, що випрямлення досягається не за будь-якого опору навантаження R_n . Якщо опір R_n сумірний зі зворотним опором діода ($R_n \approx R_{\text{звор}}$), то зворотна напівхвиля буде лише розподілятися між R_n та $R_{\text{звор}}$, тобто частково виділиться не тільки на діоді, а й на опорі R_n і випрямлення не буде.

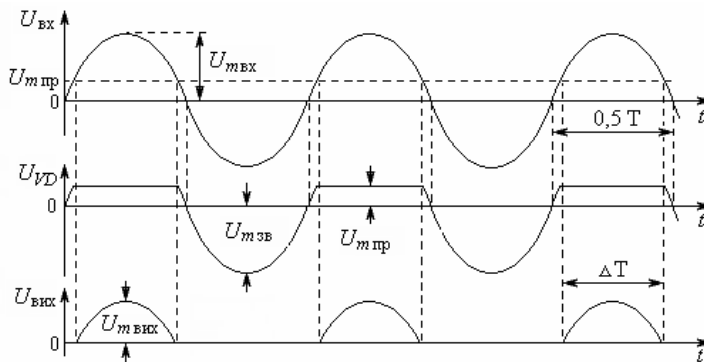


Рис. 3.14. Часова діаграма роботи випрямляча

3.1.4. Вимоги до параметрів діода

З рис. 3.13 та рис. 3.14 випливає, що амплітуда випрямленої напруги $U_{м вих}$ менше вхідної $U_{м вх}$ на величину прямої напруги $U_{м пр}$ на діоді. Крім того, тривалість імпульсу ΔT вихідної напруги $U_{вх в}$ менша за напівперіод $0,5T$ вхідної $U_{вх}$.

Усе це зменшує середньоквадратичну вихідну напругу, через що зменшується коефіцієнт корисної дії (ККД). Чим менша випрямлена напруга, тим більше зменшується ККД. Так, при $U_{вх в} = 10 \text{ В}$ ККД дорівнює приблизно 93%, а при $U_{вх в} = 5 \text{ В}$ він становить 86%. Крім зниження ККД пряма напруга на діоді розігріває його, через що погіршується температурний режим пристроїв. Тому в потужних випрямлячах треба охолоджувати діоди, що зумовлює збільшення вартості пристроїв та їхньої експлуатації.

Отже, пряма напруга на діоді для випрямляча є шкідливою. Тому зменшення прямої напруги на діоді є актуальною задачею.

Ідеальним для випрямляча має бути діод, пряма напруга якого дорівнює нулю: $U_{пр} = 0$. Такий діод ще не створений, але деяке зменшення прямої напруги досягнуто. Так, для зменшення прямої напруги німецький фізик Шотткі* запропонував діод (рис. 3.15), який створений з переходу „метал-напівпровідник” (діод Шотткі). Оскільки концентрація електронів у металі більша за напівпровідника, то пряма напруга на діоді менша і дорівнює 0,3 В. Крім того, на ширині переходу Шотткі менше накопичується електронів під прямою напругою. Тому для розмоктування цього накопичення при зміні полярності напруги потрібний менший час, через що діоди Шотткі є набагато високочастотними.

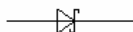


Рис. 3.15. Умовне позначення діода Шотткі

* Вальтер Шотткі (Schottky) – німецький фізик, який відкрив у 1914 р. фізичне явище, що виникає при проходженні струму через контакт “метал-напівпровідник”, так званий бар’єр Шотткі.

3.1.5. Двонапівперіодне випрямлення

З діаграми роботи, яка наведена на рис. 3.14, видно, що при однонапівперіодному випрямленні використовується напівхвиля лише однієї полярності: позитивна або негативна. Тоді половина часу, в якому діє напруга протилежної полярності, витрачається безкорисно.

Цей недолік усувається двонапівперіодним випрямленням, яке використовує обидві напівхвилі вхідної напруги (рис. 3.16).

Схема двонапівперіодного випрямляча, що наведена на рис. 3.17, називається мостовою.

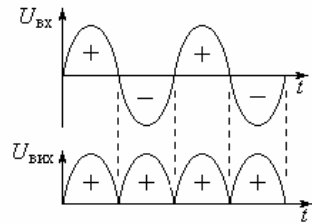


Рис. 3.16. Часова діаграма роботи двонапівперіодного випрямляча

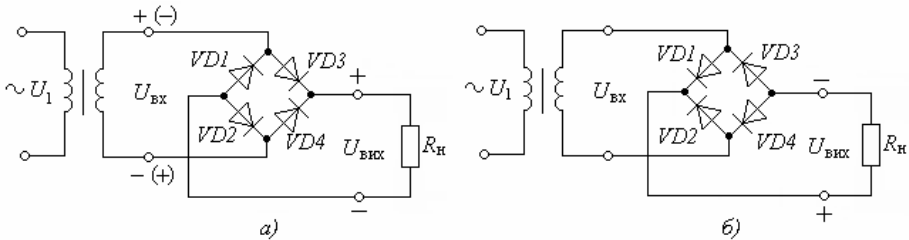


Рис. 3.17. Двонапівперіодний випрямляч: а – позитивної напруги, б – негативної напруги

Схема працює наступним чином.

Струм протікає від полюса “+” (рис. 3.17,а) через діод $VD3$, R_n , діод $VD2$ до полюса “-”, створюючи на виході напругу $U_{\text{вих}}$ позитивної полярності. Через напівперіод полярність $U_{\text{вх}}$ стане протилежною (показано в дужках). Тоді струм протікатиме від полюса “(+)” через $VD4$, R_n , $VD1$ до полюса “(-)”, причому, через R_n у тому ж напрямі, створюючи $U_{\text{вих}}$ тієї ж полярності.

Так використовуються обидві напівхвилі.

3.1.6. Вплив температури на параметри випрямляча

Оскільки зміна температури впливає на параметри діодів, то й параметри випрямляча теж змінюється. Так, з підвищенням температури вихідна напруга збільшується. Це пояснюється тим, що з підвищенням температури зменшується пряма напруга (див. рис. 3.9).

Оскільки вся пряма напруга не перевищує 0,7 В, то температурна зміна вихідної напруги має порядок 0,1 В. Ця зміна невелика, але при малих випрямлених напругах її слід враховувати при розробці каскадів, які живить випрямляч.

3.2. Амплітудні обмежувачі

Амплітудні обмежувачі бувають двох типів: обмежувач зверху та обмежувач знизу.

Амплітудна характеристика ідеальних амплітудних обмежувачів зверху та знизу наведена на рис. 3.18.

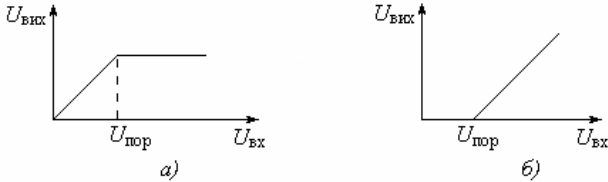


Рис. 3.18. Амплітудна характеристика обмежувача: а – зверху, б – знизу

З цих характеристик видно наступне.

В обмежувачі зверху до порогової напруги ($U_{вх} < U_{пор}$) вихідна напруга $U_{вих}$ повторює $U_{вх}$ без будь-яких спотворень, а після порога ($U_{вх} > U_{пор}$) є обмеженою і залишається незмінною при подальшому збільшенні $U_{вх}$.

В обмежувачі знизу до порогової напруги ($U_{вх} < U_{пор}$) вихідна напруга $U_{вих}$ відсутня, а після порога ($U_{вх} > U_{пор}$) повторює вхідну напругу.

Обмежувачі бувають *односторонніми*, які обмежують напругу лише однієї полярності, та *симетричними*, в яких обмежуються напруги обох полярностей.

Часова діаграма роботи симетричного обмежувача зверху наведена на рис. 3.19.

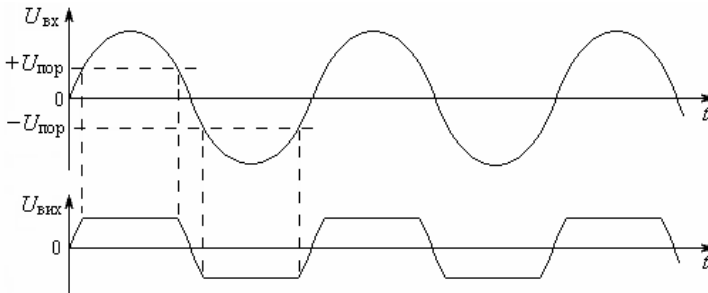


Рис. 3.19. Часова діаграма роботи симетричного обмежувача зверху

З цієї діаграми видно, що вихідна напруга $U_{вих}$ обмежена рівнями $+U_{пор}$ та $-U_{пор}$ зверху, тобто має відсіченими великі напруги, які виходять за поріг $U_{пор}$.

На рис. 3.20 наведена часова діаграма роботи симетричного обмежувача знизу, з якої видно, що обмежувач знизу відсікає малі напруги, які менші за поріг $U_{пор}$.

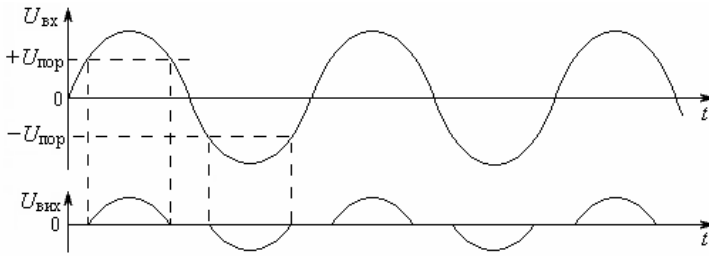


Рис. 3.20. Часова діаграма роботи симетричного обмежувача знизу

Призначення обмежувачів зверху різноманітне. Вони застосовуються для боротьби з деякими видами завад, для придушення наведень, для усунення паразитної амплітудної модуляції в приймачах частотно модульованих сигналів і небезпечних амплітудних завад, для захисту наступних каскадів від перенапруг, для фіксації рівня тощо.

З рис. 3.21 видно, як симетричний обмежувач зверху придушує завади.

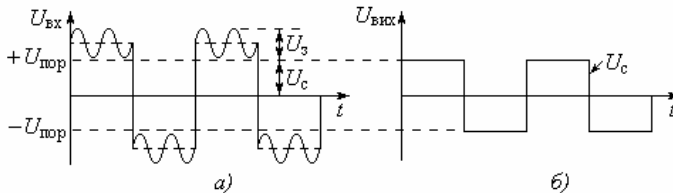


Рис. 3.21. Придушення завад обмежувачем зверху.

а) — напруга на вході обмежувача; б) — напруга на виході обмежувача

Нехай на виході будь-якого каскаду діє напруга $U_{вх}$, яка містить сигнал з амплітудою U_c та заваду з розмахом $U_з$. Якщо цю суміш пропустити через симетричний обмежувач зверху, в якому $U_{пор}$ не досягає $U_з$, то завада опиниться за порогом обмеження й стане урізаною. Тому вихідна напруга $U_{вих}$ вільна від завади.

Так обмежувач зверху придушує завади. *Отже, в будь-якому пристрої, який містить обмеження зверху, завжди слабкий сигнал придушується сильним.*

Щодо призначення обмежувачів знизу, то вони розповсюджені не так широко, як обмежувачі зверху, і, в основному, застосовуються для виділення вершин вхідних сигналів (див. рис. 3.20).

Найпростішим обмежувачем зверху є подільник напруги з резистором R у верхньому плечі та діодом VD — у нижньому (рис. 3.22). Цей обмежувач односторонній тому, що обмежує тільки позитивну напругу. Для обмеження негативної напруги необхідно переполусувати включення діода VD .

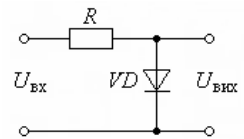


Рис. 3.22.

Односторонній
обмежувач зверху

Принцип дії обмежувача зверху ілюструє потенційна діаграма, що наведена на рис. 3.23.

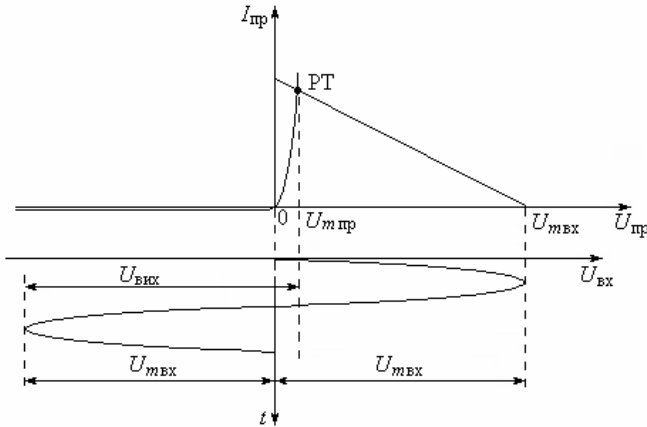


Рис. 3.23. Потенційна діаграма роботи одностороннього обмежувача зверху

Вона та ж сама, що й для однонапівперіодого випрямляча (див. рис. 3.13). Різниця полягає лише в тому, що вихідна напруга знімається не з резистора R , а з діода. Позитивна напівхвиля є для діода прямою напругою, через що діод VD відкривається, і пряма напруга на ньому становить $U_{мпр}$. Ця напруга і є рівнем обмеження.

Негативна ж напівхвиля є для діода зворотною напругою, через що діод VD закривається, і вся вхідна напруга падає на діоді, тобто діє на виході.

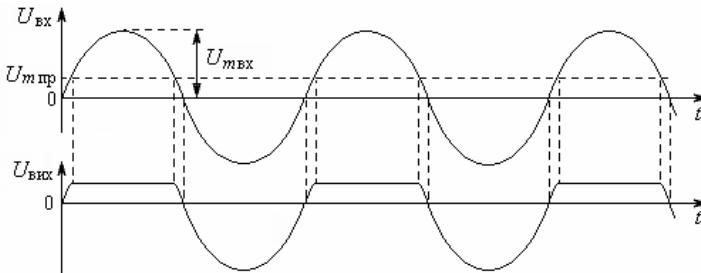


Рис. 3.24. Часова діаграма роботи одностороннього обмежувача зверху

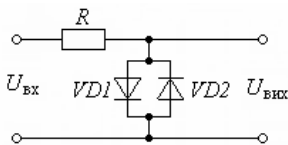


Рис. 3.25. Симетричний обмежувач зверху

Отже вихідна напруга містить обмежену тільки позитивну напівхвилю та цілу негативну напівхвилю (рис. 3.24).

Щодо *симетричного* обмежувача зверху, то його схема наведена на рис. 3.25.

Діод $VD1$ обмежує позитивну напівхвилю, а $VD2$ – негативну. Тому вихідна напруга

$U_{\text{вих}}$ має однакові обмежені різнополярні амплітуди, які дорівнюють прямій напрузі діодів за будь-якої вхідної напруги (рис. 3.26).

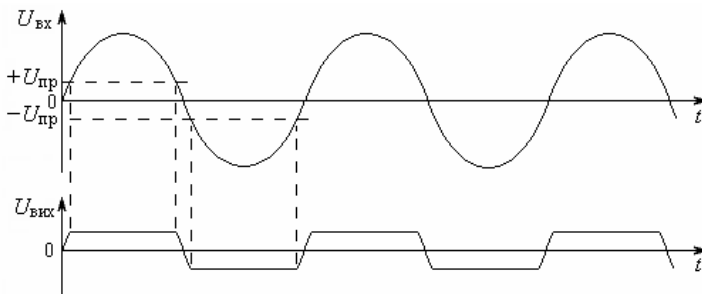


Рис. 3.26. Часова діаграма роботи симетричного діодного обмежувача зверху

В обмежувачах, схеми яких наведені на рис. 3.22 та 3.25, рівень обмеження $U_{m \text{ вих}}$ відносно низький, бо дорівнює прямій напрузі діода, тобто не перевищує 0,7 В.

Рівень обмеження, тобто вихідну напругу $U_{m \text{ вих}}$, можна підвищити, якщо використати послідовне з'єднання кількох діодів (рис. 3.27,а) або зустрічно-послідовне з'єднання односторонніх стабілітронів (рис. 3.27,б), або двосторонній стабілітрон (рис. 3.27,в).

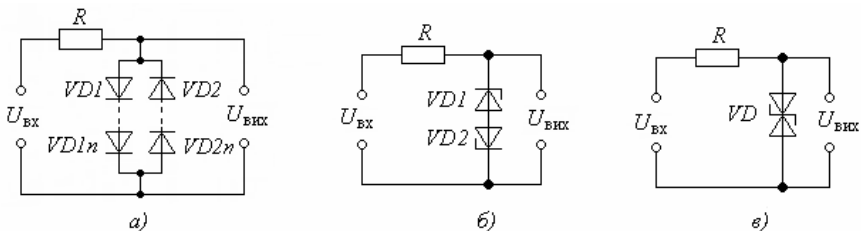


Рис. 3.27. Симетричні обмежувачі зверху з підвищеною вихідною напругою:
а – на діодах; б – на односторонніх стабілітронах; в – на двосторонньому стабілітроні

У схемі (рис. 3.27,а) вихідна напруга становить $U_{\text{вих}} = nU_{\text{пр}}$, де $U_{\text{пр}} = 0,7 \text{ В}$ – пряма напруга на діоді, а n – кількість пар діодів $VD1n - VD2n$.

Робота схеми (рис. 3.27,б) полягає в тому, що за будь-якої полярності вихідної напруги один зі стабілітронів $VD1, VD2$ пробивається, і напруга на ньому становить $U_{\text{ст}}$. Інший стабілітрон знаходиться під прямою напругою, через що вихідна напруга становить $U_{\text{вих}} = U_{\text{ст}} + 0,7 \text{ В}$.

Обмежувач, схема якого наведена на рис. 3.27,в, має вихідну напругу, яка дорівнює напрузі стабілізації двостороннього стабілітрона VD : $U_{\text{вих}} = U_{\text{ст}}$.

В усіх розглянутих обмежувачах вихідну напругу можна змінювати тільки дискретно: або на пряму напругу діода, або на напругу стабілізації стабілітрона. У деяких випадках це незручно.

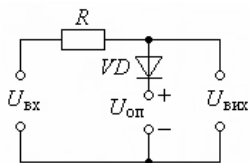


Рис. 3.28. Обмежувач зверху з довільним рівнем обмеження

На рис. 3.28 наведена схема однобічного обмежувача зверху з довільною амплітудою вихідної напруги, яка становить $U_{\text{вих}} = U_{\text{оп}} + U_{\text{пр}}$. Підбираючи опорну напругу $U_{\text{оп}}$, можна змінювати амплітуду вихідної напруги на будь-яку величину.

Обмежувач працює наступним чином.

Якщо вхідна напруга невелика, тобто $U_{\text{вх}} < U_{\text{оп}} + U_{\text{пр}}$, то діод VD запертий напругою

$U_{\text{оп}}$, резистор R знеструмлений, падіння напруги на ньому немає, через що вхідна напруга цілком передається до виходу без будь-яких обмежень.

Якщо ж вхідна напруга велика, тобто $U_{\text{вх}} > U_{\text{оп}} + U_{\text{пр}}$, то діод VD відпирається, з'являється його струм, за якого надлишок вхідної напруги $U_{\text{вх}} - (U_{\text{оп}} + U_{\text{пр}})$ гаситься на резисторі, і вихідна напруга не перевищує $U_{\text{оп}} + U_{\text{пр}}$.

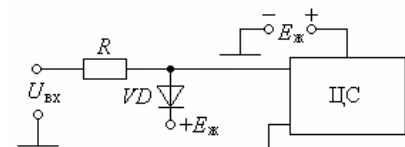


Рис. 3.29. Захист входу ЦС від перенапруг

Обмежувач (рис. 3.28) широко застосовується для захисту входів цифрових схем (ЦС) від згубних перенапруг (рис. 3.29).

На вході цифрової схеми ЦС включений обмежувач зверху $R - VD$.

До діода VD підведена напруга живлення цифрової схеми $E_{\text{ж}}$. Тому при скільки завгодно великій вхідній напрузі $U_{\text{вх}}$ до ЦС підводиться напруга, яка не перевищує $E_{\text{ж}} + U_{\text{пр}}$.

Щодо обмежувачів знизу, то вони відрізняються від схем рис. 3.25, рис. 3.27 лише тим, що вихідна напруга знімається з резистора R (рис. 3.30).

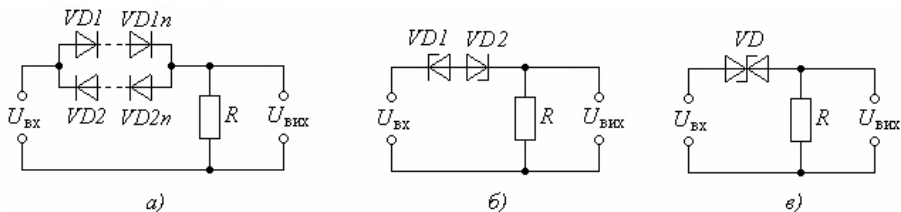


Рис. 3.30. Симетричні обмежувачі знизу:

а – на діодах, б – на односторонніх стабілітронах, в – на двосторонньому стабілітроні

Обмежувач знизу працює наступним чином. При малій вхідній напрузі $U_{\text{вх}} < nU_{\text{пр}}$ (рис. 3.30,а) діоди VD закриті, через що вхідна напруга не передається на вихід до моменту t_1 (рис. 3.31) і $U_{\text{вих}} = 0$.

В інтервалі моментів $t_1 \dots t_2$ вхідна напруга позитивної напівхвилі велика $U_{\text{вх}} > nU_{\text{пр}}$, тобто вона перевищує пряму напругу на діодах VD . Тому на вході з'являється напруга $U_{\text{вих}} = U_{\text{вх}} - nU_{\text{пр}}$. Аналогічно передається на вихід вершина і негативної напівхвилі в суміжний напівперіод.

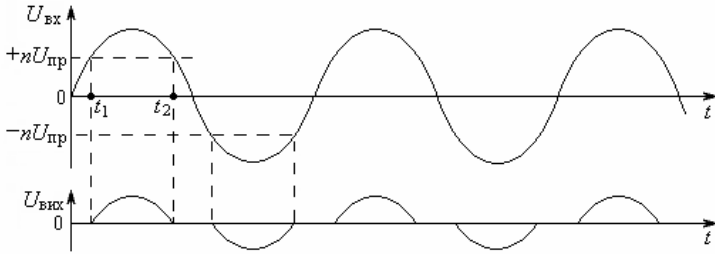


Рис. 3.31. Часова діаграма роботи симетричного обмежувача знизу

Таким самим чином працюють обмежувачі знизу на стабілітронах (рис. 3.30,б) та (рис. 3.30,в) тільки з тією різницею, що вихідна напруга становить $U_{\text{вих}} = U_{\text{вх}} - U_{\text{ст}}$.

3.3. Параметричні стабілізатори напруги

Стабілізатори напруги призначені для забезпечення незмінності вихідної напруги при зміні вхідної напруги, опору навантаження та наявності інших дестабілізуючих факторів.

На рис. 3.32 наведена амплітудна характеристика $U_{\text{вих}} = \varphi(U_{\text{вх}})$ ідеального стабілізатора напруги. З цієї характеристики видно, що починаючи з вхідної напруги $U_{\text{вх}} = U_{0\text{ст}}$, її подальше зростання не викликає зміни вихідної напруги $U_{\text{вих}}$, тобто здійснюється стабілізація.

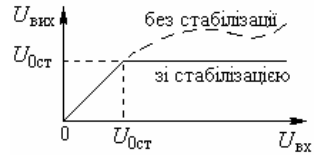


Рис. 3.32. Амплітудна характеристика ідеального параметричного стабілізатора

Зіставляючи цю характеристику з амплітудною характеристикою рис. 3.18, переконуємось у тому, що стабілізатором може бути односторонній обмежувач зверху.

Принципова схема параметричного стабілізатора, що наведена на рис. 3.33, є подільником вхідної напруги $U_{\text{вх}}$ з обмежувальним резистором $R_{\text{обм}}$ у верхньому плечі та стабілітроном VD у нижньому.

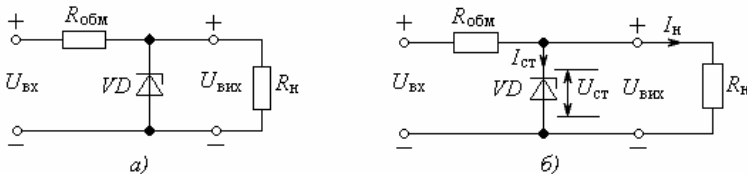


Рис. 3.33. Стабілізатор напруги: а – схема, б – параметри режиму

Стабілізація досягається тим, що надлишок вхідної напруги ($U_{\text{вх}} - U_{\text{ст}}$) гаситься на обмежувальному резисторі $R_{\text{обм}}$.

Оскільки стабілізатор є подільником, то при $I_H \ll I_{CT}$, тобто при великому опорі навантаження R_H , вхідна напруга розподіляється між його плечима за законом Кірхгофа і тому вихідна напруга становить

$$U_{\text{вих}} = U_{\text{вх}} - I_{CT} R_{\text{обм}}. \quad (3.18)$$

З (3.18) випливає, що єдиною можливістю стабілізувати вихідну напругу ($U_{\text{вих}} = \text{const}$) є збільшення струму I_{CT} при підвищенні вхідної напруги $U_{\text{вх}} > U_{0CT}$.

Тоді ідеальна ВАХ VD повинна мати вигляд рис. 3.34, а саме: до якоїсь певної напруги на стабілітроні ($U_{CT} < U_{0CT}$) струм стабілітрона I_{CT} відсутній. Тому, як слід з (3.18), $U_{\text{вих}} = U_{\text{вх}}$, тобто стабілізації немає.

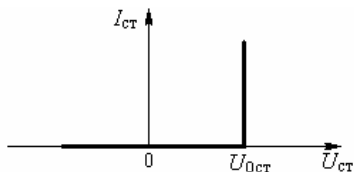


Рис. 3.34. ВАХ ідеального елемента стабілізації

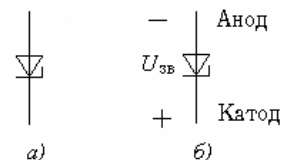


Рис. 3.35. Стабілітрон:
а — умовне позначення,
б — полярність зворотної напруги

Коли ж напруга на стабілітроні перевищить напругу стабілізації ($U_{CT} > U_{0CT}$), то з'являється струм стабілітрона I_{CT} , який викликає падіння надлишкової напруги $I_{CT} R_{\text{обм}}$ на резисторі $R_{\text{обм}}$, через що вихідна напруга $U_{\text{вих}}$ залишається незмінною.

Стабілітрон, умовне позначення якого наведено на рис. 3.35, має ВАХ (рис. 3.36), яка наближається до ідеальної.

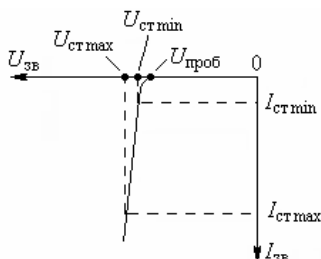


Рис. 3.36. ВАХ стабілітрона

Принцип дії стабілітрона полягає в тому, що під зворотною напругою в ньому виникає електричний пробій p - n -переходу, за якого необмежено зростає зворотний струм через збільшення концентрації електронів у зоні провідності (див. п. 3.1.2.2).

З рис. 3.36 видно, що при значній зміні струму $I_{CT \text{ max}} - I_{CT \text{ min}}$ зворотна напруга стабілітрона змінюється незначно ($U_{CT \text{ max}} - U_{CT \text{ min}}$), тобто залишається стабільною. Це явище й використовується в стабілізаторах напруги.

Стабілізатор виконує свої функції лише за умови $I_H \ll I_{CT \text{ min}}$, тобто при $R_H \gg R_{\text{обм}}$.

3.3.1. Принцип дії та розрахунок стабілізатора

Для пояснення принципу дії стабілізатора знайдемо рівняння лінії навантаження. За законом Кірхгофа вхідна напруга $U_{вх}$ розподіляється між стабілітроном VD та $R_{обм}$ (див. рис. 3.33):

$$U_{вх} = U_{ст} + I_{ст} R_{обм}, \quad (3.19)$$

звідки

$$I_{ст} = \frac{U_{вх}}{R_{обм}} - \frac{U_{ст}}{R_{обм}}, \quad (3.20)$$

де $U_{ст}$ – зворотна напруга на стабілітроні, яка і є вихідною.

Формула (3.20) є рівнянням лінії навантаження. Оскільки відносно $U_{ст}$ вираз (3.20) першого степеня, то лінією навантаження є пряма, яка при вхідній напрузі $U_{вх} = U_{вх1}$ будувється по двох точках 1 і 2 (рис. 3.37).

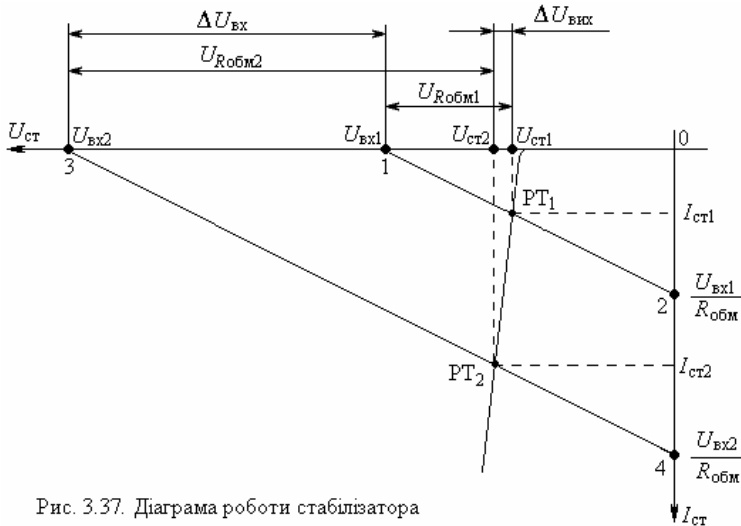


Рис. 3.37. Діаграма роботи стабілізатора

Точка 1: $I_{ст} = 0$ і тоді $U_{ст} = U_{вх1}$.

Точка 2: $U_{ст} = 0$ і тоді $I_{ст} = \frac{U_{вх1}}{R_{обм}}$.

Стабілізатор працює наступним чином.

Знайдемо зміну вихідної напруги при зміні вхідної. Нехай вхідна напруга зросла від $U_{вх1}$ до $U_{вх2}$. Тоді лінія навантаження зміститься паралельно сама відносно себе (точки 3; 4). З рис. 3.37 видно, що зміна вихідної напруги $\Delta U_{вхх}$ набагато менша за зміну вхідної ($\Delta U_{вхх} \ll \Delta U_{вх}$), тобто вихідна напруга є стабільною.

Наявність стабілізації пояснюється наступним чином.

Вихідна напруга за законом Кірхгофа становить

$$U_{\text{вих}} = U_{\text{вх}} - I_{\text{ст}} R_{\text{обм}}. \quad (3.21)$$

При малій вхідній напрузі $U_{\text{вх}} \frac{R_{\text{н}}}{R_{\text{обм}} + R_{\text{н}}} < U_{\text{проб}}$ стабілітрон VD не пробитий і тому його коло фактично розірване ($I_{\text{ст}} = 0$). Через це, як видно з (3.21), вихідна напруга повторює вхідну ($U_{\text{вх}} = U_{\text{ст}}$), тобто стабілізації немає.

Коли ж вхідна напруга велика $U_{\text{вх}} \frac{R_{\text{н}}}{R_{\text{обм}} + R_{\text{н}}} > U_{\text{проб}}$, то стабілітрон VD пробивається. Виникає струм $I_{\text{ст}} > 0$:

$$I_{\text{ст}} = \frac{U_{\text{вх}} - U_{\text{ст}}}{R_{\text{обм}}}, \quad (3.22)$$

створюючи падіння напруги $I_{\text{ст}} R_{\text{обм}}$ на обмежувальному резисторі $R_{\text{обм}}$. Чим вище вхідна напруга, тим більший струм $I_{\text{ст}}$ і, як наслідок, більше падіння напруги $I_{\text{ст}} R_{\text{обм}}$. Так надлишок вхідної напруги ($U_{\text{вх}} - U_{\text{ст}}$) падає на $R_{\text{обм}}$, залишаючи вихідну напругу $U_{\text{вих}}$ незмінною, тобто стабільною.

Ефективність дії стабілізатора оцінюється коефіцієнтом стабілізації, яким є відношення відносних змін вхідної та вихідної напруг:

$$K_{\text{ст}} = \frac{\frac{\Delta U_{\text{вх}}}{U_{\text{вх}}}}{\frac{\Delta U_{\text{вих}}}{U_{\text{вих}}}}. \quad (3.23)$$

Завжди $K_{\text{ст}} > 1$ і чим більше, тим стабільніше вихідна напруга.

Стабілізація є при зміні не тільки $U_{\text{вх}}$, а й опору навантаження $R_{\text{н}}$. Дійсно, коли б не було стабілітрона, то вихідна напруга

$$U_{\text{вих}} = U_{\text{вх}} \frac{R_{\text{н}}}{R_{\text{обм}} + R_{\text{н}}} \quad (3.24)$$

при зменшенні $R_{\text{н}}$ також зменшилася б.

За наявності ж стабілітрона зменшення $R_{\text{н}}$ дещо знизить $U_{\text{вих}}$ (див. рис. 3.33), що спричинить різке зменшення струму стабілітрона $I_{\text{ст}}$. Через це зменшується падіння напруги $I_{\text{ст}} R_{\text{обм}}$ на обмежувальному резисторі і тому вихідна напруга (3.18) залишиться мало зниженою, тобто стабільною.

Таким чином, стабілізатор напруги, схема якого наведена на рис. 3.33, забезпечує стабілізацію, тобто певну сталість вихідної напруги $U_{\text{вих}}$.

Стабілітрони випускаються промисловістю на різні стандартні напруги. Оскільки вихідна напруга завжди дорівнює напрузі стабілізації стабілітрона, то для одержання іншої напруги $U_{\text{вих}}$ слід вибрати стабілітрон з іншою певною напругою стабілізації $U_{\text{ст}}$. Наприклад, стабілітрон КС191А з напругою стабілізації 9,1 В замінити стабілітроном КС156А з напругою стабілізації 5,6 В.

Щодо збільшення вихідної напруги, то для цього можна використовувати

вати послідовне з'єднання стабілітронів $VD1$ та $VD2$ (рис. 3.38,*а*) або стабілітрона $VD3$ і діода $VD4$ (рис. 3.38,*б*).

В схемі (рис. 3.38,*а*) вихідна напруга дорівнює сумі напруг стабілізації обох стабілітронів, а в схемі (рис. 3.38,*б*) – сумі напруги стабілізації стабілітрона $VD3$ та прямої напруги діода $VD4$. Для подальшого підвищення вихідної напруги слід збільшити кількість послідовно з'єднаних стабілітронів або стабілітронів і діодів.

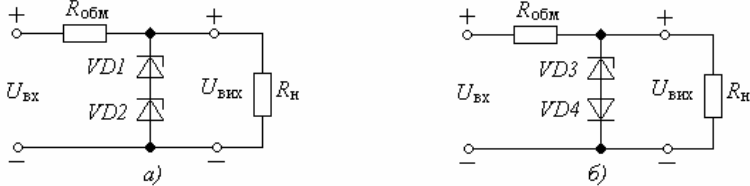


Рис. 3.38. Стабілізатор з підвищеною вихідною напругою:
а – на стабілітронах; б – на стабілітроні та діоді

Слід зазначити, що стабілізація здійснюється не за будь-якого опору навантаження $R_н$. Якщо опір $R_н$ дуже малий, то подільник напруги з $R_обм$ та $R_н$ зменшить вихідну напругу до того, що вона буде нижче напруги пробією ($U_{вих} < U_{проб}$), через що пробій стабілітрона стане неможливим.

Мінімальний опір навантаження $R_{нmin}$ можна визначити з наступного співвідношення

$$U_{вих} \frac{R_{нmin}}{R_{обм} + R_{нmin}} \geq U_{стном}, \quad (3.25)$$

де $U_{стном} = \frac{U_{стmax} + U_{стmin}}{2}$ – номінальна напруга стабілізації.

Приймаючи в (3.25) рівність, визначасмо мінімальний опір навантаження, за якого стабілізація ще можлива:

$$R_{нmin} = \frac{U_{стном}}{U_{вих} - U_{стном}} R_{обм}. \quad (3.26)$$

Подальше зменшення опору $R_н$ стабілізацію знищить.

Щодо полярності вихідної напруги, то для її зміни необхідно змінити полярність напруги на вході та переполюсувати включення стабілітрона так, щоб напруга на ньому зберігалася зворотною (рис. 3.39).

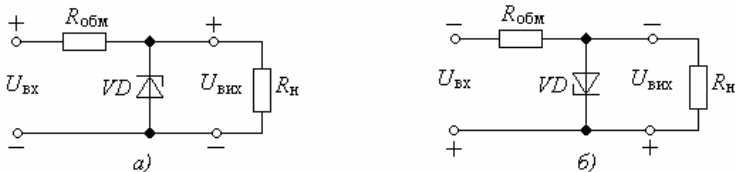


Рис. 3.39. Схеми стабілізаторів: а – для напруги позитивної полярності,
б – для напруги негативної полярності

Для вихідної напруги будь-якої полярності (неполярних стабілізаторів) можна використати зустрічно-последовне з'єднання однобічних стабілітронів (рис. 3.40,а) або двобічний стабілітрон (рис. 3.40,б).

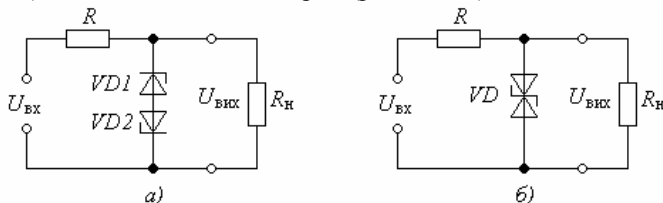


Рис. 3.40. Неполярний стабілізатор:
а – на однобічних стабілітронах, б – на двобічному стабілітроні

Неполярний стабілізатор працює наступним чином.

Полярність вихідної напруги $U_{\text{вих}}$ буде та сама, що й вхідної $U_{\text{вх}}$. За будь-якої полярності вхідної напруги $U_{\text{вх}}$ один із стабілітронів $VD1$, $VD2$ буде під зворотною напругою, а інший – під прямою. Тому вихідна напруга буде складатися зі зворотної напруги одного стабілітрона і прямої напруги іншого стабілітрона:

$$U_{\text{вих}} = U_{\text{ст}} + U_{\text{пр.}} \quad (3.27)$$

Сьогодні промисловістю випускається двобічний стабілітрон (рис. 3.41). Він неполярний і тому на ньому можна створити неполярний стабілізатор (див. рис. 3.40,б).



Рис. 3.41.
Двобічний
стабілітрон

При створенні стабілізаторів проблемою є стабілізація низьких напруг 1 ... 2 В. На такі напруги стабілітронів немає. Максимальна напруга стабілізації існуючих стабілітронів становить 3,3 В (наприклад, стабілітрон КС133А).

Для стабілізації низьких напруг слугують стабістори. В них для стабілізації використовують пряму ділянку ВАХ p - n -переходу. Тому схема стабілізатора на стабісторах та ж сама, що й на стабілітронах лише з тією відмінню, що замість стабілітрона включений стабістор VD під прямою напругою (рис. 3.42).

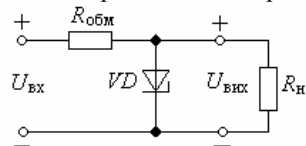


Рис. 3.42. Схема стабілізатора на стабісторі

Оскільки напруга стабілізації стабістора не перевищує 0,7 В, то для стабілізації напруг, більших за 0,7 В, слід використовувати послідовне з'єднання кількох стабісторів.

Щодо розрахунку стабілізатора, то він в основному зводиться до визначення опорного обмежувального резистора $R_{\text{обм}}$.

З (3.15) знаходимо

$$R_{\text{обм}} = \frac{U_{\text{вх}} - U_{\text{вих}}}{I_{\text{ст}}} \quad (3.28)$$

3.3.2. Вплив температури на вихідну напругу стабілізатора

Температура впливає на вихідну напругу стабілізатора неоднозначно. Напрямок температурного дрейфу залежить від типу стабілітрона: з лавинним пробоем чи тунельним.

На рис. 3.43 показано вплив температури на ВАХ стабілітронів з лавинним (Лав.) та тунельним (Тун.) пробоями. З цього рисунку видно, що підвищення температури збільшує напругу пробією стабілітрона з лавинним пробоем та зменшує – з тунельним.

Це пояснюється тим, що з підвищенням температури збільшується інтенсивність хаотичного руху вузлів кристалічної решітки, через що скорочується довжина вільного пробігу електронів, і їхньої швидкості не вистачає для ударної іонізації атомів. Щоб здійснилась іонізація атомів у стабілітронах з лавинним пробоем, необхідно підвищити зворотну напругу, тобто зростання температури збільшує напругу лавинного пробією.

Отже, підвищення температури збільшує вихідну напругу стабілізатора, в якому стабілітрон з лавинним пробоем.

Щодо тунельного пробією, то зростання температури зменшує напругу його пробією. Це пояснюється тим, що підвищення температури скорочує ширину p - n -переходу, через що на ньому зростає електрична напруженість. Тому тунельний перехід електронів здійснюється при меншій зворотній напрузі.

Таким чином, підвищення температури зменшує вихідну напругу стабілізатора, в якому стабілітрон з тунельним пробоем.

Протилежний температурний дрейф параметрів згаданих стабілітронів дає можливість створити температурно стійкий стабілізатор, якщо використати послідовно з'єднані стабілітрони з різними типами пробією: лавинним $VD1$ та тунельним $VD2$ (рис. 3.44).

Температурна стабілізація також досягається, якщо використати послідовно з'єднані стабілітрон з лавинним пробоем і діод під прямою напругою (див. рис. 3.38,б). Оскільки зміна температури викликає підвищення напруги стабілізації стабілітрона $VD1$ і зменшення прямої напруги діода $VD2$, то вихідна напруга залишається відносно стабільною.

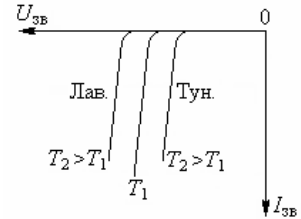


Рис. 3.43. Вплив температури на ВАХ стабілітрона

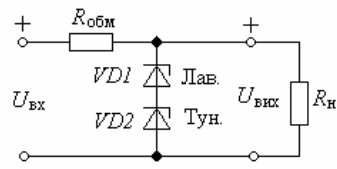


Рис. 3.44. Стабілізатор з підвищеною термостійкістю

3.4. Індуктивне навантаження та діодний захист контактів

Одним із різновидів застосування обмежувачів є діодний захист контактів. Цей захист необхідний тоді, коли контакти ключа К (рис. 3.45) працюють на індуктивне навантаження L .

Напруга на котушці індуктивності пропорційна швидкості зміни струму:

$$U = L \frac{dI}{dt}. \quad (3.29)$$

Якщо розімкнути контакти К, то $dt \rightarrow 0$, через що $U \rightarrow \infty$. Дійсно, індуктивність зберігає струм. Тому

в першу мить після розриву контактів К струм I як протікає, так протікає тієї ж сили і в тому ж напрямі (рис.3.45,*a*). На опорі розірваних контактів $R_k \rightarrow \infty$ він створює нескінченно велику напругу $U = IR_k \rightarrow \infty$. Під цією напругою між контактами К виникає іскра, через яку обгорають контакти.

Якщо ключем К є транзистор, який у відкритому стані замикає коло, а в закритому – розмикає його, то через перенапругу $U = IR_k \rightarrow \infty$ транзистор вийде з ладу після першого ж закриття. Таким чином, необхідно позбавитись перенапруг при виключенні індуктивності.

Це позбавлення забезпечує діод VD , якщо його підключити паралельно до котушки L у зворотному напрямі (рис. 3.45,*б*). Тоді при розриванні кола ключем К котушка L , як і раніше, зберігає струм I . Але тепер він протікає не через ключ К, а через діод VD , створюючи на ньому пряме падіння напруги, яке не перевищує 0,7 В. Так діодний захист усуває перенапругу ключа з індуктивним навантаженням.

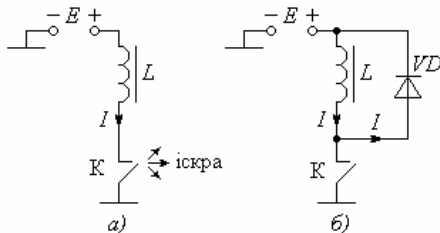


Рис. 3.45. Діодний захист контактів

Контрольні питання

- 3.1. Наведіть потенційну діаграму роботи діода під прямою напругою.
- 3.2. Наведіть потенційну діаграму роботи діода під зворотною напругою.
- 3.3. Наведіть ВАХ діода та поясніть її хід.
- 3.4. Поясніть вплив температури на струми діода.
- 3.5. Поясніть механізм теплового пробію.
- 3.6. Поясніть хід ВАХ діода при електричному пробію.
- 3.7. Наведіть схему однонапівперіодого випрямляча для одержання позитивної напруги.
- 3.8. Наведіть схему однонапівперіодого випрямляча для одержання негативної напруги.
- 3.9. Наведіть часові діаграми роботи випрямлячів за п. 3.7 та 3.8.
- 3.10. Поясніть різницю між амплітудами вхідної та вихідної напруг.

- 3.11. Поясніть вплив прямої напруги діода на амплітуду випрямленої напруги.
- 3.12. Поясніть вплив прямої напруги діода на ККД випрямляча.
- 3.13. Поясніть особливості діода Шотткі.
- 3.14. Наведіть часову діаграму роботи двонапівперіодного випрямляча.
- 3.15. Наведіть амплітудну характеристику обмежувача зверху.
- 3.16. Наведіть амплітудну характеристику обмежувача знизу.
- 3.17. Наведіть схеми одностороннього та симетричного діодних обмежувачів зверху.
- 3.18. Наведіть схеми одностороннього та симетричного обмежувачів зверху на стабілітронах.
- 3.19. Наведіть схему симетричного обмежувача знизу на діодах.
- 3.20. Наведіть схему симетричного обмежувача знизу на стабілітронах.
- 3.21. Поясніть придушення завад обмежувачем зверху.
- 3.22. Поясніть захист від перенапруг цифрових схем обмежувачем зверху.
- 3.23. Наведіть схему параметричного стабілізатора.
- 3.24. Поясніть, чим визначається коефіцієнт стабілізації.
- 3.25. Наведіть діаграму роботи параметричного стабілізатора.
- 3.26. Поясніть за діаграмою роботи наявність стабілізації.
- 3.27. Поясніть, як змінити полярність вихідної напруги стабілізатора.
- 3.28. Наведіть схему неполярного стабілізатора.
- 3.29. Поясніть існування мінімального опору навантаження.
- 3.30. Поясніть діодний захист ключа з індуктивним навантаженням.

Рекомендована література

- 3.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 31 – 42.
- 3.2. Батушев В.А. Электронные приборы: [учебник для вузов] / Батушев В.А. – М.: Высшая школа, 1980. – С. 71 – 82.
- 3.3. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 253 – 256.
- 3.4. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983. – Т.1. – С. 67 – 78.
- 3.5. Электронные приборы: [учебник для вузов] / Дулин В.Н, Аваев Н.А., Дёмин В.П. и др.: под ред. Г.Г. Шишкина. – М.: Энергоатомиздат, 1989. – С. 121 – 125.

Розділ 4

ЕЛЕКТРОННІ ПІДСИЛЮВАЧІ

4.1. Задача підсилювача

Задачею підсилювача напруги $U_{\text{вх}}$, струму $I_{\text{вх}}$ або потужності $P_{\text{вх}}$ є їхнє збільшення, яке називається підсиленням. Воно здійснюється за допомогою множення $U_{\text{вх}}$ або $I_{\text{вх}}$, або $P_{\text{вх}}$ на відповідне стале число K_U або K_I або K_P , яке називається коефіцієнтом підсилення відповідно за напругою, струмом та потужністю:

$$U_{\text{вих}} = K_U U_{\text{вх}}, \quad (4.1)$$

$$I_{\text{вих}} = K_I I_{\text{вх}}, \quad (4.2)$$

$$P_{\text{вих}} = K_P P_{\text{вх}}, \quad (4.3)$$

де $U_{\text{вх}}$, $I_{\text{вх}}$, $P_{\text{вх}}$ – вхідні напруга, струм та потужність, які треба підсилити;

$U_{\text{вих}}$, $I_{\text{вих}}$, $P_{\text{вих}}$ – вихідні (підсилені) напруга, струм та потужність.

З формул (4.1), (4.2), (4.3) одержуємо визначення коефіцієнтів підсилення:

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}}, \quad (4.4)$$

$$K_I = \frac{I_{\text{вих}}}{I_{\text{вх}}}, \quad (4.5)$$

$$K_P = \frac{P_{\text{вих}}}{P_{\text{вх}}}. \quad (4.6)$$

Отже, бувають підсилювачі відповідно напруги, струму та потужності.

Щоб підсилювач не мати за вічний двигун, де збільшення енергії виникає з нічого, зазначимо, що збільшення вихідних параметрів створюється за рахунок витрачення енергії джерела живлення вихідного кола підсилювача, а саме вхідний сигнал ($U_{\text{вх}}$, $I_{\text{вх}}$ або $P_{\text{вх}}$), який треба підсилити, керує цими витратами, не потрапляючи до виходу.

Якщо джерело живлення вихідного кола витрачає більшу потужність за джерело сигналу, то це і є підсиленням, бо вихідна потужність більше за вхідну. Підсилення може супроводжуватись зміною фази на 180° (рис. 4.1,а) або без її зміни (рис. 4.1,б). У першому випадку підсилювач називається інвертуючим, а в другому – неінвертуючим. Їхні коефіцієнти підсилення відповідно становлять:

$$K_{\text{інв}} = - \frac{U_{\text{мвих}}}{U_{\text{мвх}}}. \quad (4.7)$$

$$K_{\text{пінв}} = \frac{U_{m \text{ вих}}}{U_{m \text{ вх}}}. \quad (4.8)$$

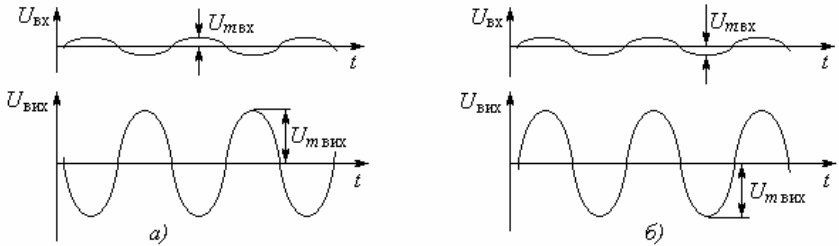


Рис. 4.1. Діаграма роботи підсилювача: а – з поворотом фази на 180° ; б – без повороту фази

Щодо коефіцієнта підсилення потужності, то він завжди позитивний $K_p > 0$, бо в резистивному колі потужність тільки споживається.

Таким чином, будь-який підсилювач має забезпечити на виході більший рівень сигналу, ніж на вході (рис. 4.1).

4.2. Структурна схема підсилювача напруги

Підсилювачем є подільник напруги живлення E_k (рис. 4.2), який складається з опору навантаження R_n і так званого керованого опору R_k .

Вхідний сигнал $U_{\text{вх}}$ потрапляє до входу керованого опору R_k .

Вихідний (підсилений) сигнал $U_{\text{вих}}$ знімається з виходу подільника і є часткою напруги живлення E_k , тобто:

$$U_{\text{вих}} = E_k \frac{R_k}{R_n + R_k}, \quad (4.9)$$

де R_k – керований опір, який змінюється під впливом вхідного сигналу $U_{\text{вх}}$.

З формули (4.9) випливає наступне:

– в основу роботи підсилювача покладене те, що вхідний сигнал $U_{\text{вх}}$, сам, ніколи не потрапляючи до виходу, керує через R_k коефіцієнтом передавання $\frac{R_k}{R_n + R_k}$ напруги живлення E_k і саме цим

створює на виході свою копію;

– вихідна напруга $U_{\text{вих}}$ підсилювача завжди є часткою напруги живлення E_k ;

– вихідна напруга $U_{\text{вих}}$ не може бути більше за напругу живлення E_k ;

– якщо вибрати напругу живлення більшу за вхідну ($E_k > U_{\text{вх}}$), то можна одержати підсилення ($U_{\text{вих}} > U_{\text{вх}}$).

Якщо вибрати опір R_k малим:

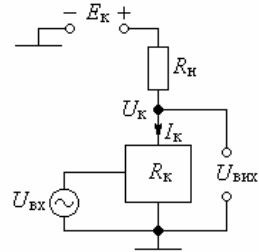


Рис. 4.2. Структурна схема підсилювача напруги

$$R_k \ll R_n, \quad (4.10)$$

то (4.9) матиме наступний вигляд:

$$U_{\text{вих}} = E_k \frac{R_k}{R_n}. \quad (4.11)$$

Відносно R_k рівняння (4.11) першого степеня. Тому, якщо R_k змінюється під $U_{\text{вих}}$ за лінійним законом, то $U_{\text{вих}}$ повторює форму вхідного сигналу $U_{\text{вх}}$, який треба підсилити.

Як керований опір R_k використовують електровакуумні прилади (тріоди, тетроди, пентоди) та напівпровідникові прилади (транзистори).

4.3. Підсилювачі на електровакуумних приладах

4.3.1. Будова та принцип дії електровакуумних приладів

Електровакуумним називається прилад для генерації і перетворення електричної енергії, принцип дії якого заснований на русі електронів у вакуумі. Отже, електровакуумний прилад – це перш за все вакуумний балон, як правило, скляний, в якому розміщені електроди. Тому електровакуумні прилади називають електронними лампами або просто: лампами. Лампи застосовуються в підсилювачах як керовані опори R_k (див. рис. 4.2).

За кількістю електродів лампи бувають триелектродними (тріоди), чотириелектродними (тетроди) та п'ятиелектродними (пентоди) (рис. 4.3).

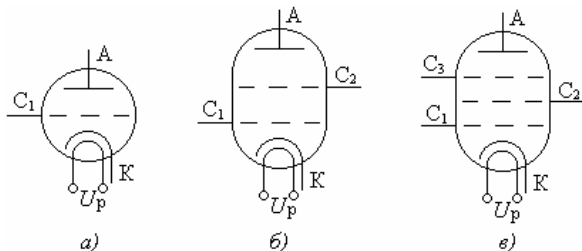


Рис. 4.3. Умовні позначення електронних ламп:
а – тріода; б – тетрода; в – пентода

Будь-яка з цих ламп обов'язково містить катод К, який постачає електрони, керуючу сітку C_1 , яка керує щільністю електронів і до якої надходить підсилювальний сигнал, та анод А, який збирає електрони.

Щоб постачати електрони, катод здійснює так звану термоелектронну емісію, яка полягає у випромінюванні електронів розжареним металом. Для розжарення катода лампи містять підігрівач, який живиться напругою розжарення U_p . Іноді підігрівач називають ниткою розжарення. (Підігрівач лише розжарює катод і не впливає на сигнал. Тому далі на схемах він не позначається).

Лампи працюють наступним чином.

З розжареного катода вилітають електрони. При негативному потенціалі

в області сітки електрони відбиваються від неї і накопичуються в електронному хмарі між сіткою та катодом. Тому вони не надходять до аноду і анодного струму немає – лампа заперта, не зважаючи на позитивний потенціал анода.

Якщо результуюче поле в області сітки C_1 прискорювальне для електронів, то воно притягує електрони. Вони набирають швидкості, пролітають крізь сітку і надходять до аноду. Причому, чим вище потенціал в області сітки, тим більше електронів досягне аноду і тим сильніше буде анодний струм I_A .

На анодний струм впливає також напруга анода A в тріоді та напруга другої сітки C_2 в тетроді та пентоді, але напруга першої сітки C_1 впливає сильніше, тому що вона ближче до катоду K . Через це вхідна напруга, яку треба підсилити, подається завжди до першої сітки C_1 .

4.3.2. Тріод

Основна схема включення тріода наведена на рис. 4.4. Зіставляючи цю схему зі структурною схемою підсилювача (рис. 4.2), переконаємося в тому, що замість абстрактного керованого опору R_k використаний тріод.

На рис. 4.4 позначені:

E_A – напруга живлення анодного кола;

E_C – напруга живлення сіткового кола;

$U_{СК}$ – напруга між сіткою та катодом (далі “напруга сітки”);

$U_{АК}$ – напруга між анодом та катодом (далі “напруга анода”);

I_A – струм анода;

R_H – опір навантаження кола анода;

R_C – опір у колі сітки.

Основна властивість тріода полягає в тому, що напруга сітки

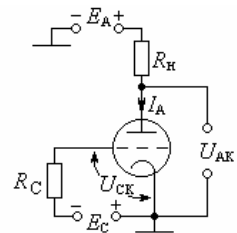


Рис. 4.4. Основна схема включення тріода

$$U_{СК} = E_{СК} + U_{вх} \quad (4.12)$$

керує анодним струмом I_A . Це керування полягає в наступному. Анодний струм можна визначити за *законом степеня трьох других*

$$I_A = GU_{д}^{\frac{3}{2}}, \quad (4.13)$$

де G – коефіцієнт, який визначається конструкцією тріода;

$U_{д}$ – діюча напруга. Вона складається з напруги сітки U_C та перерахованої в її область напруги анода $DU_{АК}$:

$$U_{д} = U_{СК} + DU_{АК}, \quad (4.14)$$

де D – проникність сітки. Завжди $D < 1$, тому що анод розміщений від катоду далі, ніж сітка.

На підставі (4.13) та (4.14) маємо, що зростання напруг сітки $U_{СК}$, а

також анода U_{AK} збільшує струм анода I_A . Ці залежності відбивають так звані статичні характеристики тріода:

$$I_A = f(U_{CK}; U_{AK}). \quad (4.15)$$

4.3.2.1. Статичні характеристики тріода

Назва “статичні” зумовлена тим, що за формулою (4.15) в схемі (рис. 4.4) враховуються лише постійні напруги, які діють між електродами. Це означає, що $U_{BK} = 0$ та $R_H = 0$. Характеристики (4.15) зручно наводити у вигляді функції лише однієї змінної, вважаючи другий параметр режиму U_{CK} або U_{AK} сталим. При цьому одержуємо дві сім’ї статичних характеристик:

– вихідні (анодні) характеристики

$$I_A = f(U_{AK}) \Big|_{U_{CK} = \text{const}} \quad (4.16)$$

– та передавальні (анодно-сіткові)

$$I_A = f(U_{CK}) \Big|_{U_{AK} = \text{const}}. \quad (4.17)$$

Типовий вид характеристик (4.16) та (4.17) наведений відповідно на рис. 4.5 та рис. 4.6.

З цих характеристик, які є в паспорті тріода, можна відлічити струм анода I_A при різних напругах сітки U_{CK} та анода U_{AK} .

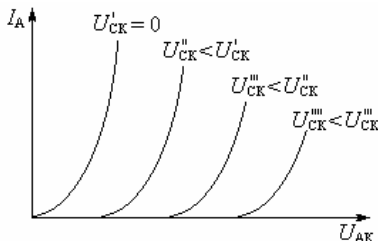


Рис. 4.5. Вихідні (анодні) характеристики тріода

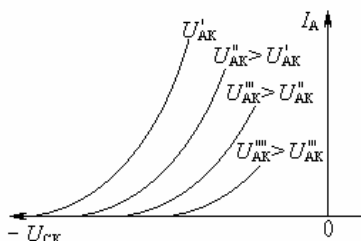


Рис. 4.6. Передавальні (анодно-сіткові) характеристики тріода

4.3.2.2. Статичні параметри

тріода (лампи)

Для визначення статичних параметрів тріода скористаємося повним диференціалом анодного струму, який становить

$$dI_A = S dU_{CK} + \frac{1}{R_i} dU_{AK}, \quad (4.18)$$

де S і R_i – статичні параметри тріода (лампи).

Визначимо їхнє фізичне значення. Враховуючи $dU_{AK} = 0$, тобто $U_{AK} = \text{const}$, визначаємо *статичну крутість*

$$S = \left. \frac{dI_A}{dU_{CK}} \right|_{U_{AK} = \text{const}}, \quad (4.19)$$

яка має розмірність $\left[\frac{\text{мА}}{\text{В}} \right]$ і показує приріст анодного струму dI_A , що припадає на 1 В змінення сіткової напруги dU_{CK} (не сименс, бо крутість не є провідністю, а саме $\left[\frac{\text{мА}}{\text{В}} \right]$).

При $dU_{CK} = 0$, тобто $U_{CK} = \text{const}$, знаходимо *внутрішній опір*

$$R_i = \left. \frac{dU_{AK}}{dI_A} \right|_{U_{CK} = \text{const}}, \quad (4.20)$$

який має розмірність кОм.

Враховуючи $dI_A = 0$, тобто $I_A = \text{const}$, визначимо *статичний коефіцієнт підсилення*

$$\mu = - \left. \frac{dU_{AK}}{dU_{CK}} \right|_{I_A = \text{const}} = SR_i. \quad (4.21)$$

Знак “-” свідчить про те, що зміни напруг в колі сітки dU_{CK} та в колі анода dU_{AK} здійснюються в протилежних напрямках: якщо напруга U_{CK} зростає, то U_{AK} зменшується і навпаки.

4.3.2.3. Визначення статичних параметрів

Для знаходження статичних параметрів замінімо у формулах (4.19) ... (4.21) диференціальні величини на кінцеві малі прирости:

$$S = \left. \frac{\Delta I_A}{\Delta U_C} \right|_{U_A = \text{const}}, \quad (4.22)$$

$$R_i = \left. \frac{\Delta U_A}{\Delta I_A} \right|_{U_C = \text{const}}, \quad (4.23)$$

$$\mu = - \left. \frac{\Delta U_A}{\Delta U_C} \right|_{I_A = \text{const}}. \quad (4.24)$$

Визначати будь-який з цих параметрів треба з кінця відповідної формули, тобто з забезпечення сталості параметра режиму:

$U_A = \text{const}$ – для визначення крутості S ;

$U_C = \text{const}$ – для визначення внутрішнього опору R_i ;

$I_A = \text{const}$ – для визначення коефіцієнта підсилення μ .

При визначенні параметрів прирости ΔU_C , ΔU_A та ΔI_A (рис. 4.7, 4.8) мають бути симетричними відносно робочої точки РТ, для якої визначається параметр.

Щоб не втратити знак, при визначенні будь-якого параметра, слід обов'язково дотримуватись черговості підставлень величин у чисельник і знаменник.

Для знаходження крутості за формулою (4.22) треба перш за все графічно здійснити вимогу $U_A = \text{const}$. Для точки РТ це лінія сталості $U_A = U_{0A} = \text{const}$ (рис. 4.7). Далі треба дати приріст аргументу ΔU_C .

На анодних характеристиках він може бути тільки дискретним, тобто напруга сітки має змінюватись від U_C' до U_C''' .

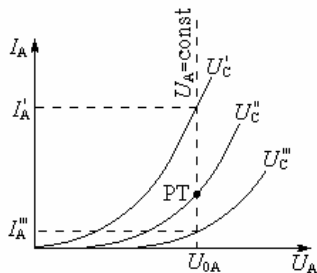


Рис. 4.7. Визначення крутості:

$$S = \frac{\Delta I_A}{\Delta U_C} = \frac{I_A' - I_A''}{U_C' - U_C''}$$

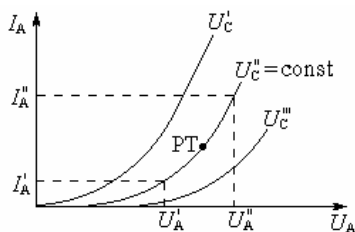


Рис. 4.8. Визначення внутрішнього

опору: $R_i = \frac{\Delta U_A}{\Delta I_A} = \frac{U_A' - U_A''}{I_A' - I_A''}$

Для визначення внутрішнього опору R_i за формулою (4.23) треба перш за все здійснити вимогу $U_C = \text{const}$. Цією лінією сталості є характеристика $U_C = U_C''$ (рис. 4.8).

Тут можливе повільне задавання приросту аргументу ΔU_A , але він має бути симетричним відносно робочої точки РТ, тобто напруга анода має змінюватись від U_A' до U_A'' .

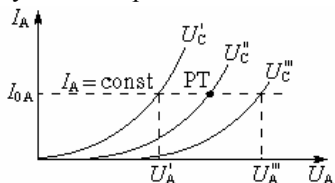


Рис. 4.9. Визначення коефіцієнта

підсилення: $\mu = \frac{\Delta U_A}{\Delta U_C} = \frac{U_A'' - U_A'}{U_C'' - U_C'}$

Для визначення коефіцієнта підсилення μ за формулою (4.24) спочатку необхідно графічно здійснити вимогу $I_A = \text{const}$. Цією лінією сталості є $I_A = I_{0A}$ (рис. 4.9). Тут можливе лише дискретне завдання приросту аргументу і тому напруга сітки має змінюватись від U_C' до U_C''' .

4.3.3. Підсилювач на тріоді

Підсилювач на тріоді, схема якого наведена на рис. 4.10, крім елементів, позначених на рис. 4.4, містить резистор R_C та розділові конденсатори C_C та C_A .

Резистор R_C запобігає закорочуванню вхідної напруги $U_{вх}$ джерелом $E_{СК}$, а конденсатори C_C та C_A перешкоджають порушенню режиму лампи за постійним струмом.

Для пояснення принципу дії підсилювача треба побудувати лінію навантаження. Знайдемо

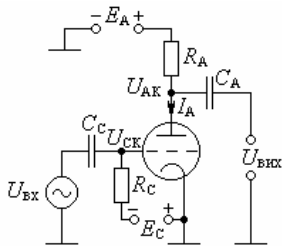


Рис. 4.10. Підсилювач на тріоді

її рівняння. За законом Кірхгофа напруга живлення E_A розподіляється між навантаженням R_A та ділянкою “анод-катод” лампи:

$$E_A = U_{AK} + I_A R_A. \quad (4.25)$$

Поділяючи обидві частини на R_A , одержуємо рівняння лінії навантаження:

$$I_A = \frac{E_A}{R_A} - \frac{U_{AK}}{R_A}, \quad (4.26)$$

яка є прямою через те, що U_{AK} першого степеня. Тоді вона будується по двох точках її перетину з осями координат (рис. 4.11).

Точка 1: $I_A = 0$; $U_{AK} = E_A$. Точка 2: $U_{AK} = 0$; $I_A = \frac{E_A}{R_A}$.

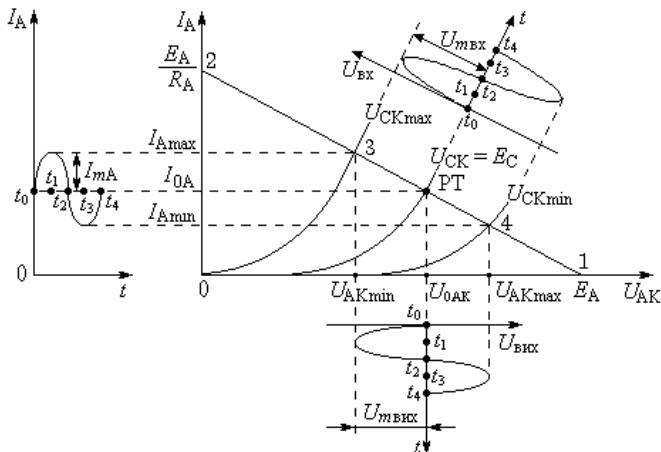


Рис. 4.11. Діаграма роботи підсилювача на триоді

Перетин лінії навантаження із заданою характеристикою визначає робочу точку РТ.

Принцип дії підсилювача на триоді наступний.

Напруга сітки $U_{СК} = E_C + U_{ВХ}$ складається з постійної напруги E_C , яка визначає положення робочої точки РТ, та вхідної напруги $U_{ВХ}$, яку треба підсилити (рис. 4.10, 4.11).

У початковому стані на момент t_0 за відсутності сигналу ($U_{ВХ} = 0$) напруга сітки в робочій точці становить $U_{СК} = E_C$. Ця напруга визначає параметри режиму спокою: постійну напругу анода $U_{0АК}$ та анодний струм $I_{0А}$.

За наявності сигналу напруга $U_{ВХ}$, яку треба підсилити, додається до E_C , змінюючи напругу сітки $U_{СК}$ від $U_{СКmax}$ до $U_{СКmin}$.

Напруга анода при цьому визначається наступним чином.

За законом Кірхгофа напруга живлення E_A падає на аноді та опорі R_A , тобто $E_{AK} = U_{AK} + I_A R_A$, звідки напруга анода становить

$$U_{AK} = E_A - I_A R_A. \quad (4.27)$$

Позитивна напівхвиля сигналу в момент t_1 збільшує напругу сітки до U_{CKmax} і струм анода I_A зростає до I_{Amax} . Підстановка I_{Amax} в (4.27) визначить мінімальну напругу анода

$$U_{AKmin} = E_A - I_{Amax} R_A. \quad (4.28)$$

Негативна напівхвиля створює в момент t_3 мінімальну напругу сітки U_{CKmin} і тоді напруга анода буде максимальною:

$$U_{AKmax} = E_A - I_{Amin} R_A. \quad (4.29)$$

Так, на аноді, тобто на виході, створюється підсилена копія U_{AK} вхідної напруги $U_{вх}$.

З діаграми роботи підсилювача (рис. 4.11) можна зробити наступні висновки:

- вихідна напруга $U_{вих}$ визначається опором навантаження R_A і тим вище, чим більше R_A ;
- амплітуда вихідної напруги $U_{mвих}$ не перевищує $0,5 E_A$;
- напруги $U_{вх}$ та $U_{вих}$ перебувають у протифазі, тобто підсилювач повертає фазу на 180° .

4.3.3.1. Показники підсилювача на лампах

Коефіцієнт підсилення

$$K_U = \frac{U_{mвих}}{U_{mвх}} = \frac{U_{AKmax} - U_{AKmin}}{U_{CKmin} - U_{CKmax}}. \quad (4.30)$$

Коефіцієнт корисної дії (ККД)

$$\eta = \frac{P_{вих}}{P_0}, \quad (4.31)$$

де $P_{вих}$ – вихідна (корисна) потужність;
 P_0 – потужність, яку витрачає джерело E_A .

$$P_{вих} = \frac{1}{2} \frac{U_{mвих}^2}{R_A}. \quad (4.32)$$

$$P_0 = E_A I_{0A}. \quad (4.33)$$

Потужність, яка розсіюється анодом:

$$P_{0A} = U_{0A} I_{0A}. \quad (4.34)$$

Вихідний опір:

$$R_{вих} = \frac{U_{mвих}}{I_{mA}} = \frac{U_{Amax} - U_{Amin}}{I_{Amax} - I_{Amin}}. \quad (4.35)$$

Примітка. В розглядуваному режимі завжди $\eta < 0,25$, тобто ККД не може бути більше 25% .

4.3.4. Екрановані лампи

Екранованими лампами є тетрод та пентод (див. рис. 4.3,б та 4.3,в). Назва “екрановані” обумовлена тим, що вони містять екрануючу сітку. В цих лампах усунені два основних недоліки тріода:

- відносна низькочастотність через прохідну ємність між сіткою та анодом;
- відносно малий коефіцієнт підсилення через проникнення електричного поля анода в область сітки.

Перший недолік пояснюється рис. 4.12, на якому зображений тріод з умовним позначенням прохідної ємності C_{CA} “сітка-анод”.

Прохідна ємність C_{CA} створена тим, що два провідники (сітка та анод) розміщені поруч. Тому між ними, як і між двома будь-якими провідниками, існує ємність.

Ємність C_{CA} пов’язує на високих частотах анод з сіткою. Це створює так званий зворотний зв’язок, який викликає спотворення сигналу і може призвести до самозбудження підсилювача. Тому прохідна ємність для підсилювача є шкідливою.

Другий недолік полягає в тому, що електричне поле анода (підсиленого сигналу) проникає в область сітки. Оскільки напруги сітки й анода перебувають у протифазі, то поле анода частково компенсує сигнал, який підсилюється, і саме тим зменшує коефіцієнт підсилення.

Таким чином, виникає задача зменшити прохідну ємність, а також запобігти проникненню поля анода в область сітки.

Ця подвійна задача розв’язується уведенням електричного екрана між сіткою та анодом. Таким екраном є друга або екрануюча сітка C_2 (див. рис. 4.3, б та 4.3 в).

4.3.4.1. Чотириелектродна лампа

Чотириелектродна лампа (тетрод), схема якої наведена на рис. 4.3,б, містить термокатод К, який постачає електрони, керуючу (першу) сітку C_1 , до якої підводиться вхідна напруга, анод А, який збирає електрони, та екрануючу (другу) сітку C_2 .

Сітка C_2 є екраном між анодом та сіткою C_1 . Тому вона зменшує прохідну ємність між сіткою C_1 та анодом для підвищення робочої частоти, а також перешкоджає проникненню електричного поля анода до першої сітки, підвищуючи саме тим статичний коефіцієнт підсилення μ .

Основна схема включення тетрода наведена на рис. 4.13. На схемі видно, що екрануюча сітка C_2 живиться позитивною напругою E_A через резистор гасіння R_r і тому напруга другої сітки становить

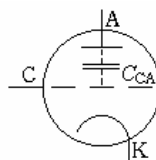


Рис. 4.12. Прохідна ємність “сітка-анод” C_{CA} тріода

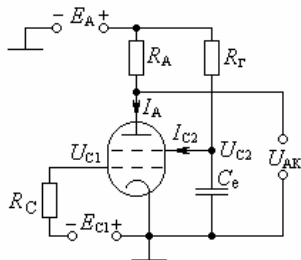


Рис. 4.13. Основна схема включення тетрода

Екрануюча (друга) сітка C_2 через конденсатор C_e з'єднується з катодом. Тому вона за високою частотою завжди має потенціал катода, який дорівнює нулю. Через це в багато разів зменшується прохідна ємність, збільшуючи верхню частотну межу. Через екрануючу дію сітки C_2 проникнення поля анода в область керуючої сітки C_1 зменшується, внаслідок чого підвищується статичний коефіцієнт підсилення μ .

Принцип дії тетрода видно з анодних характеристик (рис. 4.14).

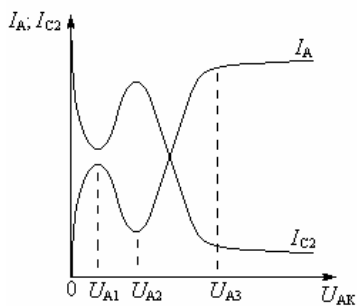


Рис. 4.14. Анодна I_A та екранно-анодна I_{C2} характеристики тетрода

струмів залишається завжди постійною і дорівнює катодному струму I_K :

$$I_A + I_{C2} = I_K = \text{const.} \quad (4.38)$$

З подальшим підвищенням U_{AK} , починаючи з $U_{AK} \approx 30$ В, на ділянці

$$U_{A1} < U_{AK} < U_{A2} \quad (4.39)$$

струм анода I_A зменшується, незважаючи на зростання U_A . Через це ділянка (4.39) характеризується так званим негативним опором:

$$\frac{\Delta U_{AK}}{\Delta I_A} < 0. \quad (4.40)$$

Для підсилення негативний опір є шкідливим, тому що викликає спотворення сигналу і самозбудження підсилювача.

Наявність негативного опору на ділянці (4.39) полягає в наступному.

Чим вище U_{AK} , тим з більшою швидкістю електрони зіштовхуються з анодом і за певної напруги $U_{AK} > U_{A1}$ починають вибивати з анода вторинні електрони. Це явище називається *вторинною електронною емісією*.

Оскільки на ділянці (4.39) потенціал другої сітки вище, ніж анода $U_{C2} > U_{A2}$, то вторинні електрони потрапляють не назад до анода, а до другої сітки. Через те, що кожний первинний електрон вибиває з анода більше одного вторинного, з підвищенням U_{AK} струм I_A зменшується.

Перехоплення вторинних електронів електродом з підвищеним потенціалом називається *динатронним ефектом*.

Через динатронний ефект підвищення напруги в межах від U_{A1} до U_{A2} зменшує струм анода I_A , тобто при динатронному ефекті внутрішній опір тетрода негативний $\frac{dU_{AK}}{dI_A} < 0$.

За великих напруг анода $U_{AK} > U_{A2}$ динатронний ефект припиняється, тому що $U_{AK} \approx U_{A2}$ і вибиті з анода вторинні електрони повертаються до нього ж.

Коли ж напруга анода U_{AK} стане більше напруги сітки C_2 ($U_{AK} > U_{C2}$), то подальше зростання U_{AK} практично не збільшує анодний струм I_A . Це пояснюється тим, що в тетроді на відміну від тріода, катодний струм I_K є величиною сталою (4.38) і не залежить від U_{AK} . Зміна ж анодної напруги U_{AK} лише розподіляє електрони між другою сіткою C_2 та анодом. При $U_{AK} > U_{C2}$ цей розподіл завершений і тому підвищення U_{AK} не збільшує I_A .

Відсутність залежності I_A від U_{AK} є позитивним фактором, тому що збільшує внутрішній опір R_i і саме цим підвищує коефіцієнт підсилення

$$\mu = SR_i. \quad (4.41)$$

Щодо динатронного ефекту, то він є значним недоліком тетрода через те, що викликає спотворення форми сигналу і може призвести до самозбудження підсилювача. Тому зараз саме тетроди не знайшли широкого розповсюдження, але тетродна частина лампи знайшла використання в інших багатоелектродних лампах, наприклад, у пентоді.

4.3.4.2. П'ятиелектродна лампа

П'ятиелектродна лампа (*пентод*), схема якої наведена на рис. 4.3,6, містить термокатод K , який постачає електрони, керуючу (першу) сітку C_1 , до якої підводиться вхідна напруга, другу (екрануючу) сітку C_2 , яка зменшує прохідну ємність і підвищує коефіцієнт підсилення, а також третю (захисну) або антидинатронну сітку C_3 і анод A , який збирає електрони.

Сама назва "антидинатронна сітка" говорить про те, що пентод вільний від динатронного ефекту.

Пентод діє таким самим чином, що й тетрод, але з лише тією відмінністю, що вторинні електрони, які вибиваються з анода, повертаються до

нього ж, завдяки сітці C_3 . Вона має нульовий потенціал і тому не пропускає вторинні електрони до сітки C_2 . Так усунуто динаatronний ефект.

Основна схема включення пентода наведена на рис. 4.15, з якої видно, що вона відрізняється від схеми на тетроді (рис. 4.13) лише третьою сіткою під нульовим потенціалом для усунення динаatronного ефекту.

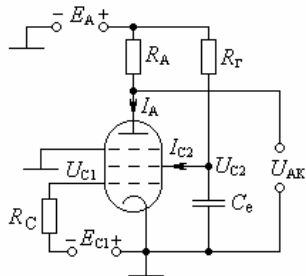


Рис. 4.15. Основна схема включення пентода

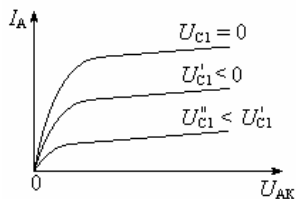


Рис. 4.16. Анодні характеристики пентода

Тому принцип дії пентода та його ВАХ (рис. 4.16) ті самі, що й тетрода за винятком відсутності динаatronного ефекту.

Щодо визначення параметрів пентода, то крутість S і внутрішній опір R_i визначаються також, як і для тріода за формулами (4.22), (4.23). Однак, визначення коефіцієнта підсилення безпосереднім відліком за методикою для тріода μ знайти не можна, бо μ такий великий, що лінія сталості $I_A = \text{const}$ (рис. 4.16) не перетинає суміжні характеристики. Тому для знайдення μ слід визначити S та R_i за методикою рис. 4.7 та рис. 4.8, а потім за формулою (4.41) розрахувати величину μ .

4.3.5. Підсилювач на пентоді

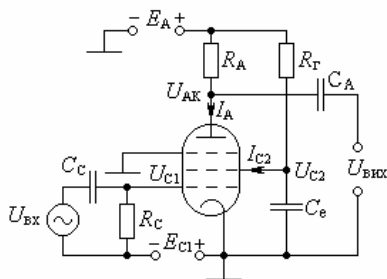


Рис. 4.17. Підсилювач на пентоді

Схема резистивного підсилювача на пентоді наведена на рис. 4.17. Завдяки екрануючій сітці C_2 , яка зменшує прохідну ємність між керуючою сіткою C_1 та анодом А, підсилювач працює на більш високих частотах, ніж тріод. Врешті підсилювач на пентоді діє так само, як і на тріоді.

Через це діаграма роботи підсилювача на пентоді (рис. 4.18) відрізняється від діаграми для підсилювача на тріоді лише формою (рис. 4.11) характеристик, що не впливає на її розгляд. Тому всі міркування, що стосуються співвідношень (4.15) ... (4.35), цілком справедливі.

Щодо побудови лінії навантаження, то для зменшення спотворень вона має розміщуватись так, щоб відрізки AB та BC (рис. 4.18) були б якомога більш близькими.

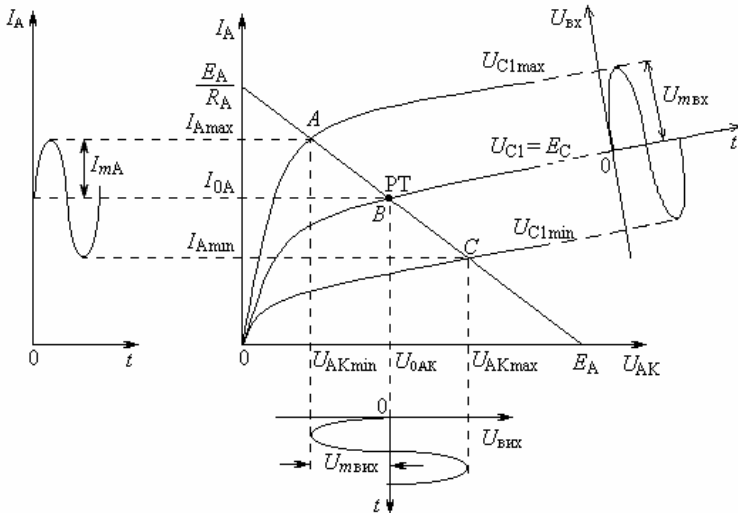


Рис. 4.18. Діаграма роботи підсилювача на пентоді

4.3.6. Аналітичний розрахунок підсилювача

Для аналітичного розрахунку скористаємося теоремою Тевеніна, за якою будь-яку схему можна замінити еквівалентною, яка містить джерело ЕРС з внутрішнім опором.

Тоді еквівалентна схема будь-якої підсилювальної лампи має вигляд рис. 4.19.

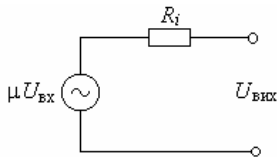


Рис. 4.19. Еквівалентна схема лампи

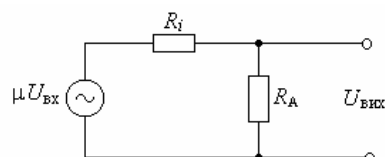


Рис. 4.20. Еквівалентна схема підсилювача

Тут μ – статичний коефіцієнт підсилення;

R_i – внутрішній опір лампи;

$\mu U_{\text{вх}}$ – джерело ЕРС, яке визначає підсилення лампи.

Якщо до еквівалентної схеми підключити опір навантаження R_A , то одержимо еквівалентну схему підсилювача (рис. 4.20).

З рис. 4.20 видно, що ця схема є подільником напруги, з якого випливає, що вихідна напруга становить

$$U_{\text{вих}} = \mu U_{\text{вх}} \frac{R_A}{R_A + R_i}. \quad (4.42)$$

Коли поділимо обидві частини (4.42) на $U_{\text{вх}}$, то знайдемо коефіцієнт підсилення за напругою

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}} = \frac{\mu R_A}{R_A + R_i} = \frac{\mu}{1 + \frac{R_i}{R_A}}. \quad (4.43)$$

З останньої формули видно, що для збільшення K_U слід вибирати лампи з можливо більшим статичним підсиленням μ і застосовувати великий опір навантаження R_A . Однак не слід вибирати $\frac{R_A}{R_i} > 5$, тому що при подальшому збільшенні R_A підсилення зростає незначно.

4.3.7. Недоліки та переваги електронних ламп

Основними недоліками, через які застосування ламп у приймально-підсилювальній апаратурі заборонено є:

- малий термін служби через перегорання підігрівача, випаровування катода, порушення вакууму, деформування електродів;
- низька економічність через потужність розжарення катода та великої напруги між анодом і катодом.

Тут слід особливо підкреслити те, що незважаючи на всі недоліки ламп, вони мають одну неперевершену перевагу: лампи зберігають працездатність в умовах радіації.

4.4. Підсилювачі на біполярних транзисторах

4.4.1. Структура та принцип дії біполярного транзистора

Дослівним перекладом назви “транзистор” є *керований опір*. Тому підсилювачі на транзисторах будуються за структурною схемою, яка наведена на рис. 4.2. Основною властивістю транзистора є можливість підсилення потужності. Термін “біполярний” означає, що в біполярних транзисторах (БТ) використовуються два типи носіїв заряду: і електрони, і дірки.

Транзистор, умовне позначення якого наведено на рис. 4.21, є напівпровідниковим аналогом електровакуумного тріода і тому теж має три електроди: *емітер* Е, *базу* Б та *колектор* К.

За функціональним призначенням емітер, як і катод, постачає рухомі носії заряду.

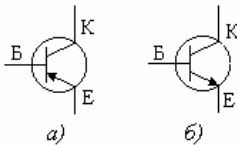


Рис. 4.21. Умовне позначення біполярних транзисторів типів: а – $p-n-p$; б – $n-p-n$

База, наче сітка, є керуючим електродом, а колектор, як і анод, збирає рухомі носії заряду. Транзистори бувають двох типів: прямої провідності ($p-n-p$) (рис. 4.21,а, 4.22,а) та зворотної провідності ($n-p-n$) (рис. 4.21б, 4.22,б).

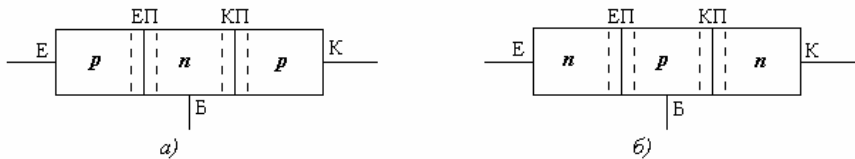


Рис. 4.22. Структура БТ: а – прямої провідності ($p-n-p$); б – зворотної провідності ($n-p-n$)

В обох випадках транзистор є монокристалом, через що його надійність набагато вища за електронну лампу. Транзистори при правильній експлуатації практично не виходять з ладу. Вони морально старіють швидше, ніж фізично.

Транзистори містять два електронно-діркових переходи: емітерний ЕП та колекторний КП. Ширина цих переходів показана пунктиром.

Існують три основні схеми включення транзистора:

- зі спільною базою (СБ);
- зі спільним емітером (СЕ);
- зі спільним колектором (СК).

Тут обмежимося розгляданням лише перших двох схем: зі СБ та СЕ, а схема зі СК буде розглянута після вивчення зворотного зв'язку.

Основна схема включення транзистора зі спільною базою наведена на (рис. 4.23).

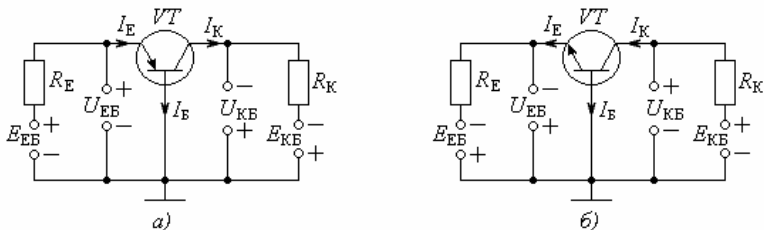


Рис. 4.23. Основна схема включення транзистора зі спільною базою: а – типу $p-n-p$; б – типу $n-p-n$

Тут

VT – біполярний транзистор;

E_{EB} – напруга джерела живлення емітерного кола;

U_{EB} – напруга між емітером та базою;

$E_{КБ}$ – напруга джерела живлення колекторного кола;
 $U_{КБ}$ – напруга між колектором та базою;
 I_E, I_K, I_B – струми відповідно емітера, колектора та бази;
 R_K – опір навантаження в колекторному колі;
 R_E – резистор в колі емітера.

Аналогічні позначення наведені на основній схемі включення транзистора зі спільним емітером (рис. 4.24).

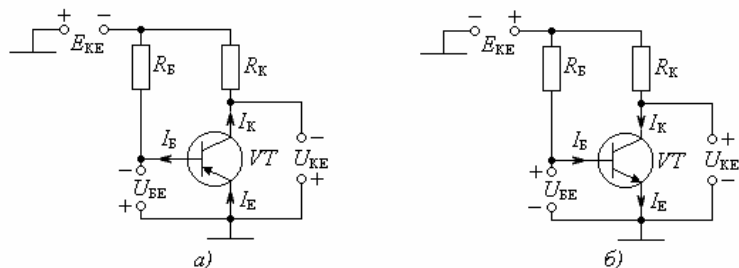


Рис. 4.24. Основна схема включення транзистора зі спільним емітером:
 а – типу $p-n-p$; б – типу $n-p-n$

Тут, на відміну від схеми з СБ, використовується тільки одне джерело живлення $E_{КБ}$, що живить і колекторне, і базове кола. Напруга живлення базового кола $U_{БЕ}$ створюється подільником з резистора R_B та вхідного опору транзистора. Резистори R_E в схемі з СБ та R_B в схемі з СЕ мають бути обов'язково, щоб не спалити транзистор під прямою напругою.

Щодо принципу дії транзистора, то з рис. 4.23 та 4.24 видно, що застосування транзисторів типів $p-n-p$ або $n-p-n$ відрізняється лише полярністю джерел живлення E_B та E_K , а в іншому ці транзистори діють однаково. Тому немає значення, на якому типі, $p-n-p$ або $n-p-n$, вивчати роботу транзистора. Проте зручніше за все вивчати принцип дії транзистора $p-n-p$ у схемі зі спільною базою (див. рис. 4.23,а) в активному режимі (режимом називається сукупність напруг та струмів електродів).

Активним є такий режим, за якого емітерний перехід перебуває під прямою напругою, а колекторний – під зворотною (рис. 4.25).

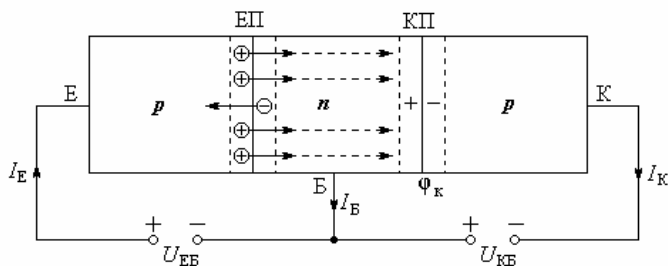


Рис. 4.25. Транзистор зі спільною базою в активному режимі

На цьому рисунку наведений саме транзистор під тими ж напругами й струмами, що діють в основній схемі включення (див. рис. 4.23,а).

У схемі зі спільною базою (див. рис. 4.25) вхідним є коло емітера, а вихідним – коло колектора. Щоб з'ясувати принцип дії транзистора, необхідно показати його можливість підсилення потужності.

Для цього покажемо, що витрати потужності у вихідному колі (колектора) більші, ніж у вхідному колі (емітера). Саме цим буде показана можливість підсилення потужності.

Принцип дії біполярного транзистора наступний.

Під прямою напругою U_{EB} виникає інжекція дірок (+) з емітера в базу і електронів (-) – назустріч. Так виникає прямий струм емітера I_E .

Концентрація домішок в емітері на кілька порядків більша за базу і колектор, тобто дірок більше, ніж електронів. Тому через базу тече в основному дірковий струм.

Дірки потрапляють до колекторного переходу, де зустрічають прискорювальне поле, яке зумовлене контактною різницею потенціалів ϕ_K і зовнішньою напругою U_{KB} . Це поле в колекторному переході КП захоплює дірки і викидає їх в колектор, створюючи саме тим вихідний колекторний струм I_K .

Вихідний струм I_K відносно колекторного переходу КП є зворотним і тому не залежить від напруги U_{KB} на КП. Він визначається тільки кількістю дірок, які потрапили до колекторного переходу, а ця кількість залежить тільки від струму емітера I_E , який однозначно визначається лише напругою емітера U_{EB} . Чим вище напруга U_{EB} на емітерному переході ЕП, тим більше вихідний струм колектора I_K .

Підрахуємо витрати потужності в колах емітера та колектора.

Потужність у колі емітера:

$$P_E = I_E U_{EB}. \quad (4.44)$$

Потужність у колі колектора:

$$P_K = I_K U_{KB}. \quad (4.45)$$

Струми колектора I_K та емітера I_E є близькими

$$I_K \approx I_E. \quad (4.46)$$

Напруга емітера U_{EB} , будучи прямою, обмежена величиною 0,7 В:

$$U_{EB} \leq 0,7 \text{ В}. \quad (4.47)$$

Щодо напруги колектора U_{KB} , то вона є зворотною і тому може бути великою:

$$|U_{KB}| \gg |U_{EB}|. \quad (4.48)$$

Підставляючи співвідношення (4.46) та (4.48) у формули (4.44) та (4.45), маємо

$$P_K \gg P_E, \quad (4.49)$$

тобто, потужність, яка витрачається в колі колектора, більша за потужність у колі емітера. Тоді малою вхідною потужністю P_E можна керувати великими витратами вихідної потужності P_K . Саме це і є підсиленням потужності.

4.4.2. Струми в біполярному транзисторі

Метою розгляду цього підрозділу є одержання рівняння для коефіцієнта передавання струму.

Розглядаючи транзистор як вузол (рис. 4.25), за законом Кірхгофа маємо:

$$I_E = I_K + I_B. \quad (4.50)$$

Визначимо, з чого складаються ці струми.

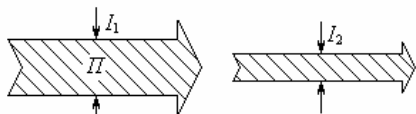


Рис. 4.26. Імітація сили струму ($I_1 > I_2$)

Для наочності силу струму будемо імітувати перетином стрілки Π (рис. 4.26).

Струм емітера I_E є прямим відносно емітерного переходу ЕП (рис. 4.27). Він зумовлений інжекцією дірок з емітера в базу і електронів – назустріч.

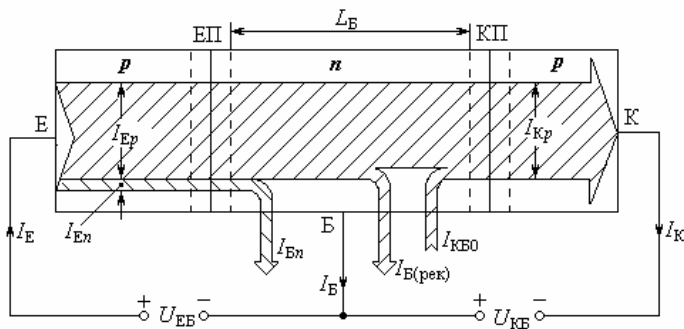


Рис. 4.27. Струми в транзисторі

Оскільки концентрація домішок в емітері набагато більша за базу, то корисний для підсилення (в $p-n-p$ -транзисторі) дірковий струм I_{Ep} набагато більший за електронний I_{En} , тобто ($I_{Ep} \gg I_{En}$).

Співвідношення діркового та електронного струмів оцінюється коефіцієнтом інжекції

$$\gamma = \frac{I_{Ep}}{I_E}. \quad (4.51)$$

Завжди $\gamma < 1$, бо $I_E = I_{Ep} + I_{En}$.

Електронний струм I_{En} для $p-n-p$ -транзистора є безкорисним і чим він менше, тим вище підсилювальні властивості транзистора. (Для транзисторів $n-p-n$ навпаки: корисним є електронний струм, а безкорисним – дірковий).

Струм бази I_B зумовлений трьома складовими: інжекційним електронним струмом I_{Bn} , струмом $I_{B(рек)}$, який зумовлений рекомбінацією в базі електронів та дірок, і власним зворотним струмом $I_{КБ0}$ колекторного переходу. Усі ці струми бази є безкорисними для підсилення. Тому розробники транзисторів завжди намагаються, щоб струм бази I_B був якомога меншим.

Струм колектора створюється дірками, які досягли колекторного переходу.

Втрата дірок на рекомбінацію в базі оцінюється коефіцієнтом переносу

$$\psi = \frac{I_K}{I_{Ep}}. \quad (4.52)$$

Оскільки $I_{Ep} > I_K$, то завжди $\psi < 1$.

Перемножуючи співвідношення (4.51) і (4.52), одержуємо

$$\gamma\psi = \frac{I_K}{I_E} = \alpha. \quad (4.53)$$

Оскільки струм I_E є вхідним, а I_K – вихідним, то вираз (4.53) є коефіцієнтом передавання струму в схемі зі спільною базою

$$\alpha = \frac{I_K}{I_E}. \quad (4.54)$$

Коефіцієнт передавання струму в схемі зі спільною базою α менше одиниці ($\alpha < 1$), але чим ближче до неї, тим вищі підсилювальні властивості транзистора.

4.4.3. Статичні ВАХ транзистора в схемі зі спільною базою

Розрізняють ВАХ вхідні та вихідні.

Вхідними ВАХ транзистора в схемі зі спільною базою (рис. 4.28) є залежність емітерного струму I_E від напруги на емітерному переході U_{EB} при завданій колекторній напрузі $U_{KB} = \text{const}$, тобто

$$I_E = f(U_{EB})|_{U_{KB} = \text{const}}. \quad (4.55)$$

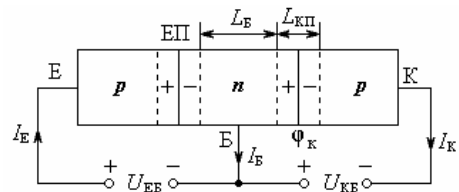


Рис. 4.28. Напруги та струми транзистора зі СБ в активному режимі

З рис. 4.28 видно, що U_{EB} є прямою напругою ЕП і тому вхідні характеристики (4.55) є близькими до прямої гілки ВАХ $p-n$ -переходу, тобто

до експоненти. При $U_{КБ} = 0$ вхідна характеристика проходить через початок координат (рис. 4.29).

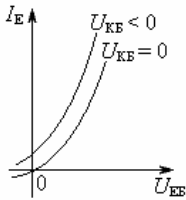


Рис. 4.29. Вхідні ВАХ транзистора в схемі з СБ

Якщо включити зворотну напругу колектора $U_{КБ} < 0$, то струм емітера дещо зростає, хоча на перший погляд, кола емітера та колектора здаються незалежними. Збільшення I_E під зворотною напругою $U_{КБ} < 0$ пояснюється ефектом Ерлі, а саме. Відомо, що під зворотною напругою $U_{КБ} < 0$ ширина колекторного переходу $L_{КП}$ (див. рис. 4.28) зростає.

Тоді ширина бази L_B скорочується.

При цьому зменшується інтенсивність рекомбінації електронів та дірок у базі, через що зростають електронна складова емітерного струму I_{En} (див. рис. 4.27) і струм бази I_B в цілому.

Вихідними характеристиками транзистора у схемі з СБ є залежність вихідного струму, тобто струму колектора I_K , від вихідної напруги $U_{КБ}$:

$$I_K = \alpha I_E - I_{K0} \left(e^{-\frac{U_{КБ}}{\phi_T}} - 1 \right), \quad (4.56)$$

де $\phi_T = 25$ мВ – температурний потенціал;

I_{K0} – власний струм колекторного переходу при будь-якому $U_{КБ}$.

При $U_{КБ} \gg \phi_T$, що завжди виконується, з (4.56) одержуємо

$$I_K = \alpha I_E + I_{КБ0}. \quad (4.57)$$

Вираз (4.57) є рівнянням вихідних вольтамперних характеристик транзистора в схемі зі спільною базою. Відсутність у цьому виразі напруги $U_{КБ}$ свідчить про те, що колекторний струм I_K в активному режимі не залежить від напруги колектора (бо є зворотним), а однозначно визначається струмом емітера I_E , який у свою чергу залежить тільки від напруги $U_{ЕБ}$.

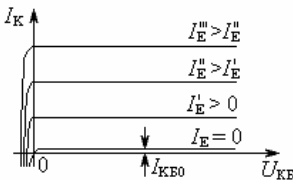


Рис. 4.30. Вихідні ВАХ транзистора в схемі з СБ

Отже, щоб змінити струм колектора I_K , необхідно змінити напругу $U_{ЕБ}$ емітерного переходу. Надаючи значення струму I_E , будемо вихідні ВАХ для схеми з СБ (рис. 4.30).

Особливості вихідних характеристик:

– струм колектора в активному режимі не залежить від колекторної напруги $U_{КБ}$, бо є зворотним і через це схема з СБ, крім підсилювача, може

використовуватись за джерело струму;

– незважаючи на $U_{КБ} = 0$, струм колектора є $I_K > 0$; це пояснюється дією контактної різниці потенціалів ϕ_K (рис. 4.28), яка прискорює дірки в колекторному переході, викидаючи їх в колектор і саме тим створюючи колекторний струм.

4.4.4. Статичні ВАХ транзистора в схемі зі спільним емітером

Включення транзистора зі спільним емітером наведено на рис. 4.31.

Тут транзистор $p-n-p$ перебуває під напругами й струмами, які діють у схемі (див. рис. 4.24,а). Вхідним є коло бази, а вихідним – коло колектора.

Вхідними ВАХ є залежність струму бази I_B від напруги на емітерному переході U_{BE} при заданій колекторній напрузі U_{KE} , тобто

$$I_B = f(U_{BE}) \Big|_{U_{KE} = \text{const}}. \quad (4.58)$$

З рис. 4.31 видно, що U_{BE} є прямою напругою емітерного переходу ЕП.

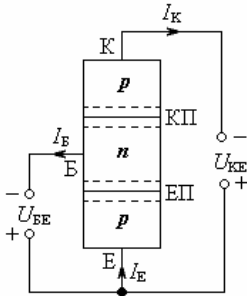


Рис. 4.31. Напруги та струми транзистора з СЕ

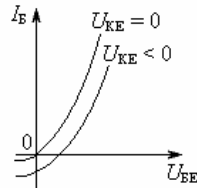


Рис. 4.32. Вхідні ВАХ транзистора в схемі з СЕ

Тому вхідна характеристика є близькою до прямої гілки ВАХ $p-n$ переходу, тобто до експоненти, яка при $U_{KE} = 0$ проходить через початок координат (рис. 4.32).

Якщо включити зворотну напругу колектора $U_{KE} < 0$, то струм бази дещо зменшується. Це пояснюється ефектом Ерлі, а саме. Під зворотною напругою $U_{KE} < 0$ розширюється колекторний перехід $L_{КП}$ (див. рис. 4.28), внаслідок чого скорочується база L_B . Через це зменшується інтенсивність рекомбінацій електронів та дірок і тому зменшуються складова струму бази $I_{B(\text{рек})}$ (див. рис. 4.27) і струм бази в цілому.

Вихідними ВАХ транзистора в схемі зі спільним емітером є залежність вихідного струму I_C від вихідної напруги U_{KB} , яку можна одержати підстановкою (4.50) у (4.57) і розв'язанням знайденого співвідношення відносно I_C :

$$I_C = \beta I_B + (\beta + 1) I_{KB0}. \quad (4.59)$$

Тут

$$\beta = \frac{\alpha}{1 - \alpha} - \quad (4.60)$$

– коефіцієнт передавання струму в схемі зі спільним емітером.

Оскільки α близько до одиниці і $\alpha < 1$, то $\beta \gg 1$. Наприклад, $\alpha = 0,99$. Тоді $\beta = 99$. Це є основною перевагою схеми з СЕ, тобто вона підсилює струм: $I_K \gg I_B$.

З (4.60) одержуємо

$$\alpha = \frac{\beta}{1 + \beta}, \quad (4.61)$$

тобто завжди $\alpha < 1$, але чим ближче до 1, тим вищі підсилювальні властивості транзистора. Надаючи значення струму I_B , будемо за формулою (4.59) сім'ю вихідних характеристик (рис. 4.33).

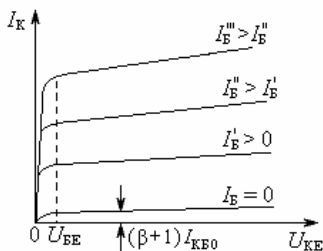


Рис. 4.33. Вихідні ВАХ транзистора в схемі з СЕ

Особливості характеристик:

- треба мати на увазі, що активний режим спостерігається тільки „праворуч” від пунктирної лінії, тобто при $|U_{KE}| > |U_{BE}|$;

- власний струм $(\beta + 1)I_{KB0}$ колекторного переходу в $(\beta + 1)$ більший, ніж у схемі з СБ.

- на відміну від схеми з СБ, у схемі з СЕ спостерігається деяка залежність колекторного струму I_K від U_{KE} . Це пояснюється тим, що колекторний КП та емітерний ЕП переходи з'єднані послідовно і тому U_{KE} прикладається

не тільки до КП, а й частково до емітерного переходу ЕП, причому, в прямому напрямі. Тому при підвищенні напруги колектора U_{KE} дещо збільшується пряма напруга на ЕП, внаслідок чого й зростає I_K ;

4.4.5. Параметри біполярних транзисторів

Величини, які зв'язують малі прирости напруг та струмів, називаються диференціальними параметрами транзистора.

Щоб увести диференціальні параметри до розгляду, транзистор зображують у вигляді пристрою, на вході якого діють вхідні напруга U_1 та струм I_1 , а на виході – вихідні напруга U_2 та струм I_2 (рис. 4.34).

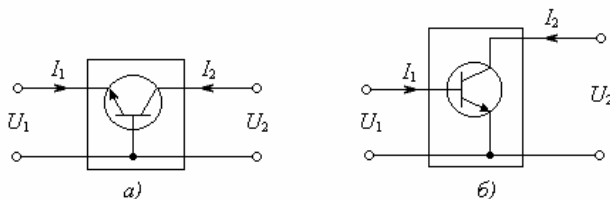


Рис. 4.34. Транзистор у виді чотириполосника:
а – з СБ; б – з СЕ

Таку модель називають чотириполосником.

Чотириполосник описується системою так званих характеристичних рівнянь у певних диференціальних параметрах. З численних диференціаль-

них параметрів найбільшого поширення набули три їхні системи: h -параметри, Y -параметри та Z -параметри.

Для транзистора найбільш раціональною є система h -параметрів.

Характеристичні рівняння чотириполосника в h -параметрах мають вигляд:

$$dU_1 = h_{11} dI_1 + h_{12} dU_2; \quad (4.62)$$

$$dI_2 = h_{21} dI_1 + h_{22} dU_2. \quad (4.63)$$

Визначимо фізичний смисл h -параметрів, кожний з яких можна знайти за формулами (4.62) та (4.63), лише обертаючи одну із складових у нуль, тому що кожне рівняння містить два невідомих.

Отже, за умови $dU_2 = 0$, тобто при $U_2 = \text{const}$ одержуємо

– вхідний опір:

$$h_{11} = \left. \frac{dU_1}{dI_1} \right|_{U_2 = \text{const}}, \quad (4.64)$$

– коефіцієнт передавання струму:

$$h_{21} = \left. \frac{dI_2}{dI_1} \right|_{U_2 = \text{const}}. \quad (4.65)$$

За умови $dI_1 = 0$, тобто при $I_1 = \text{const}$ одержуємо

– коефіцієнт зворотного зв'язку:

$$h_{12} = \left. \frac{dU_1}{dU_2} \right|_{I_1 = \text{const}}, \quad (4.66)$$

– вихідна провідність:

$$h_{22} = \left. \frac{dI_2}{dU_2} \right|_{I_1 = \text{const}}. \quad (4.67)$$

Як видно з рис. 4. 34 та формул (4.64) – (4.67), h -параметри суттєво залежать від схеми включення транзистора. У таблицях 4.1 та 4.2 наведено розрахунок h -параметрів відповідно для схем з СБ та СЕ.

Т а б л и ц я 4.1

h -параметри транзистора з СБ

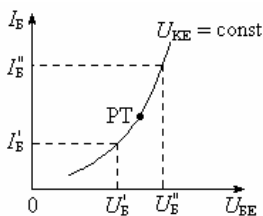
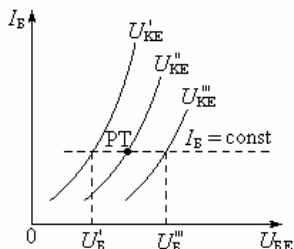
Параметр	Умова сталості	Формула	Фізичне значення (назва) параметра
$h_{11Б}$	$U_{КБ} = \text{const}$	$h_{11Б} = \frac{\Delta U_{ЕБ}}{\Delta I_E}$	Вхідний опір
$h_{12Б}$	$I_E = \text{const}$	$h_{12Б} = \frac{\Delta U_{ЕБ}}{\Delta U_{КБ}}$	Коефіцієнт зворотного зв'язку
$h_{21Б}$	$U_{КБ} = \text{const}$	$h_{21Б} = \frac{\Delta I_K}{\Delta I_E}$	Коефіцієнт передавання струму емітера
$h_{22Б}$	$I_E = \text{const}$	$h_{22Б} = \frac{\Delta I_K}{\Delta U_{КБ}}$	Вихідна провідність

***h*-параметри транзистора з СЕ**

Параметр	Умова сталості	Формула	Фізичне значення (назва параметра)
h_{11E}	$U_{KE} = \text{const}$	$h_{11E} = \frac{\Delta U_{BE}}{\Delta I_B}$	Вхідний опір
h_{12E}	$I_B = \text{const}$	$h_{12E} = \frac{\Delta U_{BE}}{\Delta U_{KE}}$	Коефіцієнт зворотного зв'язку
h_{21E}	$U_{KE} = \text{const}$	$h_{21E} = \frac{\Delta I_K}{\Delta I_B}$	Коефіцієнт передавання струму бази
h_{22E}	$I_B = \text{const}$	$h_{22E} = \frac{\Delta I_K}{\Delta U_{KB}}$	Вихідна провідність

У цих таблицях диференціальні параметри d за формулами (4.64) ... (4.67) замінені скінченими приростами Δ . За вхідними характеристиками визначають параметри h_{11} та h_{12} , а за вихідними h_{21} та h_{22} . Оскільки ВАХ транзистора є нелінійними, то h -параметри можна визначити не для транзистора взагалі, а тільки для конкретної точки його ВАХ. В інших точках ВАХ параметри будуть іншими.

Вхідний опір знаходимо, виконуючи перш за все умову сталості $U_{KE} = \text{const}$ (рис. 4.35) і відкладаючи U'_B та U''_B повільно, але симетрично від робочої точки РТ.

Рис. 4.35. Визначення h_{11E} Рис. 4.36. Визначення h_{12E}

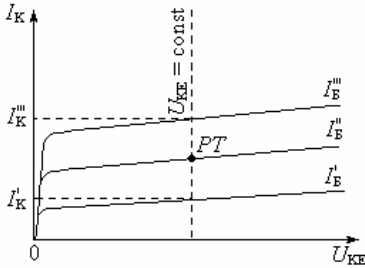
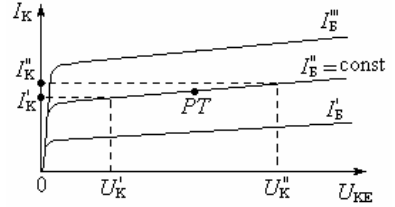
Тоді

$$h_{11E} = \left. \frac{\Delta U_{BE}}{\Delta I_B} \right|_{U_{KE} = \text{const}} = \frac{U_B'' - U_B'}{I_B'' - I_B'} \quad (4.68)$$

Коефіцієнт зворотного зв'язку визначаємо за вхідними характеристиками для кількох напруг колектора U_{KE} за умови сталості $I_B = \text{const}$ (рис. 4.36). Тоді точки перетину цієї лінії з характеристиками U'_{KE} та U''_{KE} визначають зміну ΔU_{BE} .

$$h_{12E} = \left. \frac{\Delta U_{BE}}{\Delta U_{KE}} \right|_{I_B = \text{const}} = \frac{U_B''' - U_B'}{U_{KE}''' - U_{KE}'} \quad (4.69)$$

Коефіцієнт передавання струму бази h_{21E} визначимо після графічного виконання умови сталості $U_{KE} = \text{const}$ (рис. 4.37).

Рис. 4.37. Визначення h_{21E} Рис. 4.38. Визначення h_{22E}

Змінюючи струм бази від I_B' до I_B''' , знаходимо

$$h_{21E} = \left. \frac{\Delta I_K}{\Delta I_B} \right|_{U_{KE} = \text{const}} = \frac{I_K''' - I_K'}{I_B''' - I_B'}. \quad (4.70)$$

Вихідна провідність визначається також за вихідними характеристиками після графічного виконання умови сталості $I_B = \text{const}$ (рис. 4.38). Змінюючи напругу колектора від U_K' до U_K'' симетрично відносно PT , визначаємо

$$h_{22E} = \left. \frac{\Delta I_K}{\Delta U_{KE}} \right|_{I_B = \text{const}} = \frac{I_K'' - I_K'}{U_K'' - U_K'}. \quad (4.71)$$

4.4.6. Порівняння h -параметрів для схем з СБ та СЕ

За формулою $I_E = I_K + I_B$ визначимо приріст струму бази

$$\Delta I_B = \Delta I_E - \Delta I_K. \quad (4.72)$$

Підставляючи (4.72) у (4.68), одержуємо

$$h_{11E} = \frac{\Delta U_{BE}}{\Delta I_E - \Delta I_K}. \quad (4.73)$$

Після ділення чисельника і знаменника (4.73) на ΔI_E одержуємо співвідношення для вхідного опору в схемі з СЕ:

$$h_{11E} = \frac{h_{11B}}{1 - h_{21B}} = \frac{h_{11B}}{1 - \alpha}. \quad (4.74)$$

Оскільки коефіцієнт передавання струму в схемі зі спільною базою $h_{21B} = \alpha < 1$, причому $\alpha \approx 1$, то вхідний опір транзистора зі спільним

емітером набагато більший за схему зі спільною базою:

$$h_{11E} \gg h_{11B}. \quad (4.75)$$

Зі співвідношення (4.75) видно перевагу схеми з СЕ, а саме: вона, маючи високий вхідний опір, менше навантажує джерело сигналу, ніж схема з СБ, і тому забезпечує більше підсилення потужності.

Таким самим чином, підставляючи (4.72) у (4.70), після ділення чисельника й знаменника на ΔI_E маємо:

$$h_{21E} = \frac{h_{21B}}{1 - h_{21B}} = \frac{\alpha}{1 - \alpha} = \beta, \quad (4.76)$$

звідки

$$\alpha = \frac{\beta}{1 + \beta}. \quad (4.77)$$

Із співвідношень (4.76) та (4.77) видно, що

$$h_{21E} \gg h_{21B}, \quad (4.78)$$

тобто схема з СЕ, на відміну від СБ, підсилює струм. Тому схема з СЕ забезпечує найбільше підсилення потужності.

Через ці переваги схема з СЕ набула найбільшого поширення.

4.4.7. Еквівалентні схеми біполярних транзисторів

Еквівалентні схеми призначені для визначення зв'язку між фізичними параметрами й електричними характеристиками транзистора. Еквівалентні схеми є різновидом моделей транзистора і складаються з простих елементів (діодів, джерел струму, резисторів, конденсаторів тощо).

На рис. 4.39 наведено еквівалентні схеми транзистора для низьких частот. Про схеми на високих частотах йдеться нижче.

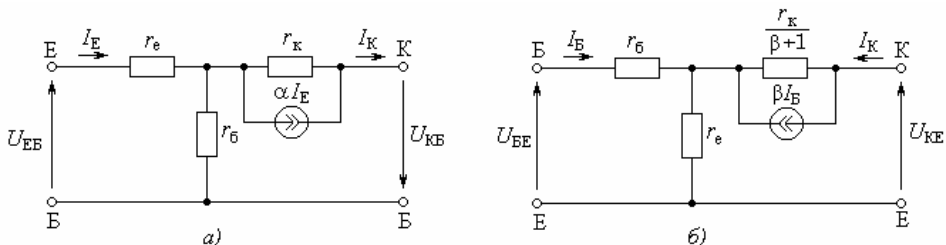


Рис. 4.39. Еквівалентні схеми транзистора для низьких частот:
а — схема зі спільною базою; б — схема зі спільним емітером

Тут r_e — опір емітера; r_b — опір бази; r_k — опір колектора.

Підсилювальні властивості транзистора віддзеркалює джерело струму αI_E у схемі зі спільною базою (рис. 4.39,а) та βI_B у схемі зі спільним емітером (рис. 4.39,б). Параметри r_e , r_b та r_k у довідниках не наводяться. Тому їх розраховують за вже відомими h -параметрами транзистора:

$$r_e = h_{11B} - \frac{h_{12B}}{h_{22B}}(1 + h_{21B}); \quad (4.79)$$

$$r_b = \frac{h_{12B}}{h_{22B}}; \quad (4.80)$$

$$r_k = \frac{1 - h_{12B}}{h_{22B}}. \quad (4.81)$$

Названі параметри для малопотужних транзисторів мають наступні значення: $r_e = 20 \dots 40$ Ом; $r_b = 200 \dots 300$ Ом; $r_k = 100 \dots 1000$ кОм.

Схеми, що наведені на рис. 4.39, непридатні для діапазону високих частот через те, що на високих частотах є вплив ємностей емітерного та колекторного переходів на параметри транзистора, а також виявляється час проходження носіїв заряду через базу. Ці фактори ураховані в схемі, яка наведена на рис. 4.40.

Ємність емітерного переходу становить C_{BE} , а колекторний перехід має ємність C_{KB} .

Щодо часу проходження носіїв заряду через базу, то він ураховується тим, що в джерелі струму βI_B коефіцієнт передавання струму β набуває комплексного характеру, тобто є частотозалежним:

$$\beta(\omega) = \frac{\beta_0}{1 + j \frac{\omega}{\omega_\beta}} \exp\left(-j \frac{\omega}{\omega_\beta}\right), \quad (4.82)$$

де ω – поточна частота, на якій зараз працює транзистор;

ω_β – гранична частота, тобто та частота, на якій модуль коефіцієнта передавання $\beta(\omega)$ зменшується вдвічі;

β_0 – коефіцієнт передавання струму на низькій частоті $\omega \ll \omega_\beta$.

4.4.8. Режим роботи біполярного транзистора

Транзистор може працювати у наступних режимах (рис. 4.41):

- активному режимі;
- режимі насичення;
- режимі відсікання.

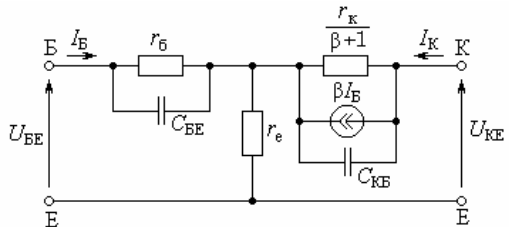


Рис. 4.40. Еквівалентна схема транзистора зі спільним емітером для високих частот

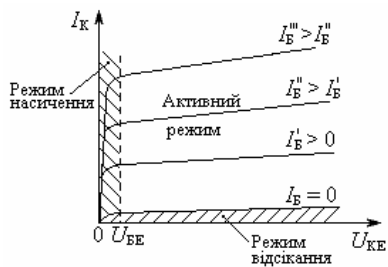


Рис. 4.41. Режими роботи транзистора

ристовується в підсилювачах.

У режимі насичення і емітерний, і колекторний переходи знаходяться під прямими напругами (рис. 4.42). Критеріями режиму насичення є $U_{BE} > 0$ та $U_{KE} > 0$. Ці умови, як видно з рис. 4.41 та 4.42, відносно схеми з СЕ, виконуються при $|U_{KE}| < |U_{BE}|$. Особливістю режиму насичення є те, що транзистор повністю відкритий. Його колекторний струм I_K максимальний і не залежить від струму бази I_B .

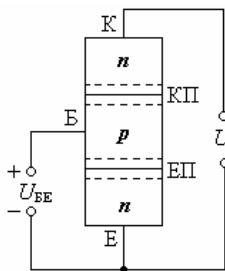


Рис. 4.42. Транзистор у режимі насичення

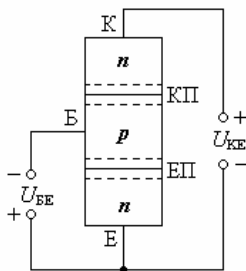


Рис. 4.43. Транзистор у режимі відсікання

У режимі відсікання і емітерний, і колекторний переходи перебувають під зворотними напругами (рис. 4.43). Критеріями режиму відсікання є $U_{BE} < 0$, $U_{KE} < 0$. У схемі з СЕ, в режимі відсікання $I_B = 0$. Особливістю режиму відсікання є те, що транзистор повністю закритий, тобто колекторний струм відсутній $I_K = 0$.

Обидва режими (насичення та відсікання) об'єднуються поняттям „ключовий режим”. У ключовому режимі транзистор уподібнений електромеханічним контактам: або транзистор відкритий (насичення) і пропускає колекторний струм I_K , тобто замикає коло “колектор-емітер”, або транзистор закритий (відсікання) і колекторний струм відсутній $I_K = 0$, тобто коло “колектор-емітер” розімкнене. Тому ключовий режим використовується в так званих цифрових схемах, які розглядатимуться пізніше і в яких транзистор може бути тільки в одному з двох станів: або відкритому, або закритому, тобто або в режимі насичення, або в режимі відсікання.

4.4.9. Підсилювач зі спільним емітером

Принципові схеми підсилювачів зі спільним емітером на транзисторах $n-p-n$ та $p-n-p$ наведені на рис. 4.44. Як видно з рисунку, вони відрізняються лише полярністю напруги живлення E_{KE} . Підсилювач на транзисторі $n-p-n$ живиться позитивною напругою $+E_{KE}$, а на транзисторі $p-n-p$ – негативною напругою $-E_{KE}$.

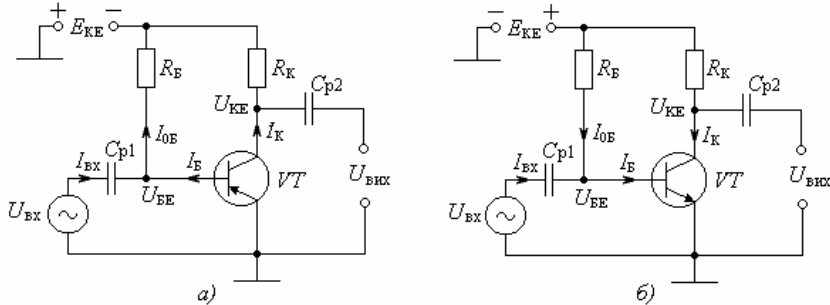


Рис. 4.44. Принципова схема підсилювача зі спільним емітером:
а – на транзисторі $n-p-n$; б – на транзисторі $p-n-p$

Тут $U_{вх}$ – вхідна напруга, яка підсилюється;

$U_{вих}$ – вихідна підсилена напруга;

VT – транзистор;

E_{KE} – напруга живлення;

U_{BE} – напруга між базою та емітером;

U_{KE} – напруга між колектором та емітером;

I_B – струм бази;

I_K – струм колектора;

$I_{вх}$ – вхідний струм;

R_B – резистор в колі бази, опір якого визначає робочу точку;

R_K – опір навантаження;

C_{p1} та C_{p2} – розділювальні конденсатори.

Підсилювач зі спільним емітером (СЕ), принципова схема якого наведена на рис. 4.44, є подільником напруги E_{KE} , у верхньому плечі якого включений опір навантаження R_K , а в нижньому – транзистор VT .

Тому напруга між колектором та емітером становить

$$U_{KE} = E_{KE} \frac{R_{VT}}{R_K + R_{VT}}, \quad (4.83)$$

де R_{VT} – опір між колектором та емітером на постійному струмі.

З формули (4.83) випливає наступне:

– напруга U_{KE} між колектором та емітером є часткою напруги живлення E_{KE} ;

– напруга U_{KE} між колектором та емітером тим більше чим вище напруга живлення E_{KE} ;

– напруга U_{KE} ніколи не може перевищувати напругу живлення E_{KE} :

$$U_{KE} < E_{KE}. \quad (4.84)$$

Розглядаючи роботу підсилювача, не слід уявляти собі, що вхідна напруга $U_{вх}$ якось надходить до виходу у збільшеному вигляді. Це не так. Вхідна напруга $U_{вх}$, яку треба підсилити, повністю витрачається на те, щоб змінювати опір R_{VT} транзистора за своїм законом і саме тим керувати коефіцієнтом передавання частини напруги E_{KE} до виходу:

$$K_E = \frac{R_{VT}}{R_K + R_{VT}}. \quad (4.85)$$

Таким чином, в основу принципу дії підсилювача покладене те, що частина напруги живлення E_{KE} надходить до виходу через подільник напруги з R_K і опору R_{VT} між колектором та емітером транзистора, а вхідний сигнал $U_{вх}$, який треба підсилити, керує коефіцієнтом передавання K_E цього подільника.

Для докладного розгляду роботи підсилювача знайдемо рівняння лінії навантаження.

Напруга живлення E_{KE} за законом Кірхгофа поділяється на падіння напруги $I_K R_K$ на опорі навантаження R_K та напругу колектора U_{KE} :

$$E_{KE} = I_K R_K + U_{KE}. \quad (4.86)$$

Звідси одержуємо рівняння лінії навантаження

$$I_K = \frac{E_{KE}}{R_K} - \frac{U_{KE}}{R_K}. \quad (4.87)$$

Рівняння (4.87) відносно U_{KE} першого степеня. Тому лінія навантаження є прямою (навантажувальна пряма) і її можна побудувати по двох точках на осях координат (рис. 4.45).

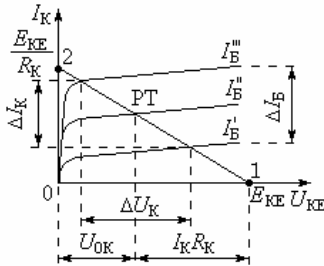


Рис. 4.45. Лінія навантаження і режим роботи транзистора

Точка 1: $I_K = 0$; з (4.87) маємо $U_{KE} = E_{KE}$.

Точка 2: $U_{KE} = 0$; з (4.87) одержуємо $I_K = \frac{E_{KE}}{R_K}$.

Відрізок прямої 1 – 2 є лінією навантаження.

Перетин лінії навантаження із заданою характеристикою визначає робочу точку. Якщо, наприклад, заданою характеристикою є $I_B = I_B''$, то робочою буде точка РТ. Робоча точка однозначно визначає режим роботи транзистора, тобто сукупність напруг і струмів. Вона ніби розподіляє напругу живлення E_{KE} на напругу між колектором і емітером U_{OK} та падіння напруги $I_K R_K$ на опорі навантаження R_K , тобто $E_{KE} = U_{OK} + I_K R_K$.

Лінія навантаження повністю віддзеркалює режим роботи транзистора. Так, за допомогою лінії навантаження можна визначити вплив зміни будь-якого параметра режиму. Якщо, наприклад, змінити струм бази на ΔI_B , то струм колектора зміниться на $\Delta I_K = \beta \Delta I_B$, а напруга між колектором та емітером – відповідно на ΔU_K .

Підсилювач зі спільним емітером працює наступним чином.

Принцип дії підсилювача пояснює потенційна діаграма його роботи (рис. 4.46).

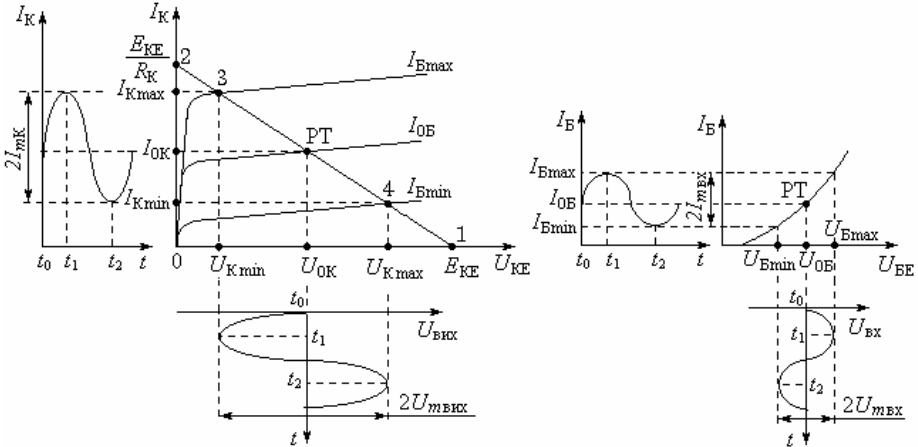


Рис. 4.46. Потенційна діаграма роботи підсилювача зі спільним емітером

Тут $U_{m\text{ вх}}$ – амплітуда вхідної напруги, яка підсилюється;

$U_{m\text{ вих}}$ – амплітуда вихідної підсиленої напруги;

$I_{m\text{ вх}}$ – амплітуда вхідного струму;

$I_{mк}$ – амплітуда струму колектора.

Як видно з рис. 4.44 та 4.46, у загальному випадку схема підсилювача знаходиться під наступними напругами та струмами:

– напруга бази

$$U_{BE} = U_{OB} \pm U_{m\text{ вх}}; \quad (4.88)$$

– напруга колектора

$$U_{KE} = U_{OK} \pm U_{m\text{ вих}}; \quad (4.89)$$

– струм бази

$$I_B = I_{OB} \pm I_{m\text{ вх}}; \quad (4.90)$$

– струм колектора

$$I_K = I_{OK} \pm I_{mк}. \quad (4.91)$$

Струмопроходження у схемі, яка наведена на рис. 4.44,а наступне.

Струм бази I_B тече по колу: „ $+E_{KE}$, резистор R_B , база, емітер, нульовий провід, $-E_{KE}$ ”. Оскільки протікає струм бази I_B , то з’являється і струм колектора $I_K = \beta I_B$, який протікає по колу: „ $+E_{KE}$, опір навантаження R_K , колектор, емітер, нульовий провід, $-E_{KE}$ ”.

У початковому стані до моменту t_0 , тобто за відсутності вхідної напруги, $U_{\text{вх}} = 0$ підсилювач перебуває у *стані спокою*. У цьому стані параметри режиму визначаються робочою точкою і дорівнюють лише першим складовим залежностей (4.88) ... (4.91). У робочій точці:

- постійна напруга бази: $U_{\text{БЕ}} = U_{0\text{Б}}$;
- постійна напруга між колектором та емітером: $U_{\text{КЕ}} = U_{0\text{К}}$;
- постійний струм бази: $I_{\text{Б}} = I_{0\text{Б}}$;
- постійний струм колектора: $I_{\text{К}} = I_{0\text{К}}$.

З подачею сигналу з'являється вхідна напруга $U_{\text{вх}}$. Вона викликає появу змінних вхідного струму $I_{\text{вх}}$, струму колектора $I_{\text{К}}$ та вихідної напруги $U_{\text{вих}}$, миттєві значення яких розташовуються навколо робочої точки (див. рис. 4.44 та рис. 4.46).

З (4.86) знаходимо напругу колектора

$$U_{\text{КЕ}} = E_{\text{КЕ}} - I_{\text{К}}R_{\text{К}}. \quad (4.92)$$

У момент t_1 на вході підсилювача діє амплітуда $U_{\text{мвх}}$ позитивної напівхвилі, через що напруга бази підвищується до максимальної: $U_{\text{Бmax}} = U_{0\text{Б}} + U_{\text{мвх}}$. Тому струм бази буде також максимальним: $I_{\text{Бmax}} = I_{0\text{Б}} + I_{\text{мБ}}$. Через це максимальний і струм колектора $I_{\text{Кmax}} = I_{0\text{К}} + I_{\text{мК}}$, бо $I_{\text{К}} = \beta I_{\text{Б}}$. Підставляючи $I_{\text{К}} = I_{\text{Кmax}}$ в (4.92) визначимо напругу колектора у момент t_1 :

$$U_{\text{Кmin}} = E_{\text{КЕ}} - I_{\text{Кmax}}R_{\text{К}}. \quad (4.93)$$

У момент t_2 на вході підсилювача діє амплітуда $U_{\text{мвх}}$ негативної напівхвилі, через що напруга бази знижується до мінімальної: $U_{\text{Бmin}} = U_{0\text{Б}} - U_{\text{мвх}}$. Тому струм бази також мінімальний: $I_{\text{Бmin}} = I_{0\text{Б}} - I_{\text{мБ}}$. Через це мінімальний і струм колектора $I_{\text{Кmin}} = I_{0\text{К}} - I_{\text{мК}}$, бо $I_{\text{К}} = \beta I_{\text{Б}}$.

Напругу колектора у момент t_2 визначимо підстановкою $I_{\text{К}} = I_{\text{Кmin}}$ в (4.92):

$$U_{\text{КEmax}} = E_{\text{КЕ}} - I_{\text{Кmin}}R_{\text{К}}. \quad (4.94)$$

З (4.93) видно, що максимальний струм колектора $I_{\text{Кmax}}$ зумовлює мінімальну напругу колектора $U_{\text{КEmin}}$. Це пояснюється тим, що максимальний струм колектора $I_{\text{Кmax}}$ створює максимальне падіння напруги $I_{\text{Кmax}}R_{\text{К}}$ на опорі навантаження $R_{\text{К}}$. Аналогічно, мінімальний струм $I_{\text{Кmin}}$ зумовлює $U_{\text{КEmax}}$.

Отже, якщо на вході підсилювача позитивна напівхвиля напруги, то на виході – негативна, і навпаки, негативна напівхвиля вхідної напруги зумовлює позитивну напівхвилю напруги вихідної.

Таким чином, підсилювач зі спільним емітером обертає фазу вхідної напруги на 180° .

Напруги колектора $U_{\text{Кmin}}$ та $U_{\text{Кmax}}$ визначають відповідно амплітуди негативної та позитивної напівхвиль вихідної напруги. Так на виході підсилювача створюється вихідна напруга $U_{\text{вих}}$, яка є копією вхідної напруги $U_{\text{вх}}$.

Щодо амплітуди вихідної напруги, то як видно з рис. 4.46, вона тим більше, чим більша відстань між $U_{K\max}$ та $U_{K\min}$. Ця відстань, тобто амплітуда $U_{m\text{вих}}$, як видно з (4.93) та (4.94), підвищується збільшенням напруги живлення E_{KE} та опору навантаження R_K .

Щодо вибору робочої точки РТ, то її місцеположення за інших різних умов однозначно визначається опором резистора R_B в колі бази:

$$R_B = \frac{E_{KE} - U_{0B}}{I_{0B}}. \quad (4.95)$$

4.4.9.1. Показники підсилювача з СЕ

Коефіцієнт підсилення за напругою

$$K_U = \frac{U_{m\text{вих}}}{U_{m\text{вх}}}. \quad (4.96)$$

Коефіцієнт підсилення за струмом

$$K_I = \frac{I_{mK}}{I_{mB}}. \quad (4.97)$$

Коефіцієнт підсилення за потужністю

$$K_P = K_U K_I. \quad (4.98)$$

Корисна вихідна потужність

$$P_{\text{вих}} = \frac{1}{2} \frac{U_{m\text{вих}}^2}{R_K}. \quad (4.99)$$

Потужність, яка розсіюється колектором

$$P_{0K} = U_{0K} I_{0K}. \quad (4.100)$$

Потужність, яка споживається підсилювачем

$$P_{\text{сп}} = E_{KE} I_{0K} \quad (4.101)$$

Коефіцієнт корисної дії (ККД)

$$\eta = \frac{P_{\text{вих}}}{P_{\text{сп}}}. \quad (4.102)$$

Знайдемо максимальний ККД.

З формул (4.99), (4.101) та (4.102) маємо

$$\eta = \frac{1}{2} \frac{U_{m\text{вих}} I_{mK}}{E_{KE} I_{0K}}. \quad (4.103)$$

З рис. 4.46 впливає, що

$$U_{mвх} \leq \frac{1}{2} E_{КЕ}; \quad (4.104)$$

$$I_{mК} \leq I_{0К}. \quad (4.105)$$

Приймаючи в останніх формулах рівність, одержуємо

$$\eta_{\max} = \frac{1}{4}. \quad (4.106)$$

Таким чином, максимальний ККД для розглянутого режиму підсилювача не може бути більше за 25%.

Важливо з'ясувати, де виділяється решта 75% потужності, яка споживається від джерела живлення $E_{КЕ}$ колекторного кола. Ці 75% потужності виділяються на колекторному переході транзистора або, як кажуть, на колекторі. Тому припустима потужність транзистора $P_{К\max}$ завжди має бути утричі більше за корисну вихідну потужність:

$$P_{К\max} \geq 3P_{\text{вих.}} \quad (4.107)$$

4.4.9.2. Особливості роботи підсилювача з СЕ

Перша особливість полягає в тому, що через джерело сигналу $U_{вх}$ (рис. 4.47) тече вхідний струм бази $I_{вх}$, тобто найменший струм з усіх струмів транзистора. Тому вхідне коло підсилювача з СЕ найменше навантажує джерело сигналу $U_{вх}$ за схему з СБ, через що коефіцієнт підсилення великий.

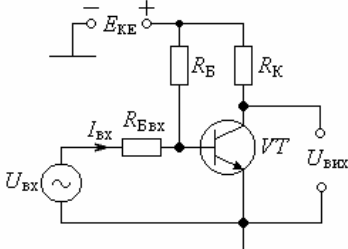


Рис. 4.47. Збудження підсилювача з СЕ струмом $I_{вх}$

Однак слід мати на увазі те, що вхідний струм при $U_{mвх} > 0,7$ В може необмежено зрости і вивести з ладу транзистор або джерело $U_{вх}$, якщо внутрішній опір джерела сигналу $R_c = 0$. Щоб запобігти цього, вхідний сигнал при великій вхідній напрузі ($U_{mвх} > 0,7$ В) і потужному джерелі $U_{вх}$ має бути струмом, а не напругою.

Для збудження підсилювача струмом достатньо на вході включити резистор $R_{Бвх}$ (рис. 4.47). Тоді вхідний струм не перевищить

$$I_{вх} = \frac{U_{mвх}}{R_{Бвх}}. \quad (4.108)$$

Другою особливістю є те, що підсилювач зі спільним емітером підсилює вхідний струм, тобто струм бази: $I_{К} = \beta I_{Б}$. Тому підсилювач з СЕ забезпечує найбільше підсилення потужності з усіх інших схем включення транзистора.

Третю особливість видно з діаграми роботи (рис. 4.46), а саме: фаза вихідної напруги $U_{вих}$ відрізняється від фази $U_{вх}$ на π , тобто підсилювач повертає фазу сигналу на 180° .

4.4.10. Підсилювач зі спільною базою

Підсилювач зі спільною базою (СБ) (рис. 4.48), як і підсилювач з СЕ, є подільником колекторної напруги $E_{КБ}$, у верхньому плечі якого включений опір навантаження $R_{К}$, а у нижньому – транзистор VT .

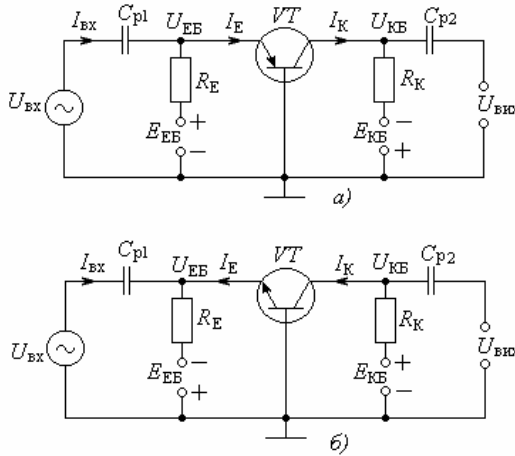


Рис. 4.48. Принципова схема підсилювача зі спільною базою
а – на транзисторі $p-n-p$; б – на транзисторі $n-p-n$

Тому напруга між колектором та базою визначається як

$$U_{КБ} = E_{КБ} \frac{R_{VT}}{R_{К} + R_{VT}}, \quad (4.109)$$

де R_{VT} – опір між колектором та базою транзистора на постійному струмі.

Врешті підсилювач з СБ працює так само, як і підсилювач з СЕ, з тією різницею, що замість струму бази вхідним є струм емітера. Тому діаграми роботи підсилювача з СБ відрізняються лише тим, що будуються на характеристиках для схеми включення транзистора з СБ.

Особливістю підсилювача з СБ є те, що вхідним струмом є струм емітера, тобто самий великий струм $I_E > I_K$. Він сильно навантажує джерело вхідної напруги. На відміну від підсилювача з СЕ, підсилювання струму немає, через що коефіцієнт підсилення потужності в β разів менше за підсилювач з СЕ. Це не є абсолютним недоліком підсилювача з СБ. Схема включення транзистора з СБ має найбільшу стійкість, через що в деяких випадках є незамінною. Наприклад, автогенератор з СБ має вищу частотну стабільність, ніж автогенератор з СЕ.

4.4.11. Частотні властивості підсилювачів на БТ

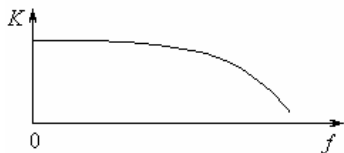


Рис. 4.49. АЧХ підсилювача

Частотні властивості оцінюються так званою амплітудно-частотною характеристикою (АЧХ), яка є залежністю коефіцієнта підсилення K від частоти f (рис. 4.49).

З цього рисунку видно, що з підвищенням частоти коефіцієнт підсилення K необмежено зменшується. Це здебільшого зумовлене частотними властивостями транзистора, який на високих частотах перестає бути безінерційним приладом.

На рис. 4.50 наведена еквівалентна схема транзистора.

Складові схеми наступні:

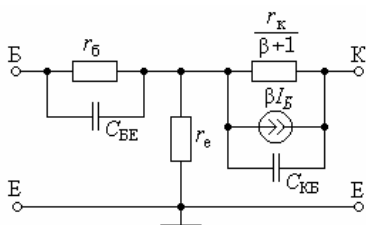


Рис. 4.50. Еквівалентна схема транзистора зі спільним емітером

$$r_6 = \frac{h_{12Б}}{h_{22Б}} - \text{опір бази};$$

$$r_e = h_{11Б} - (1 + h_{21Б}) - \text{опір емітера};$$

$$r_k = \frac{1 - h_{12Б}}{h_{22Б}} - \text{опір колектора}.$$

Крім цих активних складових схема містить ємності емітерного переходу $C_{БЕ}$ та колекторного $C_{КБ}$. Ці ємності зумовлені тим, що електронно-дірковий перехід накопичує заряд, тобто має ємнісні властивості.

Через наявність реактивних елементів параметри схеми транзистора є частотозалежними. З підвищенням частоти коефіцієнт передавання струму стає комплексним, бо між вхідними та вихідними струмами виникає фазовий зсув φ , тобто запізнювання струму \dot{I}_K від \dot{I}_E (рис. 4.51). Виникнення цього зсуву пояснюється наступним.

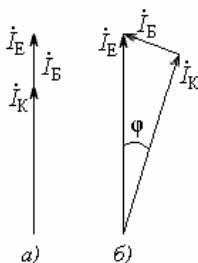


Рис. 4.51. Векторна діаграма роботи транзистора:

а – на низьких частотах;
б – на високих частотах

На низьких частотах (рис. 4.51,а) струми емітера \dot{I}_E , колектора \dot{I}_K та бази \dot{I}_B перебувають у фазі. Тому вихідний струм \dot{I}_K змінюється в

такт з вхідним \dot{I}_E у схемі з СБ (або I_B у схемі з СЕ).

На високих частотах (рис. 4.51,б) вихідний струм \dot{I}_K відстає від емітерного \dot{I}_E на кут φ . Це відбувається через наявність ємностей емітерного та колекторного переходів, а саме головне, через час проходження носіїв крізь базу.

Нехай на вході підсилювача діє позитивна напівхвиля сигналу, яка збільшує емітерний струм \dot{I}_E . У такт з ним мав зрости й струм колектора \dot{I}_K , але цього не станеться, тому що носії заряду ще не пройшли повністю крізь базу. Тому колекторний струм \dot{I}_K зросте на меншу величину, ніж емітерний \dot{I}_E . Коли ж позитивна напівхвиля вхідного сигналу зміниться на негативну, то вона зменшить струм емітера \dot{I}_E . У такт з ним мав зменшитися й струм колектора \dot{I}_K , але цього не відбудеться, тому що в колектор надходять носії, які затримались у базі. Вони не дадуть струму \dot{I}_K зменшитись у тому ж співвідношенні, що й струм \dot{I}_E . Так, на високих частотах відношення $\frac{\dot{I}_K}{\dot{I}_E} = \alpha$, тобто коефіцієнт передавання струму набуває комплексного характеру:

$$\alpha = \frac{\alpha_0}{1 + j \frac{f}{f_\alpha}}, \quad (4.110)$$

де α_0 – коефіцієнт передавання струму у схемі з СБ на низьких частотах, коли $\varphi = 0$ (рис. 4.51,а);

f_α – гранична частота коефіцієнта передавання струму емітера.

Аналогічно для схеми зі спільним емітером маємо

$$\beta = \frac{\beta_0}{1 + j \frac{f}{f_\beta}}, \quad (4.111)$$

де β_0 – коефіцієнт передавання струму бази на низькій частоті;

f_β – гранична частота коефіцієнта передавання струму бази.

Визначимо f_α та f_β , для чого знайдемо їхні модулі. Помножуючи чисельник і знаменник формул (4.110) та (4.111) відповідно на $1 - j \frac{f}{f_\alpha}$ і $1 - j \frac{f}{f_\beta}$, і,

утримуючи лише дійсні частини, маємо

$$|\alpha| = \frac{\alpha_0}{\sqrt{1 + \frac{f^2}{f_\alpha^2}}}; \quad (4.112)$$

$$|\beta| = \frac{\beta_0}{\sqrt{1 + \frac{f^2}{f_\beta^2}}}. \quad (4.113)$$

Якщо підсилювач працює на граничній частоті, то в схемі з СБ

$$f = f_\alpha, \quad (4.114)$$

а в схемі з СЕ

$$f = f_\beta. \quad (4.115)$$

Підставляючи (4.114) і (4.115) відповідно у формули (4.112) та (4.113), одержуємо

$$|\alpha|_m = \frac{\alpha_0}{\sqrt{2}}; \quad (4.116)$$

$$|\beta|_m = \frac{\beta_0}{\sqrt{2}}. \quad (4.117)$$

Отже, граничною є така частота, на якій модуль коефіцієнта передавання струму зменшується в $\sqrt{2} = 0,707$ разів (рис. 4.52).

З АЧХ (рис. 4.52) випливає, що $f_\beta \ll f_\alpha$, тобто схема зі спільним емітером працює на значно нижчих частотах, ніж зі спільною базою. Цей недолік схеми з СЕ пояснюється тим, що β більш залежить від частоти, ніж α . Дійсно, нехай через підвищення частоти коефіцієнт передавання струму у схемі з СБ змен-

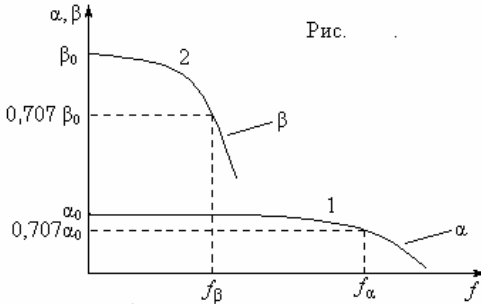


Рис. 4.52. АЧХ транзисторів:
1 — зі спільною базою; 2 — зі спільним емітером

шився від $\alpha_0 = 0,99$ до $\alpha_\nu = 0,98$, тобто приблизно на 1%.

При цьому коефіцієнт передавання струму у схемі з СЕ зменшиться від $\beta_0 = \frac{0,99}{1-0,99} = 99$ до $\beta_\nu = \frac{0,98}{1-0,98} = 49$, тобто майже вдвічі. Так, схема з СЕ більш низькочастотна, ніж схема з СБ.

4.4.12. Нелінійні спотворення сигналу

Нелінійні спотворення виникають через нелінійність ВАХ елементів підсилювача (транзисторів, діодів тощо). Сутність цих спотворень полягає в тому, що різні миттєві значення сигналу зазнають інші коефіцієнти передавання, через що форма сигналу на виході є спотвореною.

Так, при синусоїдальній формі вхідної напруги $U_{вх}$ вихідна напруга $U_{вих}$ відрізняється від синусоїдальної (рис. 4.53).

Незважаючи на те, що вхідний сигнал $U_{вх}$ позбавлений будь-яких спотворень і його різнополярні амплітуди $U_{mвх(+)}$ та $U_{mвх(-)}$ однакові, вихідний сигнал $U_{вих1}$ має різні амплітуди протилежної полярності: $U_{mвх(+)} \neq U_{mвх(-)}$.

Спотворення величин амплітуд відбувається через те, що амплітуда $U_{mвх(+)}$ підсилена з одним коефіцієнтом передавання $U_{mвих(+)} = K_1 U_{mвх(+)}$, а $U_{mвх(-)}$ — з іншим $U_{mвих(-)} = K_2 U_{mвх(-)}$.

Тоді, при гармонічному вхідному сигналі

$$U_{вх} = U_{mвх} \cos \omega t, \quad (4.118)$$

вихідний сигнал містить суму гармонічних складових, кожна з яких відрізняється амплітудою й частотою:

$$U_{\text{вих}} = U_0 + U_{m1} \cos \omega t + U_{m2} \cos 2\omega t + U_{m3} \cos 3\omega t + \dots, \quad (4.119)$$

де U_0 – постійна складова, яка виникла через спотворення;

U_{m1} ; U_{m2} ; $U_{m3} \dots$ – амплітуди відповідно першої, другої, третьої і т.д. гармонік.

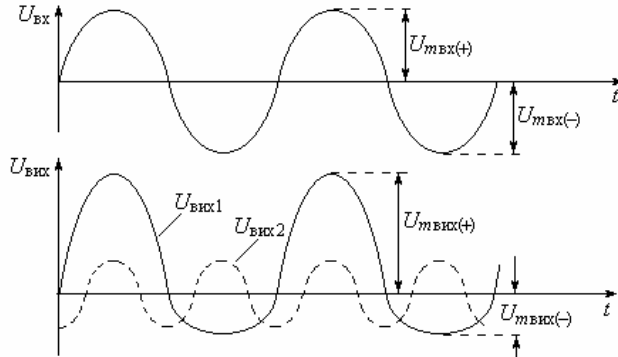


Рис. 4.53. Нелінійні спотворення сигналу

Корисною є перша гармоніка

$$U_{\text{вих}} = U_{m1} \cos \omega t. \quad (4.120)$$

Усі інші вищі гармоніки для неспотвореного підсилення сигналу є шкідливими. Вони погіршують якість звуковідтворювання та телевізійного зображення.

З рис. 4.53 видно, як друга гармоніка $U_{\text{вих}2}$ спотворює сигнал. Її позитивна амплітуда збільшує позитивну напівхвилю $U_{m\text{вих}(+)}$ та зменшує негативну $U_{m\text{вих}(-)}$.

Нелінійні спотворення не виникають, якщо ВАХ елемента лінійна (рис. 4.54,а).

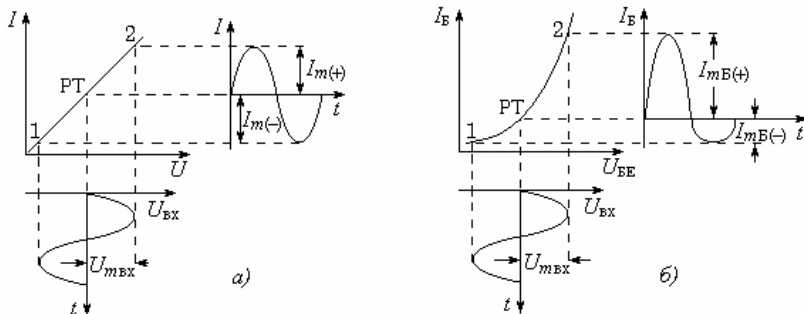


Рис. 4.54. Виникнення нелінійних спотворень

Такий елемент перетворює напругу U в струм I без будь-яких спотворень:

$$I = SU, \quad (4.121)$$

де $S = \frac{dI}{dU}$ – крутість ВАХ.

Оскільки ВАХ лінійна, то $S = \text{const}$ для будь-якої точки (1; ..., 2). Тому амплітуди струму однакові: $I_{m(+)} = I_{m(-)}$, тобто спотворень немає.

Для нелінійних ВАХ, наприклад, вхідної характеристики транзистора (рис. 4.54,б), крутість S в кожній точці своя ($S \neq \text{const}$), через що амплітуди струму бази становлять

$$I_{mB(+)} = S_2 U_{mвх}, \quad (4.122)$$

$$I_{mB(-)} = S_1 U_{mвх}, \quad (4.123)$$

де S_1 та S_2 – крутість ВАХ відповідно для точок 1 і 2.

З формул (4.122) та (4.123) видно, що $I_{mB(+)} \neq I_{mB(-)}$, тобто сигнал зазнає спотворень.

Нелінійні спотворення оцінюються коефіцієнтом гармонік, яким є відношення середньоквадратичної суми амплітуд напруг або струмів вищих гармонік, починаючи з другої, до амплітуди напруги або струму першої гармоніки:

$$k_r = \frac{\sqrt{U_{m2}^2 + U_{m3}^2 + U_{m4}^2 + \dots}}{U_{m1}} \quad (4.124)$$

або

$$k_r = \frac{\sqrt{I_{m2}^2 + I_{m3}^2 + I_{m4}^2 + \dots}}{I_{m1}}. \quad (4.125)$$

Слід зауважити, що нелінійні спотворення виникають не тільки у вхідному колі, а також і у вихідному (рис. 4.55).

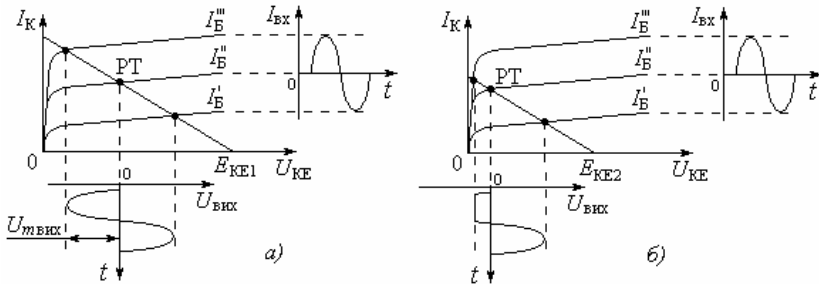


Рис. 4.55. Нелінійні спотворення сигналу в колекторному колі

Якщо робоча точка РТ віддалена від осі ординат більше за амплітуду $U_{mвх}$ вихідної напруги (рис. 4.55,а), то обидві різнополярні амплітуди $U_{вих}$ однакові, тобто спотворень практично немає.

Коли ж напруга живлення зменшена до $E_{KE2} < E_{KE1}$ (рис. 4.55,б), то робоча точка РТ віддалена від осі ординат менше за амплітуду $U_{\text{вих}}$ вихідної напруги, через що негативна напівхвиля зрізується і нелінійні спотворення можуть бути значними.

Тут слід відзначити, що оскільки напруги на емітерному та колекторному переходах протилежні, то парні гармоніки емітерного та колекторного кіл теж протилежні і тому дещо компенсують одна одну. Через це спотворення вихідної напруги зменшуються. Для акустичних систем коефіцієнт гармонік має бути не більше 2,5%.

4.4.13. Вплив температури на параметри підсилювача

Вплив температури на параметри підсилювача зумовлює температурний дрейф характеристик транзистора. Цей дрейф суттєво залежить від схеми включення транзистора.

Порівняємо вплив температури на параметри підсилювача зі спільною базою та спільним емітером.

На рис. 4.56 наведена лінія навантаження для підсилювача зі спільною базою. Суцільними лініями показані характеристики для даної температури T_1 , а пунктирними – для підвищеної $T_2 > T_1$. З цього рисунку видно, що зміна температури від T_1 до T_2 зміщує робочу точку з положення РТ₁ до РТ₂.

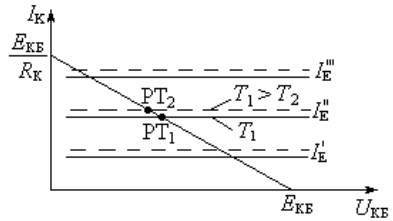


Рис. 4.56. Вплив температури на роботу підсилювача з СБ:
— T_1 ; - - - $T_2 > T_1$

У схемі з СБ це зміщення невелике і тому робоча точка залишається в активному режимі. Це пояснюється тим, що коефіцієнт передавання струму α у схемі з СБ слабо залежить від температури, тому що колекторний та емітерний переходи не зв'язані.

Щодо схеми з СЕ, то при саме тому ж змінні температури від T_1 до T_2 (рис. 4.57) робоча точка зміщується від РТ₁ до РТ₂ на стільки, що вона може вийти з активного режиму й опинитися в режимі насичення РН, де підсилення немає.

Таким чином, якщо у схемі з СБ температурний дрейф незначно зміщує положення робочої точки, то у схемі з СЕ те ж саме зміння температури зміщує робочу точку так сильно, що вона може вийти з активного режиму.

Така низька термостійкість схеми зі спільним емітером зумовлена тим, що колекторний та емітерний переходи

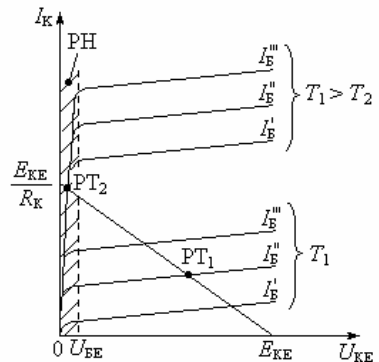


Рис. 4.57. Вплив температури на роботу підсилювача з СЕ

з'єднані послідовно. Тому напруга U_{KE} прикладена не тільки до колекторного, а частково й до емітерного переходу, причому, в прямому напрямі. Тому зменшення U_{KE} на колекторному переході викликає підвищення напруги на емітерному переході, через що збільшується струм колектора.

Таким чином, схема зі спільною базою має більшу стійкість до змінення температури, ніж схема зі спільним емітером.

Незважаючи на це, схема з СЕ залишається найбільш розповсюдженою через високий вхідний опір, тобто через здатність підсилювати струм. Щодо термостійкості, то вона має забезпечуватись різноманітними методами термостабілізації, про що йтиметься нижче.

4.4.14. Пробій біполярних транзисторів

Пробій транзисторів може бути тепловим і електричним. Будь-який пробій розвивається тільки під зворотною напругою на $p-n$ -переході.

Тепловий пробій виникає, коли на колекторному переході розсіюється потужність більша за допустиму. Тепловий пробій є необоротним і губить транзистор.

Електричний пробій може бути оборотним, якщо не перейде в тепловий.

Будь-який пробій характеризується тим, що колекторний струм необмежено зростає: $I_K^* \rightarrow \infty$ (тут і надалі символ $*$ позначає режим пробою).

Тепловий пробій є необоротним і розвивається при недостатньому відведенні тепла від транзистора.

Тепловий пробій розвивається наступним чином.

Потужність $U_{KE}I_K$ або $U_{KB}I_K$ розігріває транзистор. При цьому в колекторному переході починається тепла іонізація власних атомів, внаслідок чого зростає концентрація рухомих носіїв заряду і через це збільшується колекторний струм I_K . Тому потужність $U_{KE}I_K$ або $U_{KB}I_K$ додатково зростає і т.д. Транзистор перегрівається і згорає.

Для запобігання цьому слід обмежувати потужність $P_K = U_K I_K$ так, щоб вона була менше допустимої ($P_K < P_{Kmax}$). Одним із заходів відведення тепла від транзисторів середньої та великої потужності є їхня установка на радіатори.

Електричний пробій виникає при підвищеній колекторній напрузі і може бути оборотним, тобто транзистор може відновлювати свої параметри після зняття пробивних напруг. Електричний пробій виникає через ударну іонізацію атомів електронами в колекторному переході, внаслідок чого збільшується концентрація рухомих носіїв заряду і зростає колекторний струм.

Порівняємо умови пробою для схем з СБ та СЕ.

Для схеми з СБ маємо:

$$I_K^* = \alpha^* I_E, \quad (4.126)$$

де I_K^* та α^* – відповідно струм колектора і коефіцієнт передавання струму емітера в пробивному режимі.

Пробій веде до необмеженого зростання струму колектора:

$$I_K^* \rightarrow \infty. \quad (4.127)$$

Умову (4.127) можна формально трактувати, як необмежене зростання α^* . Тоді для схеми з СБ умовою пробою є

$$\alpha^* \rightarrow \infty. \quad (4.128)$$

Щодо схеми з СЕ, то для неї в режимі пробою

$$I_K^* = \beta^* I_B. \quad (4.129)$$

де β^* – коефіцієнт передавання струму бази в режимі пробою.

Умову пробою (4.129) для схеми з СЕ можна формально трактувати, як необмежене зростання β^* :

$$\beta^* = \frac{\alpha^*}{1 - \alpha^*} \rightarrow \infty. \quad (4.130)$$

З цієї формули випливає, що в схемі з СЕ пробій настає, коли

$$\alpha^* \rightarrow 1 \quad (4.131)$$

Порівнюючи умови (4.128) та (4.131), приходимо до висновку, що схема зі спільною базою має більшу електричну міцність, ніж схема зі спільним емітером, тобто має більшу допустиму колекторну напругу.

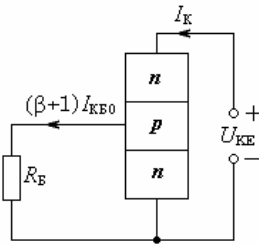


Рис. 4.58. Опір у колі бази транзистора

На пробивну колекторну напругу в будь-якій схемі суттєво впливає опір R_B в колі бази (рис. 4.58). На резисторі R_B власний струм колекторного переходу $(\beta+1)I_{KB0}$, який протікає через базу, створює падіння напруги $(\beta+1)I_{KB0}R_B$, яке намагається відкрити транзистор, тобто збільшити I_K . З підвищенням зворотної напруги струм $(\beta+1)I_{KB0}$ збільшується і через напругу $(\beta+1)R_B I_{KB0}$ додатково відкриває транзистор.

Збільшений колекторний струм I_K ще більше розігріває колекторний перехід, внаслідок чого власний струм $(\beta+1)I_{KB0}$ ще більше зростає і т.д. Струм I_K зростає необмежено, тобто транзистор пробивається.

Таким чином, наявність опору R_B призводить до теплового пробою при значно меншій зворотній напрузі. Тому опір R_B слід вибирати якомога меншим. Найнебезпечнішим випадком є $R_B \rightarrow \infty$, тобто обрив кола бази. Транзистор з обірваною базою пробивається при колекторних напругах навіть значно менших за допустимі. Тому експлуатація транзисторів з обірваною базою недопустима. Щоб уникнути обриву бази, її при монтажі транзисторів слід підключати першою.

На відміну від пробою p - n -переходу, в транзисторах спостерігається ще один пробій, який зумовлений змиканням колекторного і емітерного переходів (рис. 4.59). При відносно невеликих колекторних напругах колекторний КП та емітерний ЕП переходи (рис. 4.59,а) знаходяться один від одного на відстані великої ширини бази L_B .

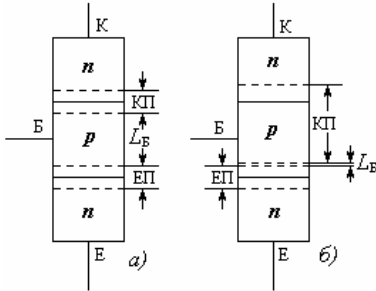


Рис. 4.59. Змикання емітерного та колекторного переходів

Підвищення колекторної напруги розширює колекторний перехід переважно в область бази, внаслідок чого колекторний КП та емітерний ЕП переходи змикаються (рис. 4.59,б). Ширина бази L_B зникає через те, що колекторний перехід заповнює всю область бази і транзистор перестав підсилувати.

Напруга, за якої настає змикання переходів, називається напругою змикання.

4.4.15. Шуми підсилювачів

Вихідна напруга підсилювача навіть за відсутності сигналу і будь-якої високої стабільності напруги живлення ніколи не залишається постійною. Вона безперервно хаотично змінюється (рис. 4.60), тобто зазнає так званих флуктуацій. На виході звуковідтворювального пристрою ці флуктуації виявляються у виді рівномірного шуму і тому навіть за межами акустичного діапазону називаються *шумами*.

Шуми додаються до сигналу і тому є завадами (рис. 4.60,б). Через це мінімальний рівень сигналу не може бути менше рівня шумів.

Таким чином, для підсилювачів шум – явище шкідливе. (Це не свідчить про абсолютну шкідливість шумів: для автогенераторів, наприклад, вони необхідні).

Шумові властивості підсилювачів оцінюються *коефіцієнтом шуму*, який є відношенням потужності шуму на виході підсилювача

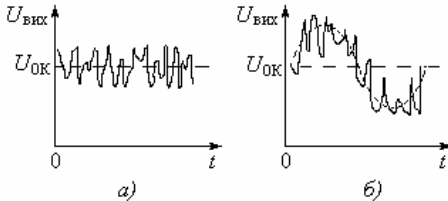


Рис. 4.60. Флуктуації на виході підсилювача:
а – за відсутності сигналу,
б – за наявності сигналу

$P_{ш\text{вих}}$ до підсилених шумів джерела сигналу $P_{шс}$:

$$K_{ш} = \frac{P_{ш\text{вих}}}{K_P P_{шс}}, \quad (4.132)$$

де K_P – коефіцієнт підсилення за потужністю.

Якщо вважати, що величина $P_{ш\text{вих}}/K_P$ є потужністю шуму, яка перерахована до входу підсилювача, то на виході ідеального підсилювача, який не шумить, діє тільки підсилений шум джерела сигналу (власних шумів немає):

$$P_{\text{ш вих}} = K_p P_{\text{ш с}}. \quad (4.133)$$

Підставляючи співвідношення (4.133) у (4.132), переконуємося в тому, що коефіцієнт шуму ідеального підсилювача, який не шумить, дорівнює одиниці:

$$K_{\text{ш ід}} = 1. \quad (4.134)$$

У цілому на виході підсилювача діє потужність шуму

$$P_{\text{ш вих}} = K_p(P_{\text{ш с}} + P_{\text{ш е}} + P_{\text{ш р}} + P_{\text{ш б}}) + P_{\text{ш R}}. \quad (4.135)$$

Тут $P_{\text{ш с}}$ – потужність шумів джерела сигналу;

$P_{\text{ш е}}$ – потужність *дробових шумів* емітерного переходу. Ці шуми зумовлені непостійністю кількості носіїв заряду, що проходять через емітерний перехід за різні проміжки часу;

$P_{\text{ш р}}$ – потужність *шумів струморозподілення* між колектором та базою.

Струм емітера I_E розподіляється на струм колектора I_K та бази I_B . Цей розподіл не залишається постійним у часі і тому вихідний струм I_K , а за ним і вихідна напруга, флюктують;

$P_{\text{ш б}}$ – потужність теплових шумів опору бази r_B і резисторів R_B в її колі;

$P_{\text{ш R}}$ – потужність шумів резистора в колекторному колі.

Квадрат напруги цих шумів оцінюється формулою Найквіста

$$U_{\text{ш б}}^2 = 4KT(R_B + r_B) \Delta f, \quad (4.136)$$

де K – стала Больцмана;

T – абсолютна температура;

Δf – смуга частот, в якій спостерігаються шуми.

З усіх названих шумів найбільшими є тепловий шум опору бази та шуми струморозподілення.

Щодо боротьби з шумами, то як видно з формули (4.136), слід зменшувати температуру T , при якій працює транзистор, вибирати якомога менший опір R_B в колі бази та обмежувати смугу частот Δf . Боротьбу з шумами слід вести у вхідних каскадах, де співвідношення *сигнал-шум* відносно велике.

4.5. Підсилювачі на польових транзисторах

4.5.1. Типи та схеми включення польових транзисторів

Польові транзистори (ПТ) бувають двох типів: з *керуючим p-n-переходом*, умовне позначення якого наведене на рис. 4.61, та *ізольованим заслоном*, умовні позначення яких наведені на рис. 4.62 та рис. 4.63.

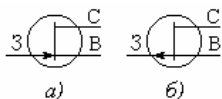


Рис. 4.61. Умовне позначення ПТ з керуючим p - n -переходом: а – з n -каналом; б – з p -каналом

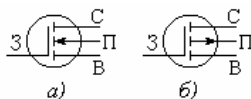


Рис. 4.62. Умовне позначення МОП-транзисторів з індукованим каналом: а n -канал; б – p -канал

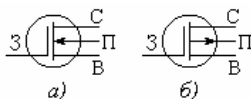


Рис. 4.63. Умовне позначення МОП-транзисторів із вбудованим каналом: а n -канал; б – p -канал

Обидва типи вигідно відрізняються від біполярних транзисторів високим вхідним опором, а ПТ з ізолюваним заслоном ще й повною гальванічною розв'язкою вхідного та вихідного кіл.

Польові транзистори є аналогами тріодів та біполярних транзисторів, тобто вони також призначені для підсилення і те ж мають три електроди: витік B , заслін $З$ та стік C .

За функціональним призначенням витік так само, як і емітер, постачає рухомі носії зарядів. Заслін, подібно базі, є керуючим електродом, а стік, як і колектор, збирає рухомі носії заряду. Щодо четвертого електрода – підшарку П, то про нього йдеться нижче.

З цього розгляду функціонального призначення електродів випливає, що основною властивістю ПТ як і БТ, є підсилення потужності.

Основні схеми включення ПТ наведені на рис. 4.64. Усі ці схеми є підсилювачами вхідної напруги $U_{вх}$.

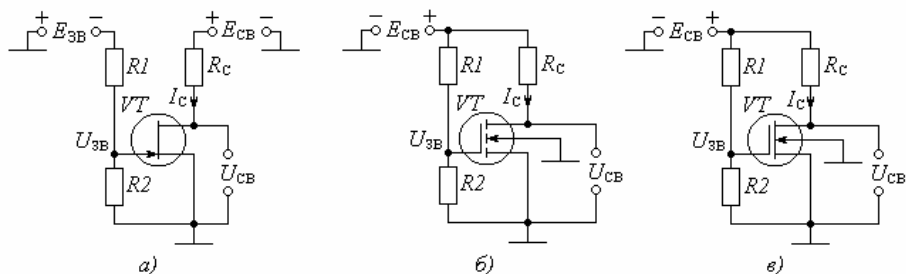


Рис. 4.64. Основні схеми включення польових транзисторів: а – з p - n -переходом; б – з індукованим каналом; в – із вбудованим каналом

Резистори $R1$ та $R2$ створюють подільник напруги, який виробляє так звану напругу зміщення, тобто напругу між заслоном та витіком $U_{зв}$. Ця напруга визначає робочу точку.

Як і будь-який резистивний підсилювач, основні схеми включення є подільниками напруги, у верхньому плечі яких знаходиться опір навантаження R_C , а у нижньому – керований опір R_{VT} , яким є транзистор VT . Тому напруга між стоком та витіком, яка є вихідною, становить:

$$U_{св} = E_{св} \frac{R_{VT}}{R_C + R_{VT}}. \quad (4.137)$$

З формули (4.137) випливає, що в основу принципу дії підсилювача покладене наступне.

Вхідна напруга, яку треба підсилити, змінює опір транзистора R_{VT} і саме тим керує коефіцієнтом ділення

$$K_{\Pi} = \frac{R_{VT}}{R_C + R_{VT}} \quad (4.138)$$

напруги живлення E_{CB} .

Таким чином, вихідна напруга U_{CB} є частиною напруги E_{CB} . Ця частина на виході змінюється за законом вхідного сигналу, що підводиться до заслону.

З формули (4.137) випливає, що в резистивному підсилювачі на ПТ, як і на БТ, вихідна напруга $U_{\text{вих}} = U_{CB}$ ніколи не перевищує напругу живлення ($U_{\text{вих}} < E_{CB}$).

Для розрахунку і подальшого розгляду властивостей підсилювача ознайомимось з принципом дії польових транзисторів.

4.5.2. Польові транзистори з керуючим p - n -переходом

В основу принципу дії цих транзисторів покладене розширення p - n -переходу під зворотною напругою.

Структура транзистора з n -каналом наведена на рис. 4.65.

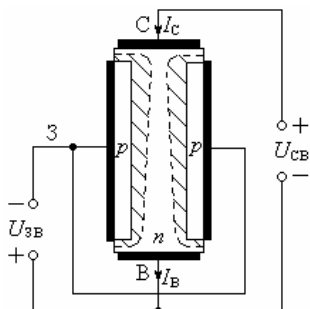


Рис. 4.65. Структура ПТ з p - n -переходом і n -каналом

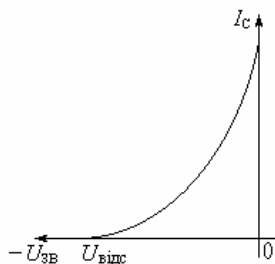


Рис. 4.66. Характеристика прямого передавання ПТ з p - n -переходом і n -каналом

Транзистор має три електроди: витік В, заслін З та стік С. Ця структура має два p -шари, між якими розташовується n -напівпровідник, який створює n -канал. Штриховкою позначена ширина p - n -переходу. Вона збіднена рухомими носіями заряду і тому має високий опір, за якого ширина p - n -переходу не обтикається струмом. Між границями p - n -переходу (показано пунктиром) розташований n -канал.

Транзистор діє наступним чином.

У колі заслону p - n -перехід знаходиться під зворотною напругою. При $U_{зв} = 0$ ширина p - n -переходу найвужча, через що n -канал найширший і його електричний опір R_{VT} найменший. Через транзистор тече найбільший струм:

$$I_C = \frac{U_{CB}}{R_{VT}}. \quad (4.139)$$

При підвищенні модуля напруги заслону $|U_{ЗВ}|$ розширюються p - n -переходи в колі заслону, через що n -канал звужується і через те його опір R_{VT} збільшується. Тому струм I_C зменшується.

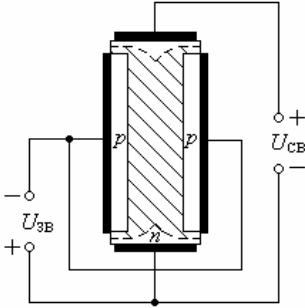


Рис. 4.67. Перекриття каналу при $U_{ЗВ} \geq U_{відс}$

Так, входною напругою заслону $U_{ЗВ}$ керується вихідний струм стоку I_C . Збільшення модуля напруги заслону до напруги відсікання $U_{ЗВ} \geq U_{відс}$ (див. рис. 4.66) викликає повне перекриття каналу p - n -переходом, де практично немає рухомих носіїв заряду (рис. 4.67), і тому струм I_C зникає.

Щодо високого входного опору, який є перевагою перед біполярними транзисторами, то це пояснюється тим, що в польовому транзисторі p - n -перехід у колі заслону знаходиться під зворотною напругою і тому ширина переходу збіднена рухомими носіями заряду. Через це входний опір набагато більше порівняно з біполярним транзистором, де емітерний перехід знаходиться в активному режимі під прямою напругою.

З вихідних характеристик, які наведені на рис. 4.68, видно, що починаючи з так званої напруги насичення $U_{CBнас}$, струм стоку I_C практично не залежить від напруги стоку U_{CB} . Ця позитивна для підсилення якість пояснюється наступним.

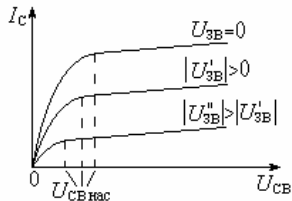


Рис. 4.68. Вихідні характеристики ПТ з p - n -переходом

При $U_{CB} \geq U_{CBнас}$ з підвищенням напруги стоку U_{CB} згідно з формулою (4.139) струм стоку I_C мав зрости. Однак, з підвищенням U_{CB} розширюється p - n -перехід, через що звужується канал, і його опір R_{VT} збільшується. Отже, одночасно зростають і чисельник, і знаменник

формули (4.139), тобто струм стоку I_C залишається незмінним.

Недоліком ПТ з керуючим переходом є хоч і великий, але все ж кінцевий входний опір, через що між входним та вихідним опорами є певний гальванічний зв'язок. Цей недолік усунений в ПТ з ізолюваним заслоном.

4.5.3. Польові транзистори з ізолюваним заслоном

Ці транзистори відомі під назвами МДН-транзистори або МОН-транзистори. Аббревіатура МДН розшифровується як "метал-діелектрик-напівпровідник" і описує структуру матеріалів у колі заслону, а саме: металевий заслін, який ізолюваний діелектриком від напівпровідника. Якщо конкретизувати тип діелектрика, для якого використовується окис кремнію, то

одержуємо аббревіатуру МОН: “метал-окис-напівпровідник”. МОН-транзистори бувають з індукованим каналом та вбудованим каналом.

4.5.3.1. МОН-транзистор з індукованим каналом

МОН-транзистор з індукованим каналом, умовне позначення якого аведене на рис. 4.62, має чотири електроди: підшарок П, витік В, заслін З, та стік С.

Структура транзистора наведена на рис. 4.69. Вона містить p -підшарок П, в якому розміщені кишені з високою концентрацією електронів n^+ (ступень “+” позначає високу концентрацію). Одна з кишень створює витік, а інша – стік С.

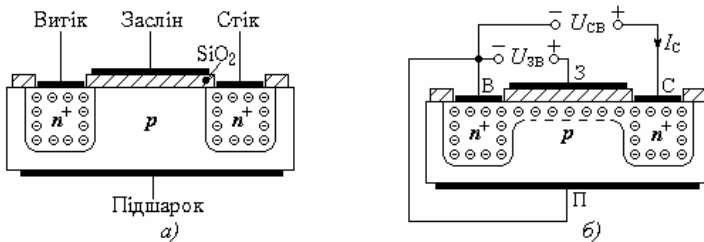


Рис. 4.69. Структура МОН-транзистора з індукованим n -каналом:
а – за відсутності напруг; б – під напругою $U_{3B} > 0$

Поверхня підшарку П між витоком В та стоком С покрита шаром окису кремнію SiO_2 , тобто діелектриком, на якій нанесено металевий заслін З.

Транзистор з індукованим каналом діє наступним чином.

За відсутності напруги заслону (рис. 4.69,а) напруженість між заслоном З та підшарком П дорівнює нулю, через що в підшарку під заслоном немає рухомих носіїв заряду. Через це в підшарку П під заслоном З між кишенями стоку С та витоку В каналу немає.

Тому навіть за наявності напруги U_{CB} струм стоку I_C не може протікати, бо n^+ - p -перехід біля стоку С та p - n^+ -перехід біля витоку В включені назустріч. Через таке з’єднання протікає лише зворотний струм n^+ - p -переходу, який практично непомітний ($I_C = 0$). Транзистор закритий.

Якщо між заслоном та підшарком прикласти позитивну напругу $U_{3B} > 0$ (рис. 4.69,б), то між заслоном та підшарком виникає електричне поле, яке втягує електрони під заслін з кишень стоку та витоку.

Так індукується (створюється) n -канал. Чим вище напруга U_{3B} , тим вище концентрація електронів у каналі і тим більше струм стоку I_C . Так, напругою заслону U_{3B} можна керувати струмом стоку I_C (рис. 4.70).

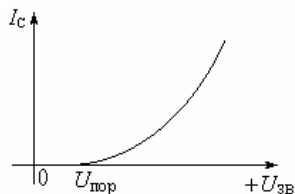


Рис. 4.70. Характеристика прямого передавання МОН-транзистора з індукованим n -каналом

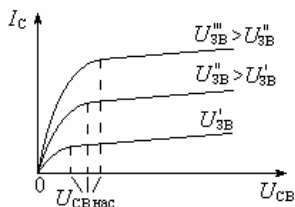


Рис. 4.71. Вихідні ВАХ МОН-транзистора з індукованим каналом

Починаючи з порогової напруги заслону $U_{пор}$ створюється n -канал і з'являється струм стоку I_C .

Вихідні характеристики $I_C = f(U_{СВ})$ при $U_{ЗВ} = \text{const}$ для МОН-транзистора з індукованим каналом (рис. 4.71) мають характер, аналогічний для транзистора з керуючим p - n -переходом.

Після напруги насичення $U_{СВ} > U_{СВнас}$ струм стоку I_C практично не залежить від напруги стоку $U_{СВ}$. Ця позитивна для підсилення якість посягнується наступним.

Як видно з рис. 4.72, між каналом n^+ та підшарком p є p - n -перехід (показано густою штриховкою). З підвищенням напруги стоку $U_{СВ}$ струм стоку I_C мав збільшитись за законом Ома:

$$I_C = \frac{U_{СВ}}{R_n}, \quad (4.140)$$

де R_n – опір каналу n^+ .

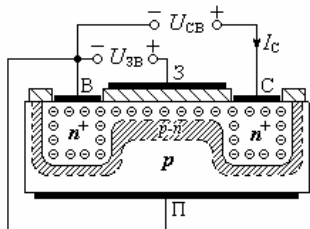


Рис. 4.72. До пояснення вихідних ВАХ

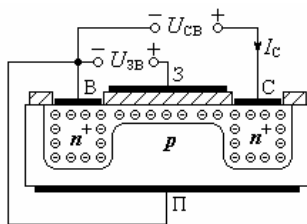


Рис. 4.73. Структура МОН-транзистора із вбудованим n -каналом

Однак з підвищенням $U_{СВ}$ розширюється p - n -перехід як в сторону підшарку p , так і в сторону каналу n^+ . Канал n^+ під заслоном звужується і його опір R_n зростає. Тому, як видно з формули (4.140), струм стоку I_C залишається незмінним.

4.5.3.2. МОН-транзистор з вбудованим каналом

МОН-транзистор з вбудованим каналом, умовне позначення якого наведене на рис. 4.63,в, має чотири електроди: підшарок П, витік В, заслін З, та стік С.

Структура транзистора (див. рис. 4.73) відрізняється тим, що канали n або p вбудовуються при виготовленні транзистора.

Транзистор з вбудованим каналом діє наступним чином.

При нульовій напрузі заслону $U_{ЗВ} = 0$ через вбудований канал n^+ тече струм стоку $I_C = I_{0C}$ (рис. 4.74). Зростання $U_{ЗВ}$ збагачує канал n^+ електронами, через що провідність каналу збільшується і тому струм стоку I_C зростає (рис. 4.74,а).

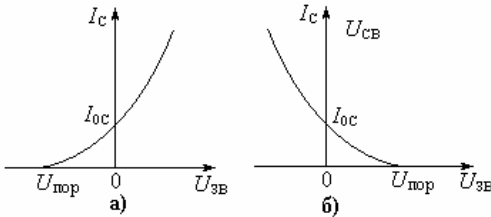


Рис. 4.74. Характеристики прямого передавання МОН-транзисторів з вбудованим каналом: а – n -канал, б – p -канал

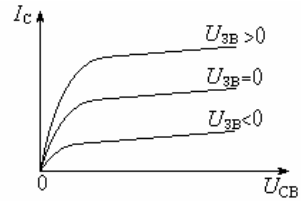


Рис. 4.75. Вихідні ВАХ МОН-транзистора з вбудованим n -каналом

Зменшення модуля $U_{ЗВ}$ витискує електрони і збіднює ними канал. Провідність каналу зменшується і тому зменшується струм стоку I_C .

Таким чином, МОН-транзистор з вбудованим каналом може працювати як при позитивній, так і при негативній напрузі заслону $U_{ЗВ}$. У першому випадку досягається режим збагачення каналу і струм стоку I_C зростає, а в другому – режим збіднення каналу, за якого струм стоку I_C зменшується. При пороговій напрузі $U_{пор}$ електрони практично повністю витискуються з каналу і тому струм стоку зникає ($I_C = 0$).

Щодо вихідних характеристик рис. 4.75, то їхній хід пояснюється тими ж залежностями, що й польових транзисторів з індукованим каналом.

4.5.4. Схеми підсилювачів на польових транзисторах

Підсилювачі на ПТ, принципові схеми яких наведені на рис. 4.76, є подільниками напруги $E_{СВ}$, у верхніх плечах яких включені резистори навантаження стокового кола R_C , а в нижніх – польові транзистори VT .

Напруга між стоком та витіком становить

$$U_{СВ} = E_{СВ} \frac{R_{VT}}{R_C + R_{VT}}, \quad (4.141)$$

де R_{VT} – опір між стоком та витіком на постійному струмі.

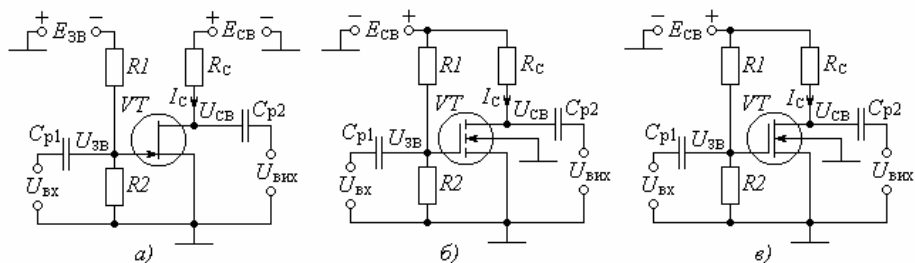


Рис. 4.76. Принципові схеми підсилювачів на польових транзисторах:
а – з p - n -переходом, б – з індукованим каналом, в – з вбудованим каналом

З формули (4.141) випливає наступне:

- напруга U_{CB} між стоком та витоком, тобто вихідна напруга є частиною напруги живлення E_{CB} ;
- напруга U_{CB} між стоком та витоком має закон змінення R_{VT} , тобто змінюється за законом вхідної напруги, яку треба підсилити;
- вихідна напруга U_{CB} , тобто $U_{вих}$, ніколи не може перевищувати напругу живлення E_{CB} :

$$U_{CB} < E_{CB}. \quad (4.142)$$

Підсилювачі містять транзистор VT , опір навантаження R_C в колі стоку, подільник напруги $R1 - R2$ для живлення заслону та розділювальні конденсатори C_{p1} для того, щоб не пустити до заслону постійну напругу джерела сигналу, а C_{p2} – щоб не пустити до виходу постійну напругу стоку U_{CB} . Усе це необхідне для збереження режиму транзистора за постійним струмом.

Вхідними є кола заслонів, а вихідними – кола стоків. До входів подається вхідний сигнал $U_{вх}$, який треба підсилити, а з виходу знімається підсилений сигнал $U_{вих}$.

Розглядаючи принцип дії підсилювача, відзначимо, що вхідна напруга $U_{вх}$, яку треба підсилити, повністю витрачається на те, щоб за своїм законом змінювати опір R_{VT} транзистора і саме тим керувати коефіцієнтом передавання частини напруги E_{CB} до виходу:

$$K_C = \frac{R_{VT}}{R_C + R_{VT}}. \quad (4.143)$$

Таким чином, в основу принципу дії підсилювача покладене те, що частина напруги живлення E_{CB} потрапляє до виходу через подільник напруги з R_C та опору R_{VT} між стоком та витоком транзистора, а вхідний сигнал $U_{вх}$, який треба підсилити, керує коефіцієнтом передавання K_C цього подільника.

Для докладного розгляду роботи підсилювача знайдемо рівняння лінії навантаження.

За законом Кірхгофа для вихідного кола (E_{CB} – стік – витік) маємо:

$$E_{CB} = I_C R_C + U_{CB}, \quad (4.144)$$

тобто напруга живлення стокового кола E_{CB} падає на двох ділянках: на резисторі R_C виділяється падіння напруги $I_C R_C$, а між стоком та витокком діє напруга U_{CB} . Розв'язуючи (4.144) відносно I_C , знаходимо рівняння лінії навантаження:

$$I_C = \frac{E_{CB}}{R_C} - \frac{U_{CB}}{R_C}. \quad (4.145)$$

Відносно напруги U_{CB} рівняння (4.145) є першого степеня, тобто це рівняння прямої лінії. Лінію навантаження на вихідних ВАХ (рис. 4.77) будемо по двох точках її перетинання з осями координат, підставляючи їхні рівняння $I_C = 0$ та $U_{CB} = 0$ у (4.145).

Параметри точок 1 і 2 відповідно:

точка 1: $I_C = 0$; $U_{CB} = E_{CB}$.

точка 2: $U_{CB} = 0$; $I_C = \frac{E_{CB}}{R_C}$.

Принцип дії підсилювача на польовому транзисторі наступний.

Перетин лінії навантаження 1 – 2 із заданою характеристикою, наприклад $U_{ЗВ} = U_{03}$, визначає робочу точку РТ. Її параметри визначаються за допомогою формули (4.145), а саме: якщо напруга заслони становить $U_{ЗВ} = U_{03}$, то струм стоку в робочій точці дорівнює I_{0C} , а напруга стоку

$$U_{0C} = E_{CB} - I_{0C} R_C. \quad (4.146)$$

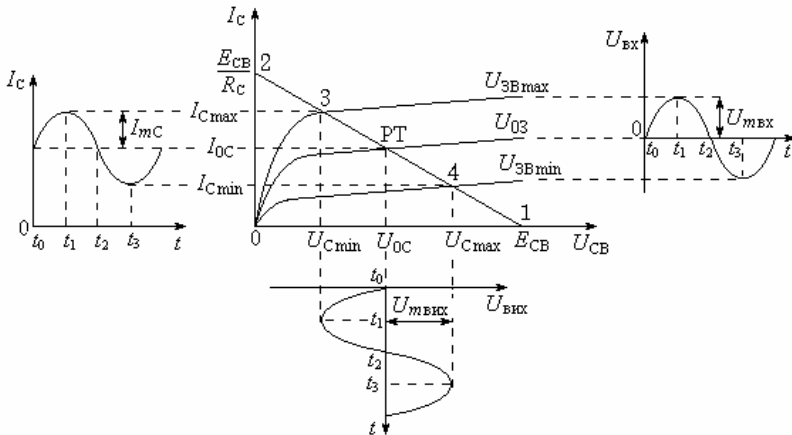


Рис. 4.77. Діаграма роботи підсилювача на польовому транзисторі

У загальному випадку при гармонічному входному сигналі (рис. 4.77) напруга заслони становить

$$U_{ЗВ} = U_{03} + U_{mВХ} \sin \omega t, \quad (4.147)$$

а струм стоку

$$I_C = I_{0C} + I_{mC} \sin \omega t, \quad (4.148)$$

де $U_{mвх}$ – амплітуда вхідної напруги $U_{вх}$, яку треба підсилити;

I_{mC} – амплітуда струму I_C , яку зумовлює $U_{mвх}$;

ω – частота вхідної напруги $U_{вх}$.

У початковому стані (стані спокою) до моменту t_0 , тобто за відсутності сигналу $U_{mвх} = 0$, з формул (4.145) ... (4.148) видно, що транзистор знаходиться під параметрами режиму робочої точки, а саме:

– напруга заслону $U_{ЗВ} = U_{03}$;

– струм стоку $I_C = I_{0C}$;

– напруга стоку $U_{СВ} = U_{0C}$.

За наявності сигналу $U_{mвх} > 0$ до напруги спокою U_{03} в момент t_1 додається амплітуда $U_{вх}$, через що напруга заслону зростає до

$$U_{ЗВmax} = U_{03} + U_{mвх}. \quad (4.149)$$

Цей режим визначається точкою 3. До струму спокою I_{0C} додається I_{mC} , через що струм стоку зростає до

$$I_{Cmax} = I_{0C} + I_{mC}. \quad (4.150)$$

Збільшений струм стоку I_{Cmax} створює на R_C падіння напруги $I_{Cmax}R_C$, через що напруга стоку зменшується до мінімальної

$$U_{Cmin} = E_{СВ} - I_{Cmax} R_C. \quad (4.151)$$

У момент t_2 транзистор знаходиться під параметрами режиму робочої точки U_{03} ; I_{0C} ; U_{0C} , а в момент t_3 (точка 4) напруга заслону зменшується до

$$U_{ЗВmin} = U_{03} - U_{mвх} \quad (4.152)$$

і відповідно струм стоку зменшується до

$$I_{Cmin} = I_{0C} - I_{mC}, \quad (4.153)$$

через що напруга стоку підвищується до

$$U_{Cmax} = E_{СВ} - I_{Cmin} R_C. \quad (4.154)$$

Так, вхідна напруга $U_{вх}$, яку треба підсилити, створює свою збільшену копію $U_{СВ}$ у вихідному колі між стоком та витокком.

З діаграми роботи підсилювача (див. рис. 4.77) видно наступне:

– форма напруги стоку $U_{СВ}$ з точністю до фази повторює форму вхідної напруги, яка підсилюється;

- підсилювач із загальним витоком обертає фазу вхідного сигналу на 180° ;
- напруга стоку U_{CB} містить постійну складову U_{0C} , позбавлення від якої можна здійснити розділювальним конденсатором C_{p2} .

4.5.5. Показники підсилювача на ПТ

Робочу точку РТ (див. рис. 4.77) слід вибирати так, щоб спотворення вихідного сигналу були б якомога меншими, тобто щоб амплітуди $U_{mвих}$ різнополярних напівхвиль були б якомога рівними. Для виконання цих умов треба, щоб відрізки лінії навантаження (3 – РТ) та (РТ – 4) були б якомога близькими.

Ці вимоги виконуються, якщо мінімальна напруга стоку U_{Cmin} дещо перевищує напругу насичення $U_{CBнас}$ (див. рис. 4.71): $U_{Cmin} > U_{CBнас}$, тобто точка 3 (див. рис. 4.77) має лежати на пологій ділянці характеристики “праворуч” перегону. Тоді положення робочої точки визначає співвідношення

$$U_{0C} = U_{CBнас} + U_{mвх}. \quad (4.155)$$

Коефіцієнт підсилення за напругою становить

$$K_U = \frac{U_{mвих}}{U_{mвх}}. \quad (4.156)$$

Для визначення K_U не обов'язково будувати епюри. Дійсно, розмах (подвійна амплітуда) вхідної та вихідної напруг відповідно дорівнюють

$$\Delta U_{3B} = 2U_{mвх} = U_{3Bmax} - U_{3Bmin}; \quad (4.157)$$

$$\Delta U_{CB} = 2U_{mвих} = U_{Cmax} - U_{Cmin}. \quad (4.158)$$

Підставляючи (4.157) та (4.158) у (4.156), одержуємо

$$K_U = \frac{\Delta U_{CB}}{\Delta U_{3B}}. \quad (4.159)$$

Вираз для коефіцієнта підсилення K_U можна одержати в іншому виді. Оскільки $2U_{mвих} = U_{Cmax} - U_{Cmin}$ (див. рис. 4.77), то

$$\Delta U_{CB} = \Delta I_C R_C, \quad (4.160)$$

де $\Delta I_C = I_{Cmax} - I_{Cmin}$ при $\Delta U_{3B} = U_{3Bmax} - U_{3Bmin}$.

Підставляючи (4.160) у (4.159), одержуємо

$$K_U = S R_C, \quad (4.161)$$

де $S = \frac{\Delta I_C}{\Delta U_{3B}}$. (4.162)

S – крутість стокосазлонної характеристики. Її визначення за допомогою формули (4.162) показано на рис. 4.78.

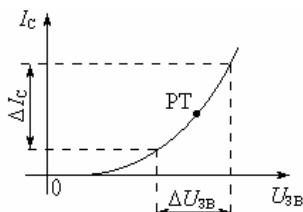


Рис. 4.78. До визначення крутості

Вихідна потужність підсилювача становить

$$P_{\text{вих}} = \frac{1}{2} I_{mC}^2 R_C. \quad (4.163)$$

З визначення крутості (4.162) маємо

$$P_{\text{вих}} = \frac{1}{2} S^2 U_{mЗВ}^2 R_C. \quad (4.164)$$

Отже, коефіцієнт підсилення (4.161) і вихідна потужність (4.164) однозначно визначаються крутістю S .

4.5.6. Частотні властивості підсилювачів на ПТ

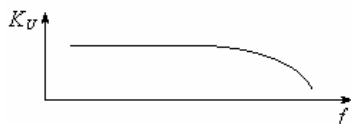


Рис. 4.79. АЧХ підсилювача

Частотні властивості підсилювача оцінюються амплітудно-частотною характеристикою (АЧХ) (рис. 4.79), з якої видно, що з підвищенням частоти коефіцієнт підсилення зменшується. Це зменшення пояснюється тим, що з підвищенням частоти f зменшується крутість S через наявність паразитних ємностей між електродами транзистора $C_{ЗВ}$, $C_{ЗС}$ і $C_{СВ}$ (рис. 4.80).

На низьких частотах опір ємності

$$X_C = \left| \frac{1}{\omega C} \right| \text{ відносно великий і не впливає на}$$

напругу між електродами. З підвищенням частоти $\omega = 2\pi f$ зменшується опір X_C , внаслідок чого зменшуються напруги між електродами і тому зменшується крутість

$$S = \frac{S_0}{1 + j \frac{\omega}{\omega_S}}, \quad (4.165)$$

Рис. 4.80. Паразитні ємності МОН-транзистора

де S – крутість на поточній частоті ω ;

S_0 – крутість на низькій частоті $\omega_n \ll \omega_S$;

ω_S – гранична частота прямого передавання.

Визначимо ω_S . Якщо $\omega = \omega_S$, то модуль крутості становить

$$|S| = \frac{S_0}{\sqrt{2}}, \quad (4.166)$$

тобто граничною є частота, на якій модуль крутості зменшується в $\sqrt{2}$ разів.

За таким значенням зменшується й коефіцієнт підсилення K_U (4.161).

4.5.7. Режими підсилювачів

Режимом називається сукупність напруг та струмів електродів транзистора, які визначають місцеположення робочої точки.

У залежності від місцеположення робочої точки та форми сигналу, яку треба одержати, підсилювач може працювати в режимах *A*, *B*, *C*, *D* та *E*, а також у комбінованих режимах, наприклад *AB*.

4.5.7.1. Режим *A*

У режимі *A* робоча точка РТ (точка спокою) лежить на середині ділянки 1–2 лінії навантаження (рис. 4.81), через що відтворюються обидві напівхвилі сигналу: і позитивна, і негативна.

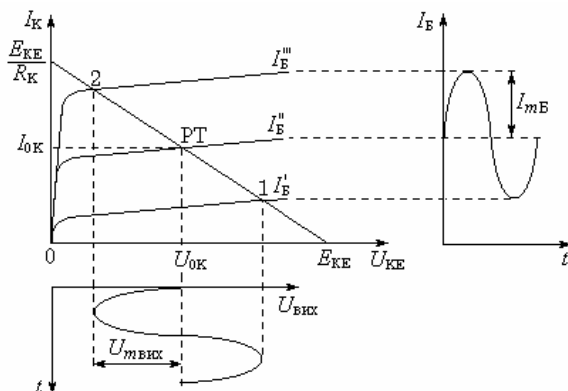


Рис. 4.81. Діаграма роботи підсилювача в режимі *A*

Тому спотворення сигналу в режимі *A* найменші. У цьому значна перевага режиму *A* і через це режим *A* використовується переважно у входних та вимірвальних підсилювачах.

Не зважаючи на важливі переваги режиму *A*, він має суттєві недоліки, основні з яких наступні:

- щоб відтворити обидві напівхвилі, напруга живлення E_{KE} має перевищувати амплітуду сигналу вдвічі ($E_{KE} > 2U_{mВК}$), тобто бути відносно високою;
- велике струмоспоживання зумовлене тим, що в робочій точці струм I_{0K} протікає завжди, незалежно від наявності чи відсутності сигналу;
- малий коефіцієнт корисної дії (ККД), максимальне значення якого не перевищує 25% (див. п. 4.4.9.1)

Тому режим *A* доцільно використовувати тільки в малопотужних каскадах, наприклад, у входних, де потужність незначна.

Основною причиною малого ККД є великий струм спокою I_{0K} (див. рис. 4.81), який протікає незалежно від того, чи є сигнал, чи його нема,

великий він чи малий. Якби здійснити залежність I_{0K} від амплітуди сигналу, то ККД можна було б збільшити. Це реалізується у режимі B .

Щодо схем підсилювачів режиму A , то ними є усі, що розглянуті раніше.

4.5.7.2. Режим B

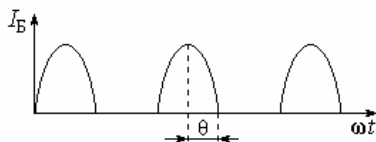


Рис. 4.82. Форма струму бази в режимі B

Режим B характеризується так званим *кутом відсікання* θ . Для режиму B кут відсікання становить $\theta = \frac{\pi}{2}$ (рис. 4.82).

Це означає, що в одному підсилювачі підсилюється тільки одна з двох напівхвиль сигналу.

Щоб відтворити повністю сигнал, треба мати ще один інший підсилювач, тобто підсилювач режиму B має бути двоканальним.

З діаграми роботи одного з двох каналів, що наведена на рис. 4.83 видно, що для здійснення режиму B , робоча точка РТ має вибиратися на характеристиці $I_{0B} = 0$.

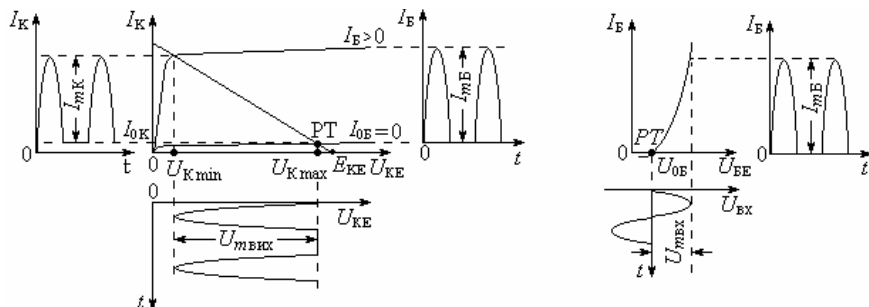


Рис. 4.83. Діаграма роботи підсилювача в режимі B

Знайдемо ККД підсилювача в режимі B . Він визначається, як і в режимі A :

$$\eta_B = \frac{P_{\text{вих}}}{P_{\text{вт}}} \quad (4.167)$$

Зважаючи на те, що на виході підсилювача діє лише одна напівхвиля, вихідну потужність одного підсилювача знайдемо, як

$$P_{\text{вих}} = \frac{1}{4} \frac{U_{\text{мвих}}^2}{R_K} \quad (4.168)$$

Потужність витрат становить

$$P_{вт} = E_K I_{0K}. \quad (4.169)$$

Постійна складова колекторного струму залежить від амплітуди струму колектора і визначається, як

$$I_{0K} = \frac{I_{mK}}{\pi}, \quad (4.170)$$

З урахуванням того, що $U_{мвих} \approx E_{KE}$, амплітуда колекторного струму становить

$$I_{mK} \cong \frac{E_K}{R_K}. \quad (4.171)$$

На підставі формул (4.167) ... (4.171) знаходимо, що в режимі *B* максимальний ККД становить

$$\eta_B = \frac{\pi}{4} = 0,75, \quad (4.172)$$

тобто втричі більше, ніж у режимі *A*.

Схема підсилювача режиму *B* наведена на рис. 4.84.

Тут *VT1* та *VT2* – транзистори, на яких створені відповідно перший та другий канали підсилення.

Подільники *R1*, *R2* та *R4*, *R3* створюють напруги живлення баз, $U_{B1} = U_{OB}$ та $U_{B2} = U_{OB}$ (див. рис. 4.83), тобто визначають робочі точки, в яких транзистори *VT1* та *VT2* виводяться на межі відкриття.

За допомогою змінного резистора *R5* симетрують канали.

Підсилювач режиму *B* працює наступним чином.

У початковому стані, тобто за відсутності сигналу ($U_{вх} = 0$) обидва транзистори *VT1* та *VT2* закриті. Тому за відсутності сигналу, наприклад, у паузах, струму I_K немає.

Через це додатково підвищується ККД, тому що при $I_K = 0$ підсилювач не споживає енергії.

З поданням сигналу напруги обмоток W_1 та W_2 протилежні. Якщо, наприклад, напруга обмотки W_1 позитивна, то транзистор *VT1* відкритий, а *VT2* – закритий. Через це в інтервалі моментів $t_1 \dots t_2$ (рис. 4.85) на виході U_{K1} сигнал є, а на виході U_{K2} сигналу немає.

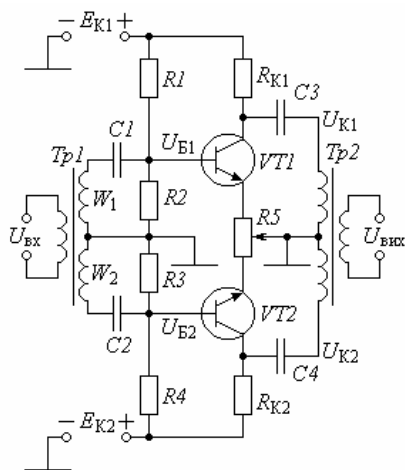


Рис. 4.84. Принципова схема підсилювача режиму *B*

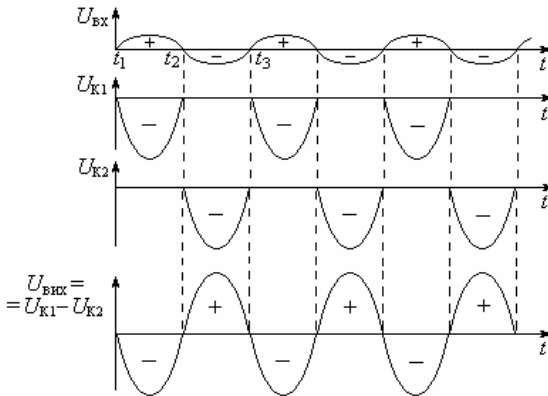


Рис. 4.85. Відтворення сигналу в підсилювачі режиму *B*

Через напівперіод полярність вхідного сигналу зміниться на протилежну. Тому напруга обмотки W_2 стане позитивною і відкриє транзистор $VT2$, а негативна напруга обмотки W_1 закриє транзистор $VT1$. Тому в інтервалі моментів $t_2 \dots t_3$ на виході U_{K2} сигнал є, а на виході U_{K1} сигналу немає. Різниця потенціалів U_{K1} та U_{K2} відтворює повний вихідний сигнал $U_{\text{вих}} = U_{K1} - U_{K2}$ без будь-яких спотворень.

4.5.7.3. Режим *C*

Режим *C* визначається таким вибором робочої точки, за якого кут відсікання становить $\theta < \frac{\pi}{2}$ (рис. 4.86).

Цей режим можна здійснити, якщо в схемі, яка наведена на рис. 4.83, вилучити резистор RI .

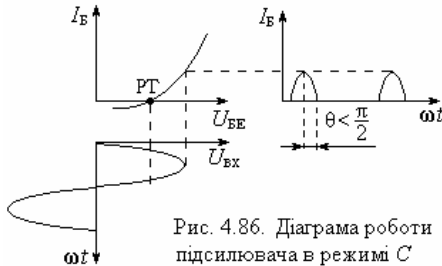


Рис. 4.86. Діаграма роботи підсилювача в режимі *C*

Режим *C* створює значну частку вищих гармонік ($2\omega, 3\omega \dots$) і тому в резистивних підсилювачах не використовується. Він забезпечує високий ККД у підсилювачах та автогенераторах, які містять коливальні системи. Тому далі режим *C* буде розглядатися при вивченні автогенераторів.

4.5.7.4. Режим *D*

Режим *D* називається ще *ключовим*, тому що в ньому транзистор виконує роль ключа, тобто він або повністю відкритий і замикає коло, або

повністю закритий і саме тим розриває коло.

У відкритому стані транзистора через нього протікає значний струм, а напруга на транзисторі мала. У закритому стані майже вся напруга живлення падає на транзисторі, а струм дуже малий. Тому як у закритому, так і у відкритому станах транзистора втрати підсилювача режиму D нехтовно малі, через що ККД значний і перевищує 90%.

Режим D характеризується тим, що вихідним сигналом $U_{\text{вих}}$ підсилювача є прямокутні біполярні імпульси (рис. 4.87).

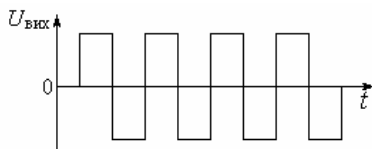


Рис. 4.87. Часова діаграма роботи підсилювача режиму D

Підсилення гармонічних сигналів у режимі D неможливе.

Перевагою режиму D є високий ККД, а недоліком є біполярні імпульси, що потребує ускладнення схеми підсилювача через потребу двох різнополярних джерел живлення. Цього недоліку позбавлені підсилювачі режиму E .

4.5.7.5. Режим E

Режим E , як і режим D , обробляє сигнали тільки прямокутної форми і має високий ККД, який досягає 90 – 95%.

Режим E характеризується тим, що вихідним сигналом $U_{\text{вих}}$ підсилювача є прямокутні однополярні імпульси (рис. 4.88), через що підсилювач живиться тільки від одного джерела.

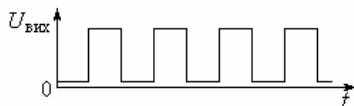


Рис. 4.88. Часова діаграма роботи підсилювача режиму E

Через цю однополярність вихідного сигналу режим E здобув найширшого розповсюдження в цифрових схемах, які розглядатимуться нижче в розділах 8 ... 13.

Контрольні питання

4.1. Наведіть схему підсилювача на тріоді та поясніть наявність підсилення.

4.2. Наведіть схему підсилювача на пентоді та поясніть наявність підсилення.

4.3. Поясніть вибір робочої точки для неспотвореного підсилення.

4.4. Наведіть умовні позначення біполярних транзисторів типів $p-n-p$ та $n-p-n$.

4.5. Наведіть структуру біполярних транзисторів типів $p-n-p$ та $n-p-n$.

4.6. Наведіть основні схеми включення біполярних транзисторів типів $p-n-p$ та $n-p-n$ з СБ та СЕ.

4.7. Перелічіть струми транзистора.

4.8. Наведіть вирази для коефіцієнтів передавання струму в схемах з

СБ та СЕ.

4.9. Наведіть вхідні та вихідні ВАХ для схем з СБ та СЕ і поясніть їхній хід.

4.10. Поясніть ефект Ерлі.

4.11. Наведіть схему підсилювача на біполярному транзисторі з СЕ.

4.12. Поясніть методику розрахунку коефіцієнтів підсилення напруги

K_U , струму K_I та потужності K_P .

4.13. Поясніть вибір робочої точки.

4.14. Поясніть критерій вибору напруги живлення колекторного кола

$E_{КЕ}$ в залежності від амплітуди вихідної напруги $U_{m \text{ вих.}}$.

4.15. Наведіть схему підсилювача зі спільною базою.

4.16. Визначте фізичний смисл h -параметрів.

4.17. Поясніть методику розрахунку h -параметрів.

4.18. Порівняйте h -параметри для схем з СБ та СЕ.

4.19. Наведіть співвідношення між α та β .

4.20. Наведіть еквівалентну схему транзистора зі спільною базою.

4.21. Наведіть еквівалентну схему транзистора зі спільним емітером.

4.22. Дайте визначення режимів транзистора активного, насичення та відсікання.

4.23. Наведіть схеми включення транзистора в режимах активному, насичення та відсікання.

4.24. Наведіть схему підсилювача на польовому транзисторі з керуючим переходом.

4.25. Наведіть схему підсилювача на польовому транзисторі з індукованим каналом.

4.26. Наведіть схему підсилювача на польовому транзисторі з вбудованим каналом.

4.27. Поясніть вплив вибору робочої точки на спотворення сигналу.

4.28. Поясніть вибір робочої точки для неспотвореного підсилення.

4.29. Поясніть критерій вибору напруги живлення стокового кола $E_{СВ}$ в залежності від амплітуди вихідної напруги $U_{m \text{ вих.}}$.

4.30. Наведіть АЧХ підсилювача.

4.31. Поясніть спад коефіцієнта підсилення на високих частотах.

4.32. Дайте визначення граничних частот.

4.33. Поясніть вплив вибору робочої точки на спотворення сигналу.

4.34. Дайте визначення коефіцієнта гармонік.

4.35. Поясніть вплив температури на якість підсилення.

4.36. Поясніть пробої транзисторів.

4.37. Перелічіть види шумів.

4.38. Поясніть вибір робочої точки для здійснення режиму A .

4.39. Поясніть вибір робочої точки для здійснення режиму B .

4.40. Порівняйте ККД в режимах A і B .

Рекомендована література

- 4.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 43 – 103.
- 4.2. Батушев В.А. Электронные приборы: [учебник для вузов] / В.А. Батушев – М.: Высшая школа, 1980. – 383 с.
- 4.3. Пасынков В.В. Полупроводниковые приборы: [учебник для вузов] / В.В. Пасынков, Л.К. Чиркин – М.: Высшая школа, 1987. – 479 с.
- 4.4. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – 512 с.
- 4.5. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – 598 с.
- 4.6. Электронные приборы: [учебник для вузов] / Дулин В.Н, Аваев Н.А., Дёмин В.П. и др.: под ред. Г.Г. Шишкина. – М.: Энергоатомиздат, 1989. – 495 с.
- 4.7. Остапенко Г.С. Усилительные устройства: учебное пособие для вузов / Г.С. Остапенко– М.: Радио и связь, 1989. – 400 с.

Розділ 5

КЛЮЧІ

Ключі в основному призначені для замикання та розмикання електричних кіл, а також для переключення струму з одного кола в інше.

Ключі бувають *аналоговими* та *дискретними*.

5.1. Розгалужувальні з'єднання

Розгалужувальне з'єднання є аналоговим перемикачем і призначене для переключення струму з одного кола в інше, тобто є аналоговим ключем.

Два, наприклад, діоди можуть бути з'єднанням послідовним (рис. 5.1,а), паралельним (рис. 5.1,б) та *розгалужувальним* (рис. 5.1,в).

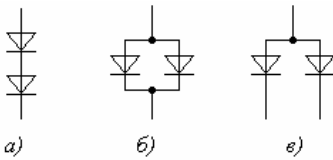


Рис. 5.1. З'єднання діодів:
а – послідовне; б – паралельне;
в – розгалужувальне

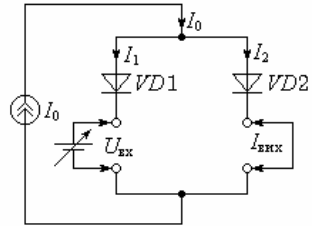


Рис. 5.2. Симетричне РЗ

Розгалужувальне з'єднання РЗ є плавним перемикачем струму з одного кола *VD1* в інше *VD2* і навпаки (рис. 5.2). Для здійснення цього перемикання РЗ має живитися незмінним струмом $I_0 = \text{const}$.

Розгалужувальне з'єднання працює наступним чином.

За законом Кірхгофа сума струмів його кіл є величиною сталою:

$$I_1 + I_2 = I_0 = \text{const.} \quad (5.1)$$

У початковому стані ($U_{\text{вк}} = 0$) струми кіл однакові

$$I_1 = I_2 = \frac{I_0}{2}. \quad (5.2)$$

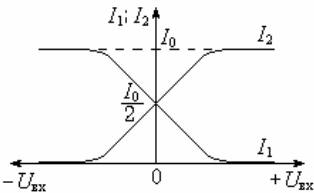


Рис. 5.3. ВАХ симетричного РЗ

За наявності вхідної напруги ($U_{\text{вк}} > 0$) діод *VD1* зміщується у зворотному напрямі, а *VD2* – у прямому. Тому *VD1* закривається, зменшуючи I_1 , а *VD2* відкривається, на стільки ж збільшуючи I_2 (рис. 5.3). Якщо змінити полярність ($U_{\text{вк}} < 0$), то діод *VD1* буде під прямою напругою, а *VD2* – під зворотною, через що I_1 збільшується, а I_2 зменшується. Так здійснюється переключення струму з одного кола в інше.

РЗ бувають симетричними (див. рис. 5.2) та несиметричними (рис. 5.4).

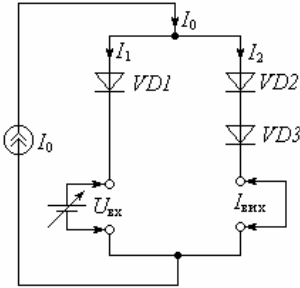


Рис. 5.4. Несиметричне РЗ

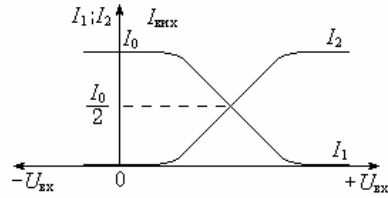


Рис. 5.5. ВАХ несиметричного РЗ

Несиметричність створює третій діод $VD3$. Через нього точка перекомутації $\frac{I_0}{2}$ зсувається “праворуч” від напруги $U_{вх} = 0$ (рис. 5.5). Зсув точки перекомутації $\frac{I_0}{2}$ пояснюється тим, що доки $U_{вх}$ не перевищить подвійну пряму напругу на двох діодах $VD2$ та $VD3$ ($U_{вх} > 2U_{пр}$), діод $VD1$ і РЗ у цілому не керуються. Врешті несиметричне РЗ діє таким самим чином, як і симетричне.

Визначимо, яке з них де використовувати.

З діаграм, які наведені на рис. 5.6, видно, що симетричне РЗ сприймає скільки завгодно слабкий сигнал (рис. 5.6,а), бо за будь-якої амплітуди $U_{мвх1}$ є змінення струмів $\Delta I > 0$, а несиметричне РЗ на ту ж саму амплітуду $U_{мвх1}$ не реагує, тобто $\Delta I = 0$ (рис. 5.6,б).

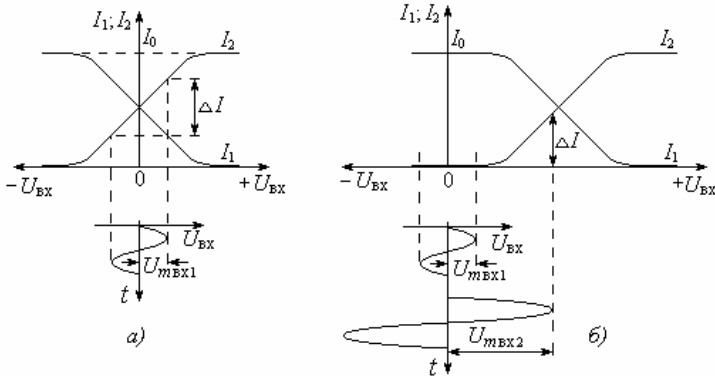


Рис. 5.6. Діаграма роботи РЗ: а – симетричного; б – несиметричного

Щоб з’явилося змінення струмів $\Delta I > 0$, необхідне збільшення амплітуди вхідної напруги до $U_{мвх2}$.

Таким чином, симетричне РЗ слід використовувати в аналогових

схемах, зокрема в підсилювачах, де сигнали слабкі, а несиметричне – в цифрових схемах, де сигнали тільки сильні.

Оскільки несиметричне РЗ не сприймає малі напруги, то воно забезпечує досить високу завадостійкість цифрових схем.

5.2. Ключі на біполярних транзисторах

Ключі призначені для обробки цифрових сигналів.

Цифровий сигнал – дискретний або квантований, тобто він містить лише дискретні рівні.

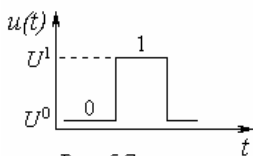


Рис. 5.7.

Двійковий сигнал

Найбільш розповсюдженим є двійковий сигнал. Він складається лише з двох рівнів напруги, струму, частоти або фази, які кодуються символами “0” та “1”. Найчастіше використовують двійкову напругу (рис. 5.7), де U^0 – її низький рівень, який є логічним нулем “0”, а U^1 – високий рівень, який є логічною одиницею “1”.

Ці рівні обробляє транзисторний ключ в якому біполярний транзистор працює в ключовому режимі, що складається з режиму насичення та режиму відсікання.

У режимі насичення транзистор повністю відкритий, тобто пропускає колекторний струм, а в режимі відсікання транзистор повністю закритий, тобто колекторний струм практично відсутній.

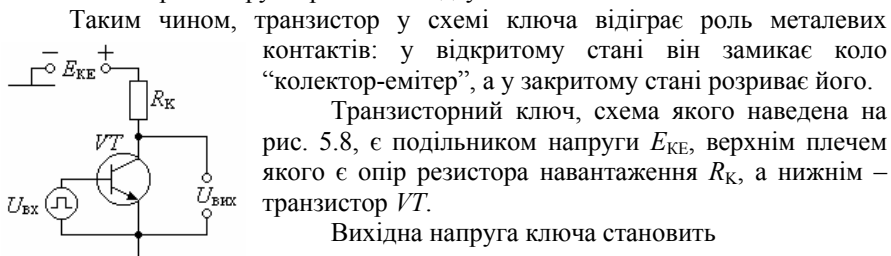


Рис. 5.8.

Транзисторний ключ

Таким чином, транзистор у схемі ключа відіграє роль металевих контактів: у відкритому стані він замикає коло “колектор-емітер”, а у закритому стані розриває його.

Транзисторний ключ, схема якого наведена на рис. 5.8, є подільником напруги E_{KE} , верхнім плечем якого є опір резистора навантаження R_K , а нижнім – транзистор VT .

Вихідна напруга ключа становить

$$U_{\text{вих}} = E_{KE} \frac{R_{VT}}{R_K + R_{VT}}, \quad (5.3)$$

де R_{VT} – опір ділянки “колектор – емітер” транзистора VT .

У відкритому стані транзистора VT його опір нехтовно малий: $R_{VT} \ll R_K$, через що з (5.3) одержуємо $U_{\text{вих}} \approx 0$. Така напруга є логічним нулем:

$$U^0 \approx 0. \quad (5.4)$$

У закритому стані транзистора VT його опір великий: $R_{VT} \gg R_K$, через що з (5.3) одержуємо $U_{\text{вих}} \approx E_{KE}$. Така напруга є логічною одиницею:

$$U^1 \approx E_{KE}. \quad (5.5)$$

Принципова схема ключа на біполярному транзисторі наведена на рис. 5.9.

Тут ДС ($VT1$) – джерело сигналу;
 $U_{вх}$ та $U_{вих}$ – відповідно вхідна та вихідна напруги;

$E_{КЕ}$ – напруга живлення;

$I_{вх}$ – вхідний струм;

I_B та I_K – струми відповідно бази та колектора;

R_K – опір навантаження;

$R1$ та $R2$ – резистори в колі бази.

Принцип дії транзисторного ключа наступний.

Джерелом сигналу ДС є транзистор $VT1$, який може знаходитись в одному з двох станів: або відкритому, або закритому. Він сумісно з резистором $R2$ створює несиметричне розгалужувальне з'єднання, причому $R2 \gg R_{VT}$. Через це струм I_1 може цілком відгалужуватись або в коло бази, створюючи струм I_B і саме тим відкривати $VT2$, або у вхідне коло, створюючи $I_{вх}$ і саме цим знеструмлюючи базу, тобто закривати $VT2$.

Щоб точніше виконувались співвідношення (5.4) та (5.5), транзистор ключа $VT2$ має працювати в ключовому режимі, який складається з режиму насичення РН та режиму відсікання РВ (рис. 5.10).

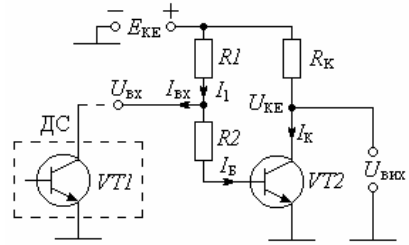


Рис. 5.9. Принципова схема транзисторного ключа

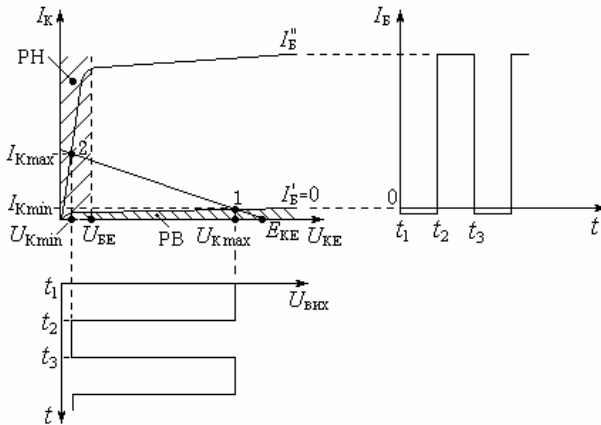


Рис. 5.10. Діаграма роботи транзисторного ключа

Критеріями режиму насичення є

$$U_{КЕ} < U_{БЕ}, \quad (5.6)$$

а режиму відсікання –

$$I_B < 0. \quad (5.7)$$

Знайдемо вихідну напругу $VT2$, яка за законом Кірхгофа становить

$$U_{\text{вих}} = E_{\text{КЕ}} - I_{\text{К}} R_{\text{К}}. \quad (5.8)$$

У початковому стані в інтервалі моментів $t_1 < t < t_2$ (рис. 5.10) транзистор $VT1$ (рис. 5.9) джерела сигналу ДС відкритий, через що $U_{\text{вх}} = 0$. Вхідний струм $I_{\text{вх}}$ відгалужується в колектор $VT1$, і база $VT2$ знеструмлена (режим відсікання): $I_{\text{Б}} \approx 0$ (точка 1). Тому струм колектора $I_{\text{К}} = \beta I_{\text{Б}}$ також мінімальний $I_{\text{Кmin}}$. Підставляючи $I_{\text{Кmin}}$ в (5.8), одержуємо

$$U_{\text{КЕmax}} = E_{\text{КЕ}} - I_{\text{Кmin}} R_{\text{К}} \approx E_{\text{КЕ}}, \quad (5.9)$$

тобто при мініальному (нульовому) струмі колектора $I_{\text{Кmin}}$ падіння напруги $I_{\text{Кmin}} R_{\text{К}}$ на опорі навантаження $R_{\text{К}}$ мале і вихідна напруга максимальна (одинична).

Коли $VT1$ закриється (інтервал моментів $t_2 < t < t_3$), то вхідна напруга $U_{\text{вх}}$ стане одиничною. Вхідний струм $I_{\text{вх}}$ не відгалужується, і база $VT2$ знаходиться під великим (одиничним) струмом $I_{\text{Б}}$, тобто в режимі насичення (точка 2). Тому струм колектора також великий $I_{\text{Кmax}} \approx \frac{E_{\text{КЕ}}}{R_{\text{К}}}$. Підставляючи останнє співвідношення в (5.8), одержуємо

$$U_{\text{КЕmin}} = E_{\text{КЕ}} - I_{\text{Кmax}} R_{\text{К}} \approx 0, \quad (5.10)$$

тобто при максимальному (одиничному) струмі колектора $I_{\text{Кmax}}$ падіння напруги $I_{\text{Кmax}} R_{\text{К}}$ на опорі навантаження $R_{\text{К}}$ велике, і вихідна напруга мінімальна (нульова). Так на виході ключа створюються два рівні сигналу: *нульовий* і *одиничний* (з поворотом фази на 180°).

В обох режимах (насичення та відсікання) потужність, яка розсіюється колектором, нехтовно мала:

$$P_{\text{Кнас}} = I_{\text{Кmax}} U_{\text{Кmin}}, \quad (5.11)$$

$$P_{\text{Квідс}} = I_{\text{Кmin}} U_{\text{Кmax}}. \quad (5.12)$$

У режимі насичення $P_{\text{Кнас}} \rightarrow 0$ через малу напругу колектора $U_{\text{Кmin}} < 0,7 \text{ В}$, а в режимі відсікання $P_{\text{Квідс}} \rightarrow 0$ через малий струм $I_{\text{Кmin}} \rightarrow 0$. Тому в ключовому режимі на колекторі розсіюється нехтовно мала потужність, через що ККД ключа великий і досягає 90 – 95%.

5.2.1. Насичення ключа

Слід звернути увагу на те, що в режимі насичення вихідна напруга $U_{\text{вих}}$ практично не залежить від амплітуди вхідного сигналу через те, що струм $I_{\text{Кmax}}$ не залежить від струму бази $I_{\text{Б}}$. Дійсно, струми бази $I_{\text{Б}(S>1)}$ та $I_{\text{Б}(S=1)}$ створюють практично один і саме той струм колектора $I_{\text{Кmax}}$ (рис. 5.11).

Щодо змінення I_B , то воно, не викликаючи змін колекторного струму I_K та вихідної напруги U_{KE} , впливає на так званий *коефіцієнт насичення* S , яким є відношення будь-якого струму I_B до того струму бази $I_{B(S=1)}$, що розмежовує режими насичення, та активний:

$$S = \frac{I_B}{I_{B(S=1)}} \quad (5.13)$$

Знайдемо параметри, які визначають коефіцієнт насичення S , для чого виразимо $I_{B(S=1)}$ через E_{KE} та R_K .

На резисторі R_K падає напруга $E_{KE} - U_{Kнас}$. Зважаючи на те, що $U_{Kнас} \ll E_{KE}$, а $I_{Kmax} = \beta I_{B(S=1)}$, маємо

$$S = \frac{\beta I_B R_K}{E_{KE}} \quad (5.14)$$

При $S < 1$ спостерігається активний режим, а при $S > 1$ – режим насичення.

Чим більше струм бази I_B , тим вище коефіцієнт насичення S . Необхідний струм бази I_B забезпечується вибором опорів резисторів у колі бази $R1$ та $R2$ (див. рис. 5.3). Так, зменшення цих опорів підвищує I_B і саме тим збільшує S .

5.2.2. Завадостійкість ключа

Коефіцієнт насичення S суттєво впливає на завадостійкість ключа, а саме: збільшення S підвищує завадостійкість. Це пояснює рис. 5.12.

Якщо струм бази становить $I_B = I_{B(S=1)}$, то коефіцієнт насичення $S = 1$ і режим визначається точкою 1. Зменшення струму бази $I_{B(S=1)}$ на ΔI_B через дію якоїсь завади виводить транзистор з режиму насичення в активний режим (точка 2). При цьому вихідна напруга ключа змінюється від U_{K1} до U_{K2} , тобто завада змінює вихідну напругу.

Коли ж струм бази $I_B = I_{B(S > 1)}$, тобто $S > 1$, то зменшення струму $I_{B(S > 1)}$ на саме ту ж величину ΔI_B не змінює місцеположення точки 1, через що вихідна напруга також не змінюється. Так, збільшення коефіцієнта насичення S підвищує завадостійкість ключа.

Проте не слід вважати, що підвищення S може бути нескінченним. Збільшення S , підвищує завадостійкість, але при цьому знижує швидкодію ключа. Тому вибір коефіцієнта насичення S має бути компромісним.

5.2.3. Швидкодія ключа

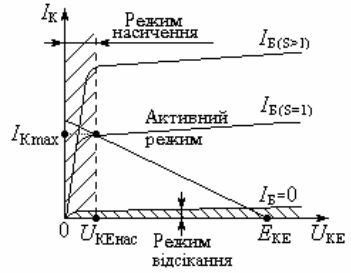


Рис. 5.11. До визначення коефіцієнта насичення

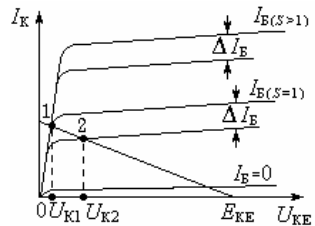


Рис. 5.12. Вплив насичення на завадостійкість ключа

Оцінимо вплив коефіцієнта насичення S на тривалість перехідних процесів, тобто на швидкодію ключа.

На рис. 5.13 наведена часова діаграма роботи транзисторного ключа, з якої видно наступне.

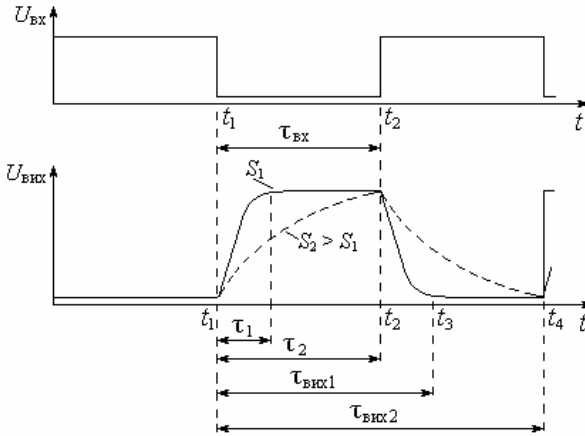


Рис. 5.13. Часова діаграма роботи транзисторного ключа

Якщо вхідний імпульс $U_{\text{вх}}$ має нескінченно стрімкі фронти (їхня тривалість наближається до нуля), то в залежності від коефіцієнта насичення S тривалість фронтів вихідного імпульсу $U_{\text{вих}}$ досягає τ_1 при S_1 та $\tau_2 > \tau_1$ при $S_2 > S_1$. Так підвищення насичення ключа затягує фронти, тобто знижує швидкодію.

Це пояснюється тим, що до моменту t_1 рівень $U_{\text{вх}}$ був високим, транзистор – відкритим і в його базі накопичились рухомі носії заряду. У момент t_1 з поданням низького рівня $U_{\text{вх}}$ транзистор мав закритися, але це станеться лише через час τ_1 , коли накопичений заряд зникне. Якщо коефіцієнт насичення збільшити до S_2 , то концентрація накопичених зарядів у базі зросте і тому тривалість фронту затягнеться аж до τ_2 .

У момент t_2 рівень $U_{\text{вх}}$ змінюється на високий і транзистор мав відкритися, але це станеться пізніше в момент t_3 при S_1 , або в момент t_4 при S_2 , коли в базі накопичаються рухомі носії заряду.

Отже, при тривалості $\tau_{\text{вх}}$ вхідного імпульсу $U_{\text{вх}}$, вихідний імпульс $U_{\text{вих}}$ розтягується до $\tau_{\text{вих1}}$ при $S = S_1$ і до $\tau_{\text{вих2}}$ при $S = S_2$. Доки не зникне даний імпульс на виході, наступного вхідного імпульсу подавати не можна, тобто швидкодія ключа зменшується.

Таким чином, незважаючи на те, що збільшення коефіцієнта насичення підвищує завадостійкість, глибина насичення S має бути обмежена, бо стримує швидкодію. Тому на практиці S не перевищує 10.

5.2.4. Недоліки ключа на біполярному транзисторі

Першим недоліком є те, що біполярний транзистор ніколи не закривається до кінця. Через колекторний перехід закритого транзистора завжди протікає його тепловий струм $\beta I_{КБ0}$, який створює на опорі навантаження падіння напруги $\beta I_{КБ0} R_C$, через що вихідна одинична напруга $U_{Кmax}$ не досягає напруги живлення $E_{КЕ}$ на цю величину (див. рис. 5.10).

Другий недолік полягає в тому, що база і колектор мають гальванічний зв'язок через наявність струму $\beta I_{КБ0}$. Цей зв'язок зумовлює проникнення частки вхідної напруги до виходу, що в прецизійних ключах викликає похибку.

Згаданих недоліків позбавлені ключі на польових транзисторах.

5.3. Ключі на польових транзисторах

Ключі на *польових транзисторах*, як і на біполярних, призначені для обробки цифрових сигналів. Ключ на польовому транзисторі, як і на біполярному, є подільником напруги, у верхньому плечі якого опір навантаження R_C , а в нижньому – транзистор VT (рис. 5.14).

Тут $U_{вх}$ та $U_{вих}$ – відповідно вхідна та вихідна напруги;

VT – польовий транзистор;

$E_{СВ}$ – напруга живлення;

$U_{ЗВ}$ – напруга “заслін-витік”;

$U_{СВ}$ – напруга “стік-витік”;

I_C – струм стоку;

R_C – опір навантаження;

R_3 – резистор у колі заслону.

Щоб уникнути недоліків за п. 5.2.4, транзистор VT вибирають з ізольованим заслоном для гальванічної розв'язки між заслоном та стоком.

Ключ на польовому транзисторі працює наступним чином.

Знайдемо вихідну напругу, яка за законом Кірхгофа становить

$$U_{вих} = E_{СВ} - I_C R_C. \quad (5.15)$$

З діаграми роботи ключа (рис. 5.15) видно наступне.

У початковому стані в інтервалі моментів $t_0 \dots t_1$ вхідна напруга дорівнює нулю $U_{вх} = 0$, через що напруга заслону також нульова $U_{ЗВ} = 0$. Тому транзистор закритий, тобто струм стоку відсутній. Підставляючи $I_C = 0$ в (5.15), одержуємо $U_{вих} = E_{СВ}$.

Так, якщо вхідна напруга нульова, то вихідна напруга максимальна $U_{СВmax}$, тобто одинична (точка 1), бо падіння напруги $I_C R_C$ на опорі навантаження R_C дорівнює нулю.

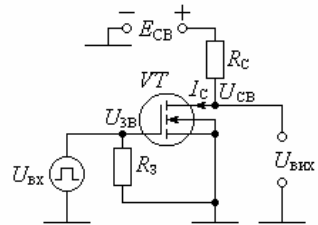


Рис. 5.14. Схема ключа на польовому транзисторі

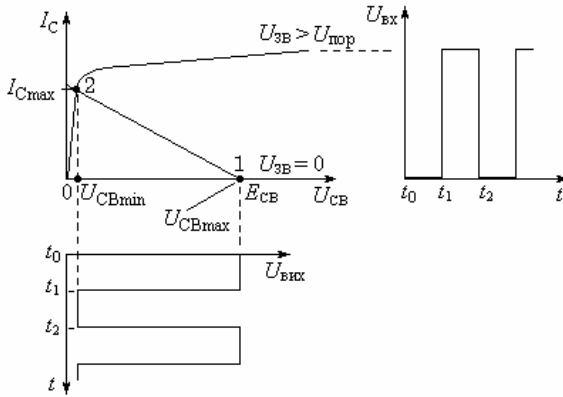


Рис. 5.15. Діаграма роботи ключа на польовому транзисторі

В інтервалі моментів $t_1 - t_2$ вхідна напруга одинична і, якщо вона більше порога $U_{пор}$, то напруга заслону також перевищує поріг: $U_{зв} > U_{пор}$, через що транзистор відкривається, тобто з'являється максимальний струм стоку $I_{Cmax} \approx \frac{E_{CB}}{R_C}$. Підставляючи останнє співвідношення в (5.15), одержуємо

$$U_{вих} = U_{CBmin} = E_{CB} - I_{Cmax}R_C \approx 0, \tag{5.16}$$

тобто при одиничній вхідній напрузі струм стоку максимальний, через що падіння напруги $I_{Cmax}R_C$ на опорі навантаження R_C велике, і вихідна напруга мінімальна (практично нульова).

Так на виході ключа створюються два рівня сигналу: *одиничний* і *нульовий* з поворотом фази на 180° .

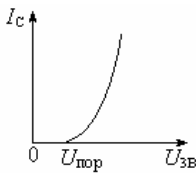


Рис. 5.16. ВАХ МОН-транзистора

У ключовому режимі на польовому транзисторі, як і на біполярному, розсіюється нехтовно мала енергія $P_C = U_{CB}I_C$, бо коли є струм I_{Cmax} , то напруга стоку мінімальна U_{CBmin} . Коли ж напруга стоку максимальна, то струм стоку $I_C = 0$.

Щодо вибору типу МОН-транзистора, то він має бути з індукованим каналом. Це пояснює його ВАХ прямого передавання (рис. 5.16), з якої видно, що напруга заслону $U_{зв}$ має поріг $U_{пор}$. Цей поріг

забезпечує підвищену заводостійкість, бо напруга завади, яка менша за $U_{пор}$, не відкриває транзистор, тобто не сприймається ключем.

Щодо швидкодії ключа, то вона обмежується тривалістю перехідних процесів, які зумовлені міжелектродними ємностями та часом індукування (створення та усунення) каналу. Через це форма імпульсів має ті ж самі спотворення, що й в ключах на БТ, але час включення $\tau_{вкл}$ та виключення $\tau_{викл}$ (рис. 5.17) для МОН-транзисторів менші, бо немає накопичення носіїв заряду, як у базі БТ. Тому швидкодія ключів на МОН-транзисторах вища.

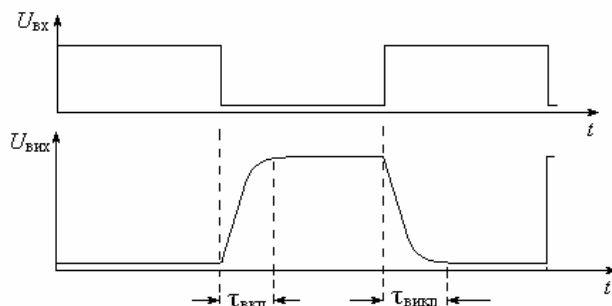


Рис. 5.17. Часова діаграма роботи ключа на ПТ

Ключі на МОН-транзисторах мають багато переваг, основними з яких є:

- високий (практично нескінченний) вхідний опір не навантажує джерело сигналу;
- повна гальванічна розв'язка вхідного та вихідного кіл;
- висока швидкодія через відсутність накопичування зарядів;
- висока економічність через можливість використання багатоомних опорів R_C ;
- простота через відсутність живлення вхідного кола (заслону).

Ці переваги забезпечили найширше розповсюдження ключів на МОН-транзисторах з індукованим каналом.

5.4. Ключі на тиристорах

Тиристор, умовне позначення якого наведене на рис. 5.18,а, призначений для включення опору навантаження під напругу, коли вона досягне заданого порогу.

Тиристри бувають двоелектродними, триелектродними та чотириелектродними.

Найбільшого розповсюдження набули триелектродні тиристри. Тому інші тут не розглядаються.

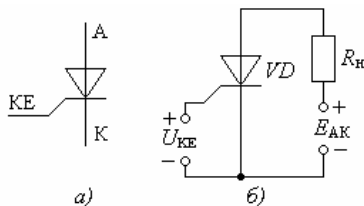


Рис. 5.18. Тиристор:
а – умовне позначення,
б – схема включення

Триелектродний тиристор має три електроди: *анод А*, *катод К* та *керуючий електрод КЕ* (рис. 5.18,а). Умовне позначення на основі діода вказує на те, що тиристор має вентильні властивості, тобто односторонню провідність і за своєю функцією є діодом.

Керуючий електрод визначає порогову напругу анода, під якою тиристор починає проводити струм. Отже, тиристор є *керованим діодом*.

Тиристри використовуються в керованих випрямлячах для регулювання випрямленої напруги, а також в інших регуляторах.

Розглянемо роботу ключа на тиристрі, схема якого наведена на рис. 5.18,б.

Робота ключа полягає в тому, що опір навантаження R_n включається під напругу E_{AK} , коли вона досягне заданого порогу.

Схема ключа з розгорненою структурою тиристора під напругою наведена на рис. 5.19.

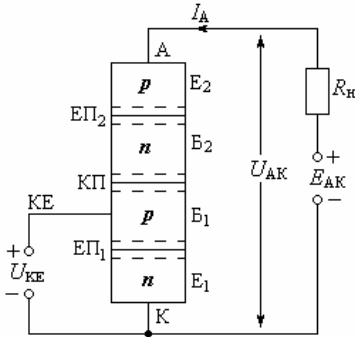


Рис. 5.19. Тиристор під напругами

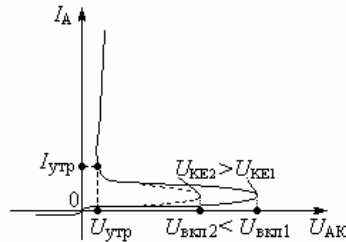


Рис. 5.20. ВАХ тиристора

Тиристор є чотиришаровою структурою $p-n-p-n$.

Крайні шари E_1 та E_2 називаються емітерами. Внутрішні шари B_1 та B_2 називаються базами. Між емітерами та базами створюються емітерні переходи EP_1 та EP_2 , а між базами створюється колекторний перехід KP . Ця термінологія зумовлена тим, що шари $n-p-n$ та $p-n-p$ створюють відповідні транзистори.

Структура тиристора (рис. 5.19) та його ВАХ (рис. 5.20) пояснюють функцію тиристорного ключа, яка полягає в тому, що навантаження R_n включається під напругу E_{AK} , коли вона досягне заданого порогу $U_{вкл}$.

Для розглядання принципу дії тиристора представимо його чотиришарову структуру $p-n-p-n$ у вигляді двох послідовно з'єднаних транзисторів $p-n-p$ та $n-p-n$ (рис. 5.21).

З рис. 5.21,б та рис. 5.21,в видно, що n -колектор транзистора $VT1$ підключений до n -бази $VT2$, а p -колектор $VT2$ з'єднаний з p - базою $VT1$, тобто вихід одного транзистора з'єднаний з входом іншого. Таке з'єднання створює додатний зворотний зв'язок між еквівалентними підсилювачами на транзисторах $VT1$ та $VT2$.

Розглянемо принцип дії ключа, який полягає в тому, що навантаження R_n включається під напругу живлення E_{AK} , коли вона досягне заданого порогу.

Це здійснюється наступним чином.

За законом Кірхгофа для вихідного кола маємо $E_{AK} = U_{AK} + I_A R_n$, звідки напруга на опорі навантаження R_n становить

$$I_A R_H = E_{AK} - U_{AK}. \quad (5.17)$$

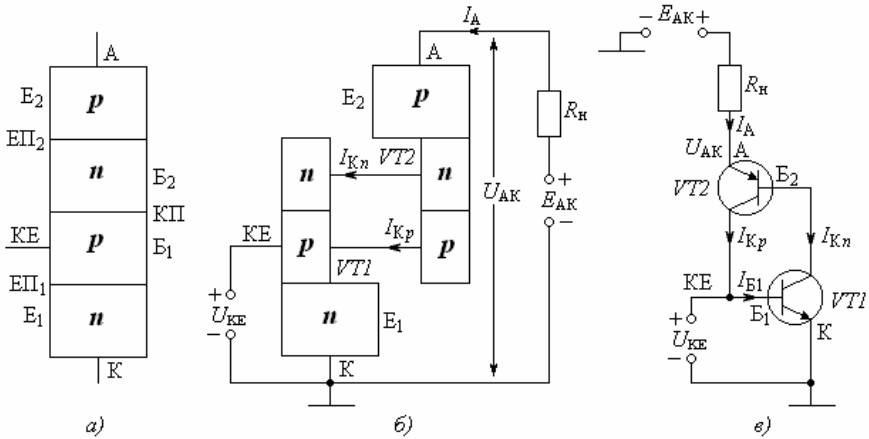


Рис. 5.21. Тиристор:

а – фізична структура; б – еквівалентна структура; в – еквівалентна схема

Емітерні переходи ЕП₁ та ЕП₂ знаходяться під прямими напругами, а колекторний перехід КП – під зворотною напругою.

У початковому стані за малої напруги $E_{AK} < U_{вкл}$ вона майже повністю прикладена до КП і лише невеликою частиною – до ЕП₁ та ЕП₂. Тому тиристор закритий: $I_A = 0$, через що $I_A R_H = 0$, тобто опір навантаження R_H знеструмлений, бо вся підведена напруга E_{AK} падає на колекторному переході: $E_{AK} = U_{AK}$.

При підвищенні E_{AK} до $U_{вкл1}$ (див. рис. 5.20) дещо збільшуються прямі напруги на ЕП₁ та ЕП₂, зменшуючи на них потенційні бар'єри. При певному зростанні прямої напруги, наприклад, на ЕП₁, з'являється струм бази $I_{Б1}$ (рис. 5.21, в). Він, підсилюючись транзистором VT1 у β разів, створює колекторний струм $I_{Кн} = \beta I_{Б1}$, який є струмом бази Б₂ транзистора VT2. Струм $I_{Кн}$, підсилюючись транзистором VT2 також у β разів, створює колекторний струм $I_{Кп} = \beta I_{Кн}$, який є струмом бази Б₁ транзистора VT1, який знову підсилює його у β разів і т.д. З'являється анодний струм $I_A = I_{Кн} + I_{Кп}$, який, завдяки додатному зворотному зв'язку, сам себе підтримує.

Як тільки з'явиться анодний струм $I_A = I_{Кн} + I_{Кп}$, у колекторному переході відбувається ударна іонізація власних атомів, за якої колекторний перехід КП насичується рухомими носіями заряду, через що напруга на ньому зменшується. Тиристор переходить з режиму *включення* $U_{вкл1}$ до режиму *утримання*, за якого $U_{AK} \ll E_{AK}$. Підставляючи останнє співвідношення в (5.17), одержуємо $I_A R_H = E_{AK}$, тобто практично вся напруга живлення E_{AK} прикладена до навантаження R_H . Так здійснюється включення навантаження R_H під напругу E_{AK} .

Отже, для включення тиристора треба зменшити потенційний бар'єр хоча б на одному з емітерних переходів. Це здійснює напруга U_{KE} керуючого електрода КЕ. Напруга U_{KE} є прямою для ЕП₁ і тому чим вона більше, тим менше напруга включення $U_{вкл}$ (див. рис. 5.20).

Таким чином, керуючий електрод призначений для установлення порогу включення тиристора. Керувати анодним струмом I_A він не може, бо після включення тиристора керуючий електрод втрачає свою дію і його напруга U_{KE} не впливає на анодний струм I_A . Тому, щоб виключити тиристор, треба зняти напруги керуючого електрода ($U_{KE} = 0$) та анода ($E_{AK} = 0$).

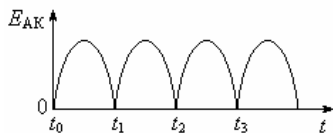


Рис. 5.22. Форма напруги живлення для автоматичного виключення тиристора

Для автоматичного виключення тиристора напруга E_{AK} має бути пульсуючою (рис. 5.22).

Тиристор включається, коли напруга E_{AK} досягне порога включення ($E_{AK} > U_{вкл}$), а виключається, коли напруга живлення E_{AK} спаде до нуля: $E_{AK} = 0$ в моменти t_0, t_1, t_2, \dots , якщо $U_{KE} = 0$.

Контрольні питання

- 5.1. Наведіть схему ключа на біполярному транзисторі.
- 5.2. Поясніть вплив коефіцієнта насичення на швидкодію ключа.
- 5.3. Поясніть вплив коефіцієнта насичення на завадостійкість ключа.
- 5.4. Поясніть критерії вибору робочої точки для здійснення ключового режиму.
- 5.5. Наведіть схему ключа на польовому транзисторі.
- 5.6. Дайте пояснення щодо високого ККД ключа.
- 5.8. Наведіть схему ключа на тиристорі.
- 5.9. Поясніть включення навантаження під напругу в тиристорному ключі.

Рекомендована література

- 5.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С. Попова, 2004, Ч.1. – С. 104 – 113.
- 5.2. Батушев В.А. Электронные приборы: [учебник для вузов] / В.А. Батушев – М.: Высшая школа, 1980. – С 167 – 182.
- 5.3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С 390 – 394.

Розділ 6

ЗВОРОТНИЙ ЗВ'ЯЗОК

6.1. Загальні положення

Зворотним називається зв'язок, який забезпечує передачу сигналу з вихідного кола у вхідне.

У підсилювачах зворотний зв'язок (ЗЗ) використовується для поліпшення якісних показників: підвищення стабільності режиму, стабілізації коефіцієнта підсилення, зменшення спотворень тощо.

На рис. 6.1 наведена структурна схема підсилювача зі зворотним зв'язком. Вона містить підсилювач П, до входу якого підключене джерело сигналу ДС, а до виходу – навантаження Н. З виходу (вузол 2) відбирається частина сигналу (струму або напруги) і через чотириполюсник зворотного зв'язку В подається до входу підсилювача П (вузол 1). На вході у вузлі 1 напруга сигналу U_c та зворотного зв'язку $U_{зз}$ складаються.

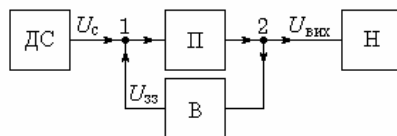


Рис. 6.1. Структурна схема підсилювача зі зворотним зв'язком

Якщо фази U_c та $U_{зз}$ збігаються, то результуюча напруга на вході П зростає в порівнянні з U_c . Такий ЗЗ називається *додатним*.

Якщо фази U_c та $U_{зз}$ протилежні, то ЗЗ зменшує напругу вузлів 1 і 2. Такий ЗЗ називається *від'ємним*.

Не слід протиставляти корисність додатного та від'ємного ЗЗ. Кожний з них має своє призначення. Наперед зазначимо, що від'ємний ЗЗ використовується переважно в підсилювачах, а додатний – в генераторах.

Визначимо коефіцієнт передавання підсилювача зі зворотним зв'язком.

З рис. 6.1 видно, що на вході підсилювача П діє сума сигналів $U_c + U_{зз}$. Тоді вихідна напруга становить

$$U_{\text{вих}} = K(U_c + U_{зз}). \quad (6.1)$$

де K – коефіцієнт передавання підсилювача П без зворотного зв'язку.

Якщо чотириполюсник ЗЗ має коефіцієнт передавання B , то вихідна напруга визначиться як

$$U_{\text{вих}} = K(U_c + BU_{\text{вих}}). \quad (6.2)$$

Вирішуючи (6.2) відносно $U_{\text{вих}}$, знаходимо коефіцієнт передавання підсилювача зі зворотним зв'язком:

$$K_{зз} = \frac{U_{\text{вих}}}{U_c} = \frac{K}{1 - BK}. \quad (6.3)$$

Знаменник $1 - BK$ називається *глибиною зворотного зв'язку*, а BK – *петльовим підсиленням*.

Зворотний зв'язок, для якого $BK < 0$, є *від'ємним*. Тоді з (6.3) видно,

що $K_{зз} < K$, тобто від'ємний ЗЗ зменшує коефіцієнт підсилення. Це зменшення не є недоліком, яким воно було на початку становлення радіоелектроніки. Зараз у багатьох випадках виникає необхідність зменшити підсилення, що й досягається від'ємним ЗЗ. Крім того, від'ємний ЗЗ покращує основні показники підсилювача.

Зворотний зв'язок, для якого $BK > 0$, є *додатним*. Тоді з (3) видно, що $K_{зз} > K$, тобто додатний ЗЗ збільшує коефіцієнт підсилення і при $BK = +1$ перетворює його у нескінченність. Це означає, що при $U_c = 0$ вихідна напруга $U_{вих} \neq 0$, тобто є вихідний сигнал при відсутності вхідного. Це спостерігається в автогенераторах і наявність додатного ЗЗ є необхідною умовою для їхнього самозбудження.

Забезпечення додатного або від'ємного ЗЗ здійснюється полярністю включення чотириполосника ЗЗ.

Щодо видів ЗЗ, то він може бути:

- паралельним по входу і виходу;
- послідовним по входу і виходу;
- паралельним по входу і послідовним по виходу;
- послідовним по входу і паралельним по виходу.

6.2. Вплив від'ємного ЗЗ на вхідний та вихідний опори

6.2.1. Паралельний ЗЗ по входу і виходу

Схема підсилювача з паралельним ЗЗ по входу і виходу наведена на рис. 6.2.

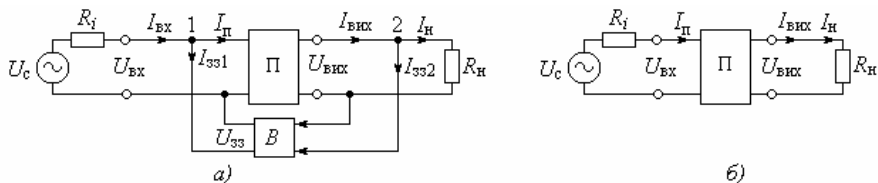


Рис. 6.2. Схеми підсилювачів: а – з паралельним ЗЗ за напругою; б – без ЗЗ

Тут підсилювач П охоплений зворотним зв'язком за напругою $U_{вих}$ через чотириполосник В, вихід якого підключений паралельно до входу П. Тому на вході здійснюється ЗЗ також за напругою.

Позначення на схемі:

U_c – напруга, яку треба підсилити;

R_i – опір джерела напруги U_c ;

R_n – опір навантаження.

Визначимо вхідний $R_{вх}$ та вихідний $R_{вих}$ опори підсилювача зі ЗЗ за напругою на вході й виході. У цій схемі можна здійснити ЗЗ, якщо на вході й виході немає короткого замикання, тобто $R_i > 0$ та $R_n > 0$.

Вхідний опір для схеми підсилювача (рис. 6.2,а) становить

$$R_{\text{ВХ } 33} = \frac{U_{\text{ВХ}}}{I_{\text{ВХ}}}, \quad (6.4)$$

де $U_{\text{ВХ}}$ та $I_{\text{ВХ}}$ – вхідні відповідно напруга й струм.

Оскільки 33 від'ємний, то він створює струм I_{331} , який витікає з вузла 1. Тоді за законом Кірхгофа маємо

$$I_{\text{ВХ}} = I_{\text{П}} + I_{331}. \quad (6.5)$$

Підставляючи (6.5) в (6.4), одержуємо

$$R_{\text{ВХ } 33} = \frac{U_{\text{ВХ}}}{I_{\text{П}} + I_{331}}, \quad (6.6)$$

де $I_{\text{П}}$ – вхідний струм підсилювача П без 33.

Знайдемо вхідний опір підсилювача без 33 (рис. 6.2,б):

$$R_{\text{ВХ}} = \frac{U_{\text{ВХ}}}{I_{\text{П}}}. \quad (6.7)$$

Зіставляючи (6.6) та (6.7) переконуємося в тому, що

$$R_{\text{ВХ } 33} < R_{\text{ВХ}}, \quad (6.8)$$

тобто паралельний від'ємний зв'язок зменшує вхідний опір підсилювача.

Аналогічно визначимо вихідний опір підсилювача зі 33:

$$R_{\text{ВИХ } 33} = \frac{U_{\text{ВИХ}}}{I_{\text{ВИХ}}} = \frac{U_{\text{ВИХ}}}{I_{\text{П}} + I_{332}}. \quad (6.9)$$

Для підсилювача без 33 (рис. 6.2,б) маємо

$$R_{\text{ВИХ}} = \frac{U_{\text{ВИХ}}}{I_{\text{ВИХ}}} = \frac{U_{\text{ВИХ}}}{I_{\text{П}}}. \quad (6.10)$$

З формул (6.9) та (6.10) випливає, що

$$R_{\text{ВИХ } 33} < R_{\text{ВИХ}}, \quad (6.11)$$

тобто паралельний від'ємний зв'язок зменшує вихідний опір підсилювача.

Знайдемо вхідний та вихідний опори підсилювача з паралельним зворотним від'ємним зв'язком.

$$R_{\text{ВХ } 33} = \frac{U_{\text{ВХ}}}{I_{\text{ВХ } 33}}. \quad (6.12)$$

Тут $I_{\text{ВХ } 33}$ – вхідний струм підсилювача зі зворотним зв'язком, який в $(1 + BK)$ разів більший за вхідний струм $I_{\text{ВХ}}$ без 33, тобто

$$I_{\text{ВХ } 33} = I_{\text{ВХ}} (1 + BK). \quad (6.13)$$

Підставляючи (6.12) в (6.13), одержуємо

$$R_{\text{вх } 33} = \frac{U_{\text{вх}}}{I_{\text{вх}} (1 + BK)}, \quad (6.14)$$

де

$$\frac{U_{\text{вх}}}{I_{\text{вх}}} = R_{\text{вх}} \quad (6.15)$$

вхідний опір підсилювача без ЗЗ.

Підставляючи (6.15) в (6.14), маємо

$$R_{\text{вх } 33} = \frac{R_{\text{вх}}}{1 + BK}. \quad (6.16)$$

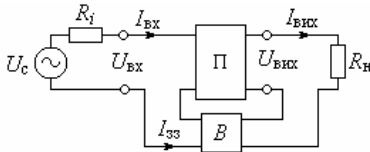
Аналогічним чином знаходимо

$$R_{\text{вих } 33} = \frac{R_{\text{вих}}}{1 + BK}. \quad (6.17)$$

Таким чином, зворотний зв'язок зменшує вхідний та вихідний опори підсилювача в глибину зворотного зв'язку $(1+BK)$ разів.

6.2.2. Послідовний зв'язок по входу і виходу

Схема підсилювача з послідовним зворотним зв'язком по входу й виходу наведена на рис. 6.3. Вхідний опір підсилювача визначиться як



$$R_{\text{вх } 33} = \frac{U_{\text{вх}}}{I_{\text{вх}}}. \quad (6.18)$$

Рис. 6.3. Схема підсилювача з послідовним ЗЗ за струмом

Оскільки ЗЗ від'ємний, то струми $I_{\text{вх } 33}$ та $I_{\text{зз}}$ протилежні, через що

$$I_{\text{вх}} = I_{\text{вх } 33} - I_{\text{зз}}. \quad (6.19)$$

Підставляючи (6.19) у (6.18), одержуємо

$$R_{\text{вх } 33} = \frac{U_{\text{вх}}}{I_{\text{вх } 33} - I_{\text{зз}}}. \quad (6.20)$$

З формули (6.20) випливає, що послідовний від'ємний зворотний зв'язок зменшує вхідний струм, через що вхідний опір підсилювача зростає.

Щодо вихідного струму, то він є наслідком підсилення вхідного струму в K_f разів: $I_{\text{вих}} = K_f I_{\text{вх}}$. Оскільки від'ємний ЗЗ зменшує $I_{\text{вх}}$ (6.19), то $I_{\text{вих}}$ також зменшується, через що зростає $R_{\text{вих}}$.

Знайдемо вхідний та вихідний опори підсилювача з послідовним від'ємним зворотним зв'язком.

$$R_{\text{вх } 33} = \frac{U_{\text{вх}}}{I_{\text{вх } 33}}. \quad (6.21)$$

Тут $I_{\text{вх } 33}$ – вхідний струм підсилювача зі зворотним зв'язком, який в $(1 + BK)$ разів менший за вхідний струм $I_{\text{вх}}$ без ЗЗ, тобто

$$I_{\text{вх}} = \frac{I_{\text{вх}}}{1 + BK}. \quad (6.22)$$

Підставляючи (6.22) в (6.21), одержуємо

$$R_{\text{вх } 33} = R_{\text{вх}} (1 + BK). \quad (6.23)$$

Аналогічними діями знаходимо вихідний опір

$$R_{\text{вих } 33} = R_{\text{вих}} (1 + BK). \quad (6.24)$$

Тут $R_{\text{вх}}$ та $R_{\text{вих}}$ – відповідно вхідний та вихідний опори підсилювача без 33.

Отже, послідовний від'ємний зворотний зв'язок збільшує вхідний та вихідний опори підсилювача в глибину зворотного зв'язку $(1 + BK)$ разів.

6.3. Вплив від'ємного 33 на внутрішні завади (наведення)

Внутрішні завади (наведення) діють не на вході підсилювача, а виникають десь у його середині через кола живлення, внаслідок нелінійних спотворень, наведень паразитних ЕРС тощо.

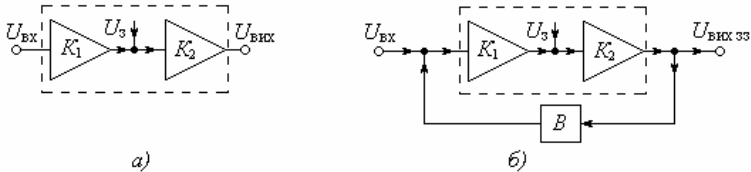


Рис. 6.4. Діяння завади U_3 в підсилювачах:

а – без зворотного зв'язку, б – зі зворотним зв'язком

Розподілимо загальний коефіцієнт підсилення K на K_1 та K_2 (рис. 6.4):

$$K = K_1 K_2, \quad (6.25)$$

де K_1 – коефіцієнт підсилення до місця виникнення завади;

K_2 – коефіцієнт підсилення за місцем виникнення завади.

У підсилювачі без 33 (рис. 6.4,а) напруга завади U_3 потрапляє до виходу, підсилюючись у K_2 разів:

$$U_{3 \text{ вих}} = K_2 U_3. \quad (6.26)$$

Якщо ж підсилювач охоплений зворотним зв'язком B (рис. 6.4,б), то частка завади після проходження кола 33 (K_2 ; B та K_1) повертається в місце виникнення U_3 у протифазі і віднімається від U_3 . Тому на виході підсилювача з від'ємним 33 напруга завади становить

$$U_{3 \text{ Вых } 33} = K_2 U_3 - K_2 B K_1 U_3. \quad (6.27)$$

Зіставляючи (6.26) та (6.27), переконуємося в тому, що $U_{3 \text{ Вых } 33} < U_3$, тобто від'ємний зворотний зв'язок зменшує вплив внутрішніх завод.

Якщо за напругу завади U_3 мати суму вищих гармонік $\sum_{n=2}^{\infty} U_n$, які виникли через нелінійні спотворення, то можна записати, що

$$U_3 = \sum_{n=2}^{\infty} U_n. \quad (6.28)$$

Тоді на виході підсилювача без ЗЗ діє сума напруг вищих гармонік

$$U_{\text{Г Вых}} = K_2 \sum_{n=2}^{\infty} U_n. \quad (6.29)$$

На виході ж підсилювача з від'ємним зворотним зв'язком коло ЗЗ повертає $U_{\text{Г Вых}}$ в місце виникнення у протифазі (рис. 6.4,б), через що сума напруг вищих гармонік становить

$$U_{\text{Г Вых } 33} = K_2 \sum_{n=2}^{\infty} U_n - K_2 B K_1 \sum_{n=2}^{\infty} U_n. \quad (6.30)$$

Зіставляючи (6.30) та (6.29), переконуємося в тому, що $U_{\text{Г Вых } 33} < U_{\text{Г Вых}}$, тобто від'ємний зворотний зв'язок зменшує нелінійні спотворення.

Можна показати, що від'ємний ЗЗ зменшує коефіцієнт гармонік у $(1+BK)$ разів:

$$k_{\text{Г } 33} = \frac{k_{\text{Г}}}{1 + BK}. \quad (6.31)$$

6.4. Транзисторні каскади з від'ємним ЗЗ

6.4.1. Емітерні повторювачі

Коефіцієнт передавання напруги ідеального повторювача дорівнює одиниці: $K_U = 1$, тобто вихідна й вхідна напруги збігаються. Повторювачі призначені для узгодження високого опору джерела сигналу з низьким вхідним опором наступного каскаду. Це забезпечує підсилення струму й потужності при збереженні вхідної напруги. З цього слід, що повторювач повинен мати високий вхідний та низький вихідний опори.

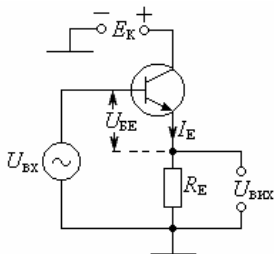


Рис. 6.5. Емітерний повторювач

На рис. 6.5 наведена схема емітерного повторювача. Він відрізняється від підсилювача зі спільним емітером лише тим, що опір навантаження R_E включений в коло емітера.

Емітерний повторювач працює таким самим

чином, що й підсилювач зі спільним емітером, але співвідношення між напругами й струмами інші.

Опір R_E є разом і навантаженням, і елементом від'ємного ЗЗ. Дійсно, за законом Кірхгофа для вхідного кола маємо

$$U_{\text{вх}} = U_{\text{БЕ}} + U_{\text{вих}} = U_{\text{БЕ}} + I_E R_E, \quad (6.32)$$

звідки знаходимо напругу між базою та емітером

$$U_{\text{БЕ}} = U_{\text{вх}} - I_E R_E. \quad (6.33)$$

З формули (6.33) випливає, що вихідна напруга $U_{\text{вих}} = I_E R_E$ майже цілком віднімається від вхідної $U_{\text{вх}}$, тобто R_E здійснює послідовний від'ємний ЗЗ, через що підвищується вхідний опір.

Знайдемо співвідношення між $U_{\text{вх}}$ та $U_{\text{вих}}$, для чого визначимо $U_{\text{БЕ}}$ та $U_{\text{вих}}$ через струм бази I_B :

$$U_{\text{БЕ}} = I_B h_{11E}, \quad (6.34)$$

де $h_{11E} = \frac{dU_{\text{БЕ}}}{dI_B}$ – вхідний опір транзистора зі спільним емітером.

Підставляючи (6.34) у (6.32), одержуємо

$$U_{\text{вх}} = I_B h_{11E} + I_E R_E, \quad (6.35)$$

При $R_E \gg h_{11E}$, що завжди здійснюється вибором опору R_E , та з урахуванням співвідношення $I_B \ll I_E$ з формули (6.35) одержуємо

$$I_B h_{11E} \ll I_E R_E. \quad (6.36)$$

Оскільки $I_E R_E = U_{\text{вих}}$, то з формул (6.35) та (6.36) знаходимо:

$$U_{\text{вих}} \approx U_{\text{вх}}, \quad (6.37)$$

тобто вихідна напруга емітерного повторювача практично дорівнює вхідній.

Визначимо вхідний опір

$$R_{\text{вх}} = \frac{U_{\text{вх}}}{I_{\text{вх}}} = \frac{U_{\text{вх}}}{I_B}. \quad (6.38)$$

З урахуванням (6.37) вираз (6.38) перепишеться як

$$R_{\text{вх}} = \frac{U_{\text{вих}}}{I_B}. \quad (6.39)$$

Струм бази у $(\beta + 1)$ разів менше за струм емітера

$$I_B = \frac{I_E}{\beta + 1}, \quad (6.40)$$

де $\beta \gg 1$ – коефіцієнт передавання струму бази.

Підставляючи співвідношення $U_{\text{вих}} = I_E R_E$ та (6.40) у формулу (6.39), одержуємо

$$R_{\text{вх}} = (\beta + 1) R_E \approx \beta R_E, \quad (6.41)$$

тобто вхідний опір емітерного повторювача у β разів більше опору в колі емітера.

Таким чином, емітерний повторювач є трансформатором опорів – вхідний опір $R_{\text{вх}}$ набагато більше за опір R_E в емітерному колі.

Цей висновок разом з формулою (6.41) цілком справедливий для будь-якого транзисторного каскаду з опором R_E у колі емітера.

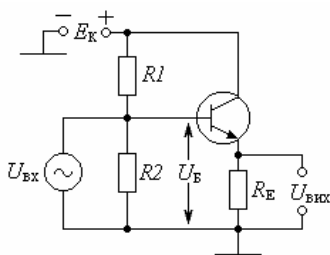


Рис. 6.6. Принципова схема емітерного повторювача

Принципова схема емітерного повторювача наведена на рис. 6.6. Вона відрізняється від схеми (рис. 6.5) лише тим, що тут розкрито живлення кола бази через подільник напруги R_1, R_2 .

Цей подільник призначений забезпечити напругу живлення бази

$$U_B \approx E_K \frac{R_2}{R_1 + R_2}. \quad (6.42)$$

У свою чергу напруга U_B визначається співвідношенням

$$U_B > U_{BE} + 2U_{\text{мвих}} \quad (6.43)$$

або

$$U_B > 0,7 + 2U_{\text{мвих}}. \quad (6.44)$$

Розрахунок кола живлення бази слід починати з визначення опору резистора R_1 . Опір R_1 має бути таким, щоб міг пропустити і струм бази, і струм резистора R_2 . Приймаючи рівність цих струмів, знаходимо

$$R_1 = \frac{E_K - U_B}{2I_B}. \quad (6.45)$$

Тут I_B та U_B визначаються у відповідності з формулами (6.40) та (6.44).

Таким чином, опори R_1 та R_2 не можуть бути скільки завгодно великими. Саме цим наявність резисторів R_1 та R_2 зменшує вхідний опір повторювача, який становить

$$R_{\text{вх}} = \beta R_E \parallel R_1 \parallel R_2. \quad (6.46)$$

Зменшення $R_{\text{вх}}$ резисторами R_1 та R_2 є суттєвим недоліком емітерного повторювача. Цей недолік значно менше відбивається в повторювачах на польових транзисторах (витікові повторювачі).

6.4.2. Витікові повторювачі

Схема витікового повторювача наведена на рис. 6.7.

Знайдемо співвідношення між $U_{\text{вих}}$ та $U_{\text{вх}}$.

За законом Кірхгофа, враховуючи тільки сигнальні напруги та струми, маємо

$$U_{\text{вх}} = U_{\text{ЗВ}} + U_{\text{вих}}. \quad (6.47)$$

У свою чергу вихідна напруга

$$U_{\text{вих}} = I_{\text{В}} R_{\text{В}} = S U_{\text{ЗВ}} R_{\text{В}}, \quad (6.48)$$

де $S = \frac{dI_{\text{С}}}{dU_{\text{ЗВ}}}$ – крутість ВАХ прямого

передавання.

Вибором опору $R_{\text{В}}$ можна виконати умову

$$S U_{\text{ЗВ}} R_{\text{В}} \gg U_{\text{ЗВ}}. \quad (6.49)$$

Тоді на підставі (6.48) та (6.49) можна знехтувати $U_{\text{ЗВ}}$ у формулі (6.47) і дійти висновку, що

$$U_{\text{вих}} \approx U_{\text{вх}} \quad (6.50)$$

Отже вихідна напруга витікового повторювача близька до вхідної, тобто повторює її. При цьому $U_{\text{вих}}$ ніколи не може перевищувати $U_{\text{вх}}$, бо від'ємний ЗЗ при зростанні $U_{\text{вх}}$ зменшує напругу між заслоном та витіком:

$$U_{\text{ЗВ}} = U_{\text{вх}} - U_{\text{вих}}. \quad (6.51)$$

Знайдемо вхідний опір витікового повторювача:

$$R_{\text{вх}} = \frac{U_{\text{вх}}}{I_{\text{вх}}}. \quad (6.52)$$

Вхідним струмом $I_{\text{вх}}$ є струм заслону $I_{\text{З}}$, який практично наближається до нуля, зумовлюючи високий вхідний опір $R_{\text{вх}} \rightarrow \infty$.

Через те, що вхідний опір польових транзисторів дуже великий, опір резисторів у колі живлення заслону (рис. 6.8) може бути набагато більше, ніж в емітерному повторювачі.

Вхідним опором витікового повторювача на ПТ з керуючим переходом (рис. 6.8,а) є R_3 , а на ПТ з ізольованим заслоном (рис. 6.8,б) вхідний опір становить

$$R_{\text{вх}} = R_1 \parallel R_2. \quad (6.53)$$

Опори резисторів R_3 та R_1 і R_2 можуть бути відносно великими і досягати кількох мегом, через що вхідний опір витікового повторювача в цілому

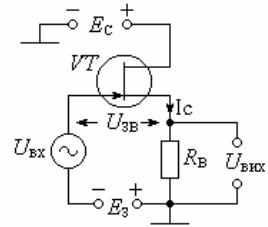


Рис. 6.7. Витіковий повторювач

набагато більший за емітерний. У цьому значна перевага витікових повторювачів.

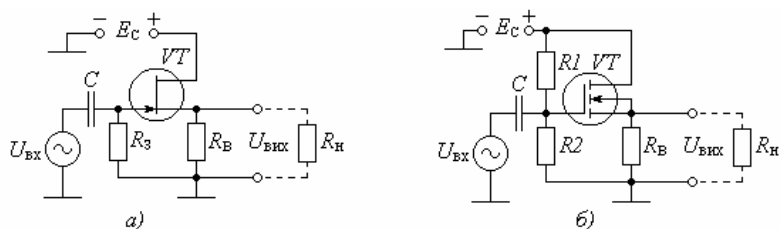


Рис. 6.8. Принципові схеми витікових повторювачів на ПТ

6.4.3. Термостабілізовані підсилювачі на БТ

Для здійснення термостабілізації підсилювача треба застабілізувати місцеположення робочої точки PT_1 (рис. 6.9), тобто зберегти струм колектора I_K при змінній температурі.

На рис. 6.9 наведена діаграма роботи вихідного кола підсилювача на БТ при даній температурі T_1 та при підвищеній температурі $T_2 > T_1$.

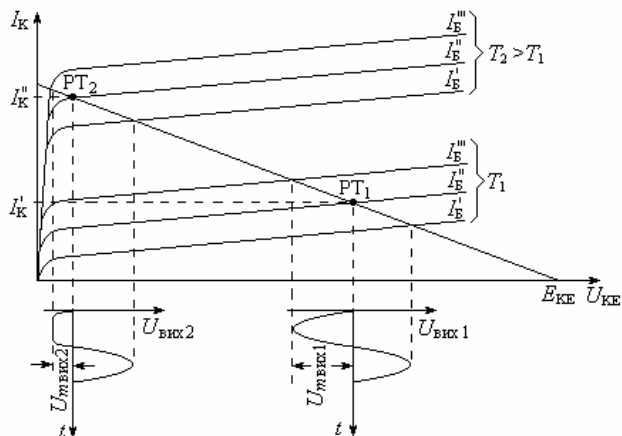


Рис. 6.9. Зміщення робочої точки через підвищення температури

З цього рисунку видно, що зростання температури збільшує колекторний струм від I_K' до I_K'' і саме тим зміщує робочу точку від місцеположення PT_1 до PT_2 . При цьому можливий перехід з активного режиму в режим насичення, в якому виникають значні нелінійні спотворення: $U_{m\text{вих}2} \neq U_{m\text{вих}1}$.

Для запобігання згаданого недоліку необхідно зберегти місцезнаходження робочої точки PT_1 , що досягається стабілізацією струму колектора I_K від'ємним зворотним зв'язком.

Найбільшого розповсюдження знайшла схема підсилювача з емітерною стабілізацією режиму живлення транзистора (рис. 6.10).

Ця стабілізація здійснюється від'ємним зворотним зв'язком, елементом якого є резистор R_E в емітерному колі.

Підсилювач з емітерною стабілізацією працює наступним чином.

Струм емітера I_E створює на резисторі R_E падіння напруги $I_E R_E$, яке прикладається до емітерного переходу в зворотному напрямі. При збільшенні температури зростає I_K , який майже дорівнює струму емітера I_E , через що підвищується падіння напруги $I_E R_E$. Воно, підзакриваючи транзистор, перешкоджає зростанню струму колектора I_K , зберігаючи місцезнаходження робочої точки PT_1 .

Так здійснюється термостабілізація режиму підсилювача.

Слід мати на увазі те, що резистор R_E здійснює від'ємний зворотний зв'язок не тільки для живлення, а й для сигналу, зменшуючи саме тим коефіцієнт підсилення.

Для усунення цього недоліку резистор R_E шунтують конденсатором C_E великої ємності. Конденсатор C_E є нескінченно великим опором для постійного струму і малим опором – для змінного струму. Тому зворотного зв'язку для сигналу практично немає, а для живлення транзистора є.

Так здійснюється термостабілізація режиму живлення без зменшення коефіцієнта підсилення.

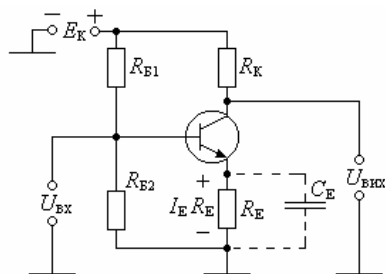


Рис. 6.10. Підсилювач з емітерною стабілізацією режиму живлення

6.4.4. Термостабілізовані підсилювачі на ПТ

Термостабілізацію підсилювачів на польових транзисторах здійснюють застосуванням від'ємного зворотного зв'язку через включення резистора R_B в коло витоку (рис. 6.11).

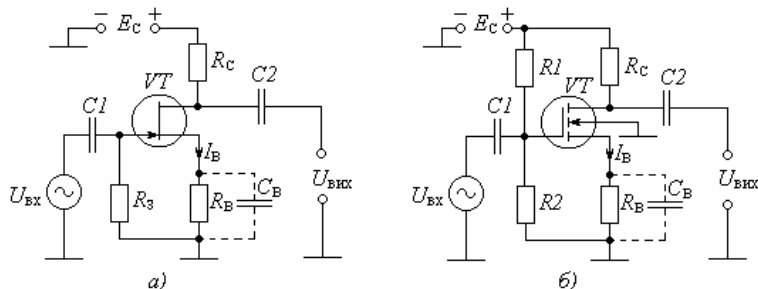


Рис. 6.11. Підсилювачі з витоковою стабілізацією режиму живлення

У підсилювачі на ПТ з керуючим переходом (рис. 6.11,*а*) заслін живиться падінням напруги $I_B R_B$, яка є зворотною для p -переходу в колі заслону. Таку подачу напруги до заслону називають *автоматичним зміщенням*. Автоматичне зміщення $I_B R_B$ є до того ж напругою від'ємного ЗЗ. Отже, напруга між заслоном та витокком становить

$$U_{ЗВ} = -I_B R_B. \quad (6.54)$$

У підсилювачі на МОН-транзисторі (рис. 6.11,*б*) заслін живиться вихідною напругою подільника на резисторах R_1, R_2 . Від цієї напруги віднімається падіння $I_B R_B$, здійснюючи від'ємний ЗЗ. Тому напруга між заслоном та витокком становить

$$U_{ЗВ} = E_C \frac{R_2}{R_1 + R_2} - I_B R_B. \quad (6.55)$$

Термостабілізація здійснюється наступним чином.

З підвищенням температури зростає струм стоку $I_C = I_B$. Тоді збільшується падіння $I_B R_B$, яке зменшує напругу заслону $U_{ЗВ}$, перешкоджаючи зростанню струму I_C . Так зберігається місцезнаходження робочої точки.

Щодо конденсатора C_B , то він, як і в підсилювачі на БТ, запобігає зменшенню коефіцієнта підсилення.

6.5. Розширення смуги частот рівномірного підсилення

Через наявність реактивностей в підсилювачі з підвищенням частоти зменшується коефіцієнт підсилення, внаслідок чого смуга частот $\Delta\omega$ рівномірного підсилення є обмеженою (рис. 6.12).

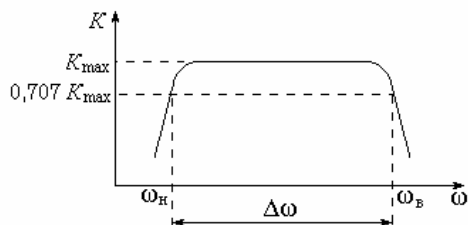


Рис. 6.12. АЧХ підсилювача

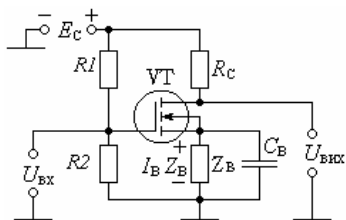


Рис. 6.13. Підсилювач з частотозалежним від'ємним ЗЗ

Застосування від'ємного частотозалежного ЗЗ дає можливість розширити смугу частот рівномірного підсилення. Варіант такого технічного рішення наведений на рис. 6.13. Тут частотозалежність створюється конденсатором C_B певної ємності, завдяки чому опір елемента ЗЗ становить

$$|Z_B| = \frac{\frac{1}{\omega C_B} R_B}{\frac{1}{\omega C_B} + R_B} = \frac{R_B}{1 + \omega C_B R_B}. \quad (6.56)$$

Вибором ємності C_B та опору R_B можна на низьких частотах $\omega > \omega_B$ забезпечити виконання умови

$$\omega C_B R_B \ll 1, \quad (6.57)$$

через що опір елемента ЗЗ становить $|Z_B| = R_B$.

З підвищенням частоти $\omega > \omega_B$ коефіцієнт підсилення K зменшується (без конденсатора C_B). За наявності ж конденсатора C_B з підвищенням частоти $\omega > \omega_B$ зменшується опір $\frac{1}{\omega C_B}$, через що опір елемента зворотного зв'язку $|Z_B|$ також зменшується. Тому напруга між заслоном та витокком

$$U_{ЗВ} = U_{вх} - I_B Z_B \quad (6.58)$$

дещо зростає через зменшення падіння $I_B Z_B$.

Таким чином, з підвищенням частоти $\omega > \omega_B$ коефіцієнт підсилення K має зменшуватись через частотні властивості транзистора (рис. 6.14, графік 1), а з іншого боку, він має збільшуватись через зростання $U_{ЗВ}$ внаслідок зменшення глибини ЗЗ.

Результатом є певне підвищення частоти до $\omega_{ЗЗ}$ без зменшення коефіцієнта підсилення K (рис. 6.14, графік 2).

Отже частотозалежний від'ємний зворотний зв'язок розширює смугу частот $\Delta\omega_{ЗЗ} > \Delta\omega$ рівномірного підсилення.

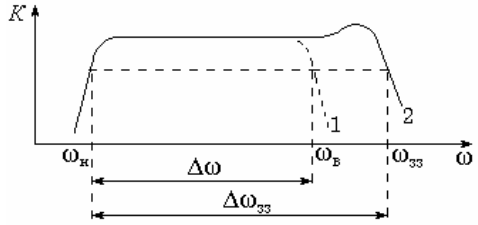


Рис. 6.14. АЧХ підсилювача:
1 – без зворотного зв'язку
2 – зі зворотним зв'язком

6.6. Підвищення вхідного опору каскада

Підвищення вхідного опору каскаду забезпечує менше навантаження джерела сигналу і саме тим підвищує коефіцієнт підсилення потужності через збільшення коефіцієнта передавання струму.

Підвищити вхідний опір каскаду можна, якщо замість резистора R_E в емітерному колі (див. рис. 6.5) включити транзистор (рис. 6.15). Тоді одержимо так званий *складений транзистор*, який відомий під назвою “схема Дарлінгтона”. У цій схемі в емітер $VT1$ включена база $VT2$.

Знайдемо вхідний опір емітерного повторювача за схемою Дарлінгтона. Струми емітера I_E та бази I_B транзистора зв'язані співвідношенням

$$I_E = (1 + h_{21E}) I_B, \quad (6.59)$$

де $h_{21E} = \beta$ – коефіцієнт передавання струму в схемі з СЕ.

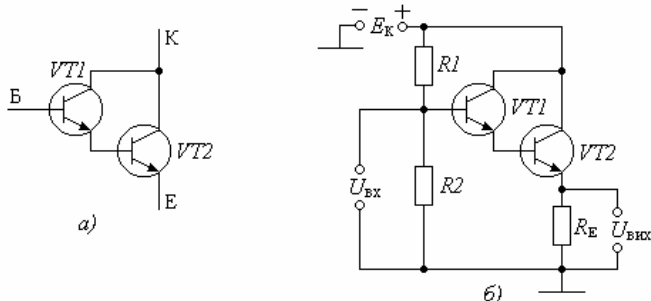


Рис. 6.15. Складений транзистор (а) та емітерний повторювач на ньому (б)

Зважаючи на те, що $h_{21E} \gg 1$, знайдемо на підставі (6.59) струми емітерів $VT1$ та $VT2$:

$$I_{E1} = h_{21E1} I_{B1}, \quad (6.60)$$

$$I_{E2} = h_{21E2} I_{B2}. \quad (6.61)$$

Оскільки I_{E1} та I_{B2} – це один і саме той струм, то з формул (6.60) та (6.61) маємо

$$I_{E2} = h_{21E1} h_{21E2} I_{B1}, \quad (6.62)$$

звідки

$$I_{B1} = \frac{I_{E2}}{h_{21E1} h_{21E2}}. \quad (6.63)$$

Підставляючи в (6.63) $h_{21E1} = \beta_1$ та $h_{21E2} = \beta_2$, одержуємо

$$I_{B1} = \frac{I_{E2}}{\beta_1 \beta_2}. \quad (6.64)$$

Якщо транзистори ідентичні, то формула (6.64) набуває виду

$$I_{B1} = \frac{I_{E2}}{\beta^2}, \quad (6.65)$$

тобто складений транзистор у $\beta \gg 1$ разів менше навантажує джерело сигналу.

Тоді вхідний опір складеного транзистора також у $\beta \gg 1$ разів більше ніж повторювача на одному транзисторі:

$$R_{\text{вх}} = \beta^2 R_E. \quad (6.66)$$

Це дає можливість підвищити опір резисторів R_1 та R_2 у $\beta \gg 1$ разів.

Так складений транзистор підвищує вхідний опір каскадів.

Сьогодні промисловістю випускаються складені транзистори, кількість окремих транзисторів у яких досягає п'яти. Такі складені транзистори носять назву *транзисторів супербета* і мають коефіцієнт підсилення струму бази до 25000.

6.7. Каскади з додатним зворотним зв'язком (автогенератори)

6.7.1. Структурна схема автогенератора

Будь-який *автогенератор*, незалежно від його схеми та призначення, є нелінійним пристроєм, який перетворює енергію живлення в енергію коливань.

Автогенератор, структурна схема якого наведена на рис. 6.16, містить підсилювач П, який охоплений зворотним зв'язком В.

Зіставляючи схему автогенератора (рис. 6.16) зі схемою підсилювача (рис. 6.1), бачимо, що автогенератор відрізняється від підсилювача лише тим, що не має зовнішнього входу і тому є двополюсником, тобто має тільки вихід, до якого підключене навантаження Н.

Якщо в підсилювачі на вхід потрапляє вхідна напруга U_c від джерела сигналу, то в автогенераторі фізичного входу немає і на умовний вхід $U_{вх}$ подається сигнал, який виробляє елемент зворотного зв'язку В.

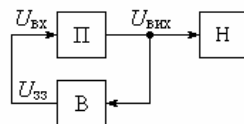


Рис. 6.16. Структурна схема автогенератора

6.7.2. Умови самозбудження автогенератора

Умовами самозбудження автогенератора є *баланс фаз та баланс амплітуд (або потужностей)*.

Визначимо ці умови.

Коефіцієнт підсилення для автогенератора (рис. 6.16) можна визначити, як відношення вихідного сигналу $U_{вих}$ до вхідного $U_{вх}$ на умовному вході:

$$K_{зз} = \frac{U_{вих}}{U_{вх}}. \quad (6.67)$$

Оскільки на початку самозбудження вхідного сигналу немає, а вихідний є ($U_{вх} = 0$; $U_{вих} > 0$), то на підставі (6.67) приходимо до висновку, що для самозбудження автогенератора коефіцієнт підсилення має бути нескінченним

$$K_{зз} \rightarrow \infty. \quad (6.68)$$

Для нескінченного підсилення зворотний зв'язок має бути додатним, тобто фази напруг $U_{вх}$ та $U_{зз}$ (рис. 6.16) мають збігатися. Тоді нескінченність

коефіцієнта передавання (6.68) здійснюється петльовим підсиленням, а саме: вихідний сигнал $U_{\text{вих}}$, який виникає через флуктуації вихідної напруги, потрапляє через елемент ЗЗ до умовного входу і підсилюється в каналі П. Потім підсилений сигнал $U_{\text{вих}}$ знову прямує до входу, де додається до $U_{\text{вх}}$, і знову підсилюється і т.д.

Щоб здійснювалось таке багатократне підсилення, набіг (змінення) фази в петлі “П–ЗЗ” має бути або відсутнім, або дорівнювати цілому числу періодів (0° ; 360° ; 720° ; ...):

$$\Delta\varphi = 2\pi n, \quad (6.69)$$

де $n = 0; 1; 2; \dots$ – будь-яке ціле позитивне число.

Умова (6.69) є *балансом фаз*, фізичний зміст якого полягає в тому, щоб сигнал за кожне проходження петлі “П–ЗЗ” змінював би свою фазу (6.69) на *ціле* число n періодів.

Щодо *балансу амплітуд*, то його можна визначити з формули (6.3), з якої видно, що самозбудження (6.68) виконується при $1 - BK = 0$, звідки одержуємо умову балансу амплітуд (або потужностей):

$$BK = 1. \quad (6.70)$$

Фізичний зміст балансу амплітуд полягає в тому, що петльове підсилення BK має бути таким, щоб компенсувати втрати енергії в петлі “П–ЗЗ”.

Якщо баланс фаз забезпечується полярністю включення чотириполюсника ЗЗ, то баланс амплітуд (6.70) підтримується автоматично, а саме: на початку самозбудження коефіцієнт передавання K підсилювача П значний. Зі зростанням вихідної напруги $U_{\text{вих}}$ зміщується робоча точка підсилювача П у бік зменшення K так, щоб виконувалась умова (6.70). Це пояснюється хоча б тим, що $U_{\text{вих}}$ не може перевищувати напругу живлення. Підтримання балансу амплітуд (6.70) здійснюється автоматично в кожному автогенераторі своїм чином і розглядатиметься нижче для конкретної схеми автогенератора.

6.7.3. Автогенератори гармонічних коливань

Однією з найпростіших схем автогенераторів є *треточкова* схема з *індуктивним* зворотним зв'язком (*схема Харплі*), яка наведена на рис. 6.17.

Треточкову називається тому, що коливальний контур LC підключений до транзистора VT трьома точками: безпосередньо до колектора, через конденсатор CI до емітера і через джерело E_K до бази.

Автогенератор працює наступним чином.

Напруга зворотного зв'язку $U_{ЗЗ}$ знімається з частки коливального контуру LC і через розділювальний конденсатор CI передається до емітера. Транзистор VT включений зі спільною базою. Тому фази $U_{ЗЗ}$ та $U_{\text{вих}}$ збігаються, що зумовлює додатний зворотний зв'язок. Так виконується умова балансу фаз.

Самозбудження починається з кидка струму колектора I_K при включенні напруг E_K та E_E . Кидок струму I_K викликає в контурі LC вільні коливання. Вони виявляються в тому, що вихідна напруга колектора $U_{вих}$, залишаючись завжди позитивною, одного напівперіоду зростає, а другого – зменшується. Для підтримки цих коливань транзистор VT має відкриватися й закриватися в такт з ними, а саме: зменшення $U_{вих}$ має відкривати транзистор, а збільшення – закривати.

Це здійснюється наступним чином.

Якщо в даний напівперіод напруга $U_{вих}$ зростає, то збільшилась також напруга зворотного зв'язку $U_{зз}$. Її збільшення передається через $C1$ до емітера, закриваючи транзистор. Струм I_K зменшується, падіння напруги на опорі Z контуру LC також зменшується і вихідна напруга

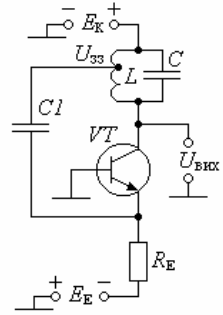


Рис. 6.17. Автогенератор з індуктивним ЗЗ

$$U_{вих} = E_K - I_K Z \tag{6.71}$$

зростає.

Через напівперіод $U_{вих}$ зменшиться. Напруга $U_{зз}$, як частка $U_{вих}$, також зменшиться. Це зменшення через $C1$ відкриває транзистор. Струм I_K зростає, збільшуючи $I_K Z$, через що $U_{вих}$ додатково зменшиться.

Так здійснюється додатний ЗЗ, забезпечуючи самозбудження автогенератора.

Генератор працює на резонансній частоті коливального контуру

$$\omega = \frac{1}{\sqrt{LC}} \tag{6.72}$$

Щодо балансу амплітуд, то він виконується автоматично, що пояснюється діаграмою роботи автогенератора (рис. 6.18).

Тут наведені пряма ВАХ емітерного переходу $I_B(U_{BE})$ і напруга між базою та емітером $u_B(t)$.

Баланс амплітуд виконується, завдяки режиму C наступним чином.

З початком самозбудження автогенератора виникає змінна напруга між базою та емітером $u_B(t)$. Амплітуди позитивних її напівхвиль заходять у пряму область ВАХ емітерного переходу $I_B(U_{BE})$ і викликають появу струму бази I_B (показано дрібним пунктиром), через що виникає струм емітера

$$I_E = (\beta + 1)I_B \tag{6.73}$$

Струмом I_E заряджаються реактивності в колі емітерного переходу, наприклад, конденсатор $C1$ (див. рис. 6.17).

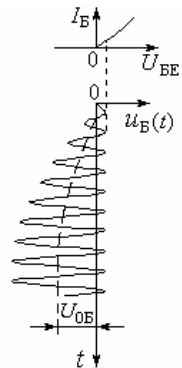


Рис. 6.18. Діаграма роботи автогенератора

Наслідком цього заряду є забезпечення режиму C , у якому ККД великий. Через заряд конденсатора $C1$ виникає напруга зміщення емітерного переходу $U_{об}$, яка дорівнює приблизно пів амплітуди $u_B(t)$ (рис. 6.18) і є закриваючою для транзистора. Тому транзистор більший час закритий і відкривається, тобто з'являється струм I_E (6.73), тільки при дії амплітуд позитивних напівхвиль $u_B(t)$. Так здійснюється режим C .

Баланс амплітуд $BK = 1$ підтримується автоматично наступним чином.

Якщо через зростання $u_B(t)$ починає виконуватися умова, $BK > 1$, то збільшується напруга зміщення $U_{об}$, яка додатково закриває транзистор. Струм I_B , а за ним і струм I_E зменшуються, через що зменшується петльове підсилення до $BK = 1$.

Коли ж через зменшення $u_B(t)$, відбувається умова $BK < 1$ то зменшується напруга зміщення $U_{об}$, через що додатково відкривається транзистор. Струм I_B , а за ним і струм I_E зростають, через що збільшується петльове підсилення до $BK = 1$.

Так автоматично підтримується баланс амплітуд $BK = 1$.

Недоліком схеми Хартлі (рис. 6.17) є відгалуження в котушці L , що ускладнює пристрій, бо для змінення глибини $ЗЗ$ необхідно перемотувати котушку.

Цей недолік усунений в схемі з *ємнісним* $ЗЗ$ (схеми Колпітца), в якій $U_{ЗЗ}$ знімається з ємнісного подільника напруги $C1, C2$ (рис. 6.19).

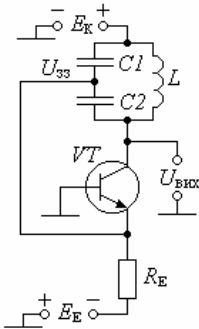


Рис. 6.19. Автогенератор з ємнісним $ЗЗ$

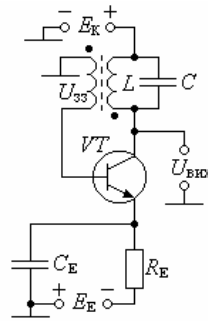


Рис. 6.20. Автогенератор з трансформаторним $ЗЗ$

Схема Колпітца діє також як і схема Хартлі з тією різницею, що ємність контуру становить

$$C = \frac{C_1 C_2}{C_1 + C_2}. \quad (6.74)$$

Глибина $ЗЗ$ забезпечується вибором ємностей $C1$ та $C2$.

Обидві розглянуті схеми (рис. 6.17) та (рис. 6.19) мають той недолік, що коло $ЗЗ$ відбирає значну потужність від контуру LC , бо напруга $U_{ЗЗ}$ прямує до емітера, струм якого найбільший.

Цей недолік усунений в схемі з *трансформаторним ЗЗ* (схемі *Майсснера*), в якій $U_{зз}$ подається до бази, струм якої найменший (рис. 6.20). Тому від контуру LC коло ЗЗ відбирає найменшу потужність з усіх трьох розглянутих схем, через що підвищується стабільність частоти.

6.7.4. Мультивібратори

Мультивібратори призначені для генерування імпульсів прямокутної форми (рис. 6.21).

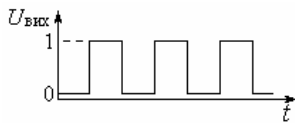


Рис. 6.21. Імпульси прямокутної форми

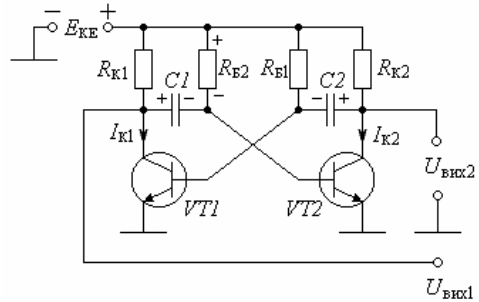


Рис. 6.22. Симетричний мультивібратор

Мультивібратори можуть виконуватись, як на дискретних компонентах, так і на мікросхемах.

Схема симетричного мультивібратора на дискретних компонентах наведена на рис. 6.22. Мультивібратором є два ключі на $VT1$ та $VT2$, вихід кожного з яких з'єднаний із входом іншого. Симетричним він є тому, що всі параметри однойменних елементів ідентичні.

Мультивібратор генерує прямокутні імпульси наступним чином.

При включенні напруги живлення $E_{КЕ}$ транзистори $VT1$ та $VT2$ через симетричність відкриті однаково, тобто $I_{К1} = I_{К2}$, через що

$$U_{\text{вих1}} = U_{\text{вих2}} = \frac{E_{КЕ}}{2}. \quad (6.75)$$

При цьому конденсатори $C1$ та $C2$ заряджені до тієї полярності, що позначена на рисунку.

Умова (6.75) є станом нестійкої рівноваги, тобто вона не може продовжуватись тривалий час. Обов'язково один із транзисторів $VT1$ або $VT2$ відкриється до насичення, а інший закриється до відсікання. Це здійснюється завдяки *шумам*, без яких самозбуждення будь-якого автогенератора було б взагалі неможливим.

Отже, нехай наявність шуму зменшило миттєву напругу $U_{\text{вих1}}$. Це зменшення через конденсатор $C1$ передається базі транзистора $VT2$, додатково запираючи його, тобто зменшуючи його колекторний струм $I_{К2}$. Через це вихідна напруга

$$U_{\text{вих2}} = E_{КЕ} - I_{К2}R_{К2} \quad (6.76)$$

збільшується.

Це збільшення через конденсатор $C2$ передається базі транзистора $VT1$, додатково відпираючи його, тобто збільшуючи його колекторний струм I_{K1} . Через це вихідна напруга

$$U_{\text{вих1}} = E_{\text{КЕ}} - I_{\text{К1}}R_{\text{К1}} \quad (6.77)$$

додатково зменшується.

Зменшення $U_{\text{вих1}}$ знову через $C1$ передається базі транзистора $VT2$ і т.д., доки $VT2$ повністю закриється

$$I_{\text{К2}} = 0, \quad (6.78)$$

а $VT1$ повністю відкривається:

$$I_{\text{К1}} = \frac{E_{\text{КЕ}}}{R_{\text{К1}}}. \quad (6.79)$$

Підставляючи (6.78) в (6.76) та (6.79) в (6.77), переконуємося в тому, що на момент t_1 (рис. 6.23) вихідні напруги становлять

$$U_{\text{вих1}} = 0; \quad U_{\text{вих2}} = E_{\text{КЕ}}. \quad (6.80)$$

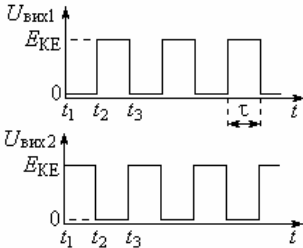


Рис. 6.23. Часова діаграма роботи симетричного мультивібратора

Цей стан також не може бути тривалим. Як тільки транзистор $VT1$ відкривається, починається розрядження конденсатора $C1$ по колу: ліва пластина $C1$ – “колектор-емітер” $VT1$ – корпус – джерело $E_{\text{КЕ}}$ – резистор $R_{\text{Б2}}$ – права пластина $C1$.

Струм розряду $C1$ створює на резисторі $R_{\text{Б2}}$ падіння напруги (полярність позначена праворуч $R_{\text{Б2}}$), яка закриває транзистор $VT2$. Тому стан (6.80) зберігається лише до моменту t_2 , коли конденсатор $C1$ повністю розрядиться.

Як тільки $C1$ розрядиться, зникає напруга, яка закривала транзистор $VT2$. Тому напругою живлення $+E_{\text{КЕ}}$, яка подається через $R_{\text{Б2}}$ до бази транзистора $VT2$, він відкривається (момент t_2).

З відкриванням $VT2$ починається розрядження конденсатора $C2$ по колу: права пластина $C2$ – “колектор-емітер” $VT2$ – корпус – джерело $E_{\text{КЕ}}$ – резистор $R_{\text{Б1}}$ – ліва пластина $C2$.

Струм розряду $C2$ створює на резисторі $R_{\text{Б1}}$ падіння напруги, яка запирає транзистор $VT1$. Тому в момент t_2 транзистор $VT1$ закривається. Стан виходів становить

$$U_{\text{вих1}} = E_{\text{КЕ}}; \quad U_{\text{вих2}} = 0. \quad (6.81)$$

Цей стан протримається до моменту t_3 , коли знову відкривається $VT1$ і закривається $VT2$ і т.д.

Так симетричний мультивібратор виробляє прямокутні імпульси, тривалість яких становить

$$\tau = R_{\text{Б}}C \ln 2 = 0,7 R_{\text{Б}}C. \quad (6.82)$$

З співвідношення (6.82) видно, що змінюючи здобуток $R_B C$, можна регулювати частоту проходження імпульсів мультівібратора. Чим більші R_B та C , тим нижче частота.

Слід мати на увазі, що опір R_B не може бути малим і визначається наступним співвідношенням:

$$R_B > \beta R_K. \quad (6.83)$$

Якщо $R_B < \beta R_K$, то є небезпека жорсткого режиму самозбудження, коли обидва транзистори $VT1$ та $VT2$ зайдуть у насичення і залишатимуться одночасно відкритими. Потужності шумів, з яких починається самозбудження, не вистачить для закривання транзисторів і мультівібратор буде стояти з обома відкритими транзисторами. Щоб його запустити, треба короткочасно закрити один із транзисторів подачею на його базу імпульсу, що запирає транзистор, або короткочасно закоротити базу на корпус.

Щодо мультівібраторів на інтегральних мікросхемах, то вони розглядатимуться нижче після вивчення операційних підсилювачів.

6.8. Стійкість підсилювачів з від'ємним зворотним зв'язком

Тут під стійкістю розуміємо неможливість довільного перетворення підсилювача на автогенератор, тобто неможливість самозбудження підсилювача.

З формули (6.3) видно, що при від'ємному зворотному зв'язку ($BK < 0$) коефіцієнт підсилення $K_{зз}$ ніколи не перетворюється в нескінченність, тобто підсилювач не може самозбудитись. Це можливо лише тоді, коли петля ЗЗ не містить реактивностей (ємностей та індуктивностей), але такого практично не буває. Обов'язково є конденсатори й котушки фільтрів, розподільні конденсатори тощо.

Саме ж головне полягає в тому, що вхідне й вихідне кола підсилювача зв'язуються між собою через паразитні реактивності, через що не тільки глибина ЗЗ, а навіть його вид стають *частотозалежними*:

$$K_{зз}(\omega) = \frac{K(\omega)}{1 - B(\omega)K(\omega)}. \quad (6.84)$$

Оскільки від частоти ω залежить знак петльового підсилення $B(\omega)K(\omega)$, то завжди існує така частота ω_3 , для якої виконується умова

$$B(\omega_3)K(\omega_3) = 1. \quad (6.85)$$

Саме на цій частоті ЗЗ стає додатним і підсилювач самозбуджується.

З формули (6.85) випливає, що при скільки завгодно малому $B(\omega_3)$ існує таке підсилення $K(\omega_3)$, при якому виконується умова самозбудження.

Таким чином, при необмеженому підвищенні коефіцієнта підсилення $K(\omega_3)$ підсилювач обов'язково самозбуджується.

Звідси заходами боротьби з самозбудженням є обмеження коефіцієнта підсилення і смуги частот.

Контрольні питання

- 6.1. Поясніть суть додатного та від'ємного зворотного зв'язку (ЗЗ).
- 6.2. Наведіть структурні схеми підсилювачів з ЗЗ за напругою та струмом.
- 6.3. Наведіть принципові схеми емітерного та витікового повторювачів і дайте пояснення щодо їхнього вхідного опору.
- 6.4. Наведіть принципову схему повторювача на складеному транзисторі і дайте пояснення щодо його вхідного опору.
- 6.5. Наведіть принципову схему підсилювача з емітерною термостабілізацією і поясніть вплив від'ємного ЗЗ на температурну стабільність.
- 6.6. Наведіть принципову схему підсилювача з витіковою термостабілізацією і поясніть вплив від'ємного ЗЗ на температурну стабільність.
- 6.7. Поясніть вплив від'ємного ЗЗ на завадостійкість підсилювача.
- 6.8. Поясніть вплив від'ємного ЗЗ на нелінійні спотворення сигналу.
- 6.9. Поясніть вплив частотозалежного від'ємного ЗЗ на смугу частот.
- 6.10. Поясніть суть балансу фаз та балансу амплітуд.
- 6.11. Наведіть принципову схему автогенератора гармонічних коливань.
- 6.12. Наведіть схему симетричного мультивібратора.

Рекомендована література

- 6.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 114 – 135.
- 6.2. Остапенко Г.С. Усилительные устройства: учебное пособие для вузов / Г.С. Остапенко – М.: Радио и связь, 1989. – С. 49 – 102.
- 6.3. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 294 – 297.
- 6.4. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 154 – 157.

Розділ 7

АНАЛОГОВІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ

7.1. Загальні відомості

Інтегральною схемою (ІС) є електронний пристрій, який виготовлений єдиним цілим. Звідси ІС є функціонально закінченим елементом, який виконує певні функції.

Усі ІС розподіляються на два класи: *аналогові* ІС та *цифрові* ІС. Така класифікація зумовлена видом вхідних та вихідних сигналів.

Аналоговий сигнал характеризується *неперервною* функцією, а *цифровий сигнал* – *дискретними* рівнями.

Для обробки цих сигналів і призначені відповідно аналогові та цифрові ІС.

Однією з характеристик ІС є *рівень (ступінь) інтеграції*, яким є $\lg N$, де N – кількість елементів в ІС (резисторів, транзисторів тощо). Перший рівень інтеграції відповідає $N \leq 10$, другий – $10 < N \leq 100$ і т. д. за десятиковою градацією. Зараз досягнутий шостий рівень, тобто $N > 10^5$ елементів.

Перший і частково другий рівні називають *низькими*, другий і третій – *середніми*, подальші – *високими* і *надвисокими* ступенями інтеграції.

За виготовленням ІС бувають *напівпровідниковими*, *гібридними* та *плівковими*.

Найбільш розповсюдженими ІС є напівпровідникові. Тому гібридні та плівкові ІС тут не розглядаються.

Марка ІС містить інформацію про довідкові дані, особливості та функцію, яку виконує ІС.

Наприклад, шифр “К 284 УН 1А” означає наступне:

- К – ІС широкого застосування;
- 284 – номер серії (розробки);
- 2 – перша цифра номера серії, якщо *парна*, то ІС *гібридна*, а якщо *непарна*, то ІС *напівпровідникова*.

- УН – літерне позначення функції; у даному випадку (рос: усилитель низкой частоты);

- 1А – параметри й особливості за паспортом ІС.

Шифр “К 140 УД 6” означає, що:

- ІС широкого застосування (літера К);
- ІС напівпровідникова (перша цифра *непарна*);
- УД – підсилювач (рос: “усилитель”) диференційний (операційний);
- 6 – малі вхідні струми та наявність корекції (балансування).

Зараз найбільш розповсюдженою аналоговою ІС є операційний підсилювач.

7.2. Операційні підсилювачі

Операційний підсилювач (ОП) – це модульний багатокаскадний підсилювач з диференційним входом, умовне позначення якого наведено на рис. 7.1.

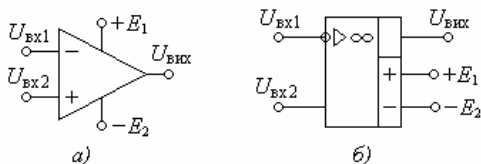


Рис. 7.1. Умовне позначення операційного підсилювача: а – колишнє; б – сучасне

Тут:

- $U_{\text{ВХ1}}$ – інвертуючий вхід;
- $U_{\text{ВХ2}}$ – неінвертуючий вхід;
- $U_{\text{ВХ}}$ – вихід ОП;
- $+E_1$ та $-E_2$ – входи живлення.

ОП за своїми параметрами наближається до ідеального, а саме:

- нескінченно великий коефіцієнт підсилення за напругою;
- нескінченно великий вхідний опір;
- нескінченно малий вихідний опір;
- рівність нулю вихідної напруги при рівних напругах на обох входах.

Реалізацію цих вимог частково пояснює еквівалентна схема ОП (рис. 7.2). Вона містить два входи $U_{\text{ВХ1}}$ та $U_{\text{ВХ2}}$, перший з яких повертає фазу сигналу на 180° і тому називається *інвертуючим*, а другий – не повертає і називається *неінвертуючим*.

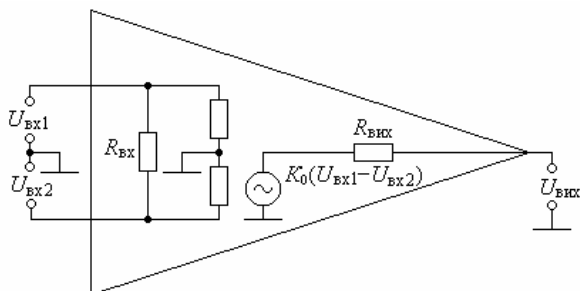


Рис. 7.2. Еквівалентна схема операційного підсилювача

Вихідний сигнал $U_{\text{ВХ}}$ забезпечується якимось умовним генератором з напругою $K_0(U_{\text{ВХ2}} - U_{\text{ВХ1}})$, де K_0 – власний коефіцієнт підсилення, який для сучасних ОП становить $10^5 \dots 10^6$. З таким великим коефіцієнтом підсилення ОП випускаються промисловістю, а користувач має вмiти одержувати будь-яке потрібне підсилення (про це йдеться нижче).

Отже, ОП підсилює різницю ($U_{\text{вх}2} - U_{\text{вх}1}$) і тому вихідна напруга становить

$$U_{\text{вих}} = K_0 (U_{\text{вх}2} - U_{\text{вх}1}). \quad (7.1)$$

З формули (7.1) випливає, що вихідна напруга $U_{\text{вих}}$ найбільша для диференціальних (протифазних) сигналів ($U_{\text{вх}2} = -U_{\text{вх}1}$) і дорівнює нулю при синфазних сигналах ($U_{\text{вх}2} = U_{\text{вх}1}$), тобто ОП підсилює протифазні і придушує синфазні сигнали.

Однак, повного придушення синфазних сигналів практично не буває, але чим менше $U_{\text{вих}}$ від підсилення ($U_{\text{вх}2} = U_{\text{вх}1}$), тим вище якість ОП. Оцінкою цієї якості є *коефіцієнт ослаблення синфазного сигналу* (КОСС).

$$\text{КОСС} = \frac{K_0}{K_{\text{сс}}}, \quad (7.2)$$

де $K_{\text{сс}} = \frac{U_{\text{вих}}}{U_{\text{вх сс}}}$ – коефіцієнт підсилення синфазного сигналу;

$$U_{\text{вх сс}} = U_{\text{вх}1} = U_{\text{вх}2}.$$

Завжди $\text{КОСС} \gg 1$ і чим більше, тим вище якість ОП.

Структура ОП (рис. 7.3) містить на вході *вхідний каскад* ВК, а на виході – *кінцевий каскад* КК, які зв'язані через *проміжний каскад* підсилення ПК.

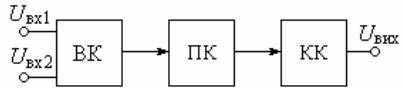


Рис. 7.3. Структурна схема операційного підсилювача

7.2.1. Вхідний каскад ОП

Основним призначенням *вхідного каскаду* ВК є придушення наведень. Вхідним каскадом є резистивний диференціальний підсилювач. Схема резистивного диференціального підсилювача здійснюється на підставі розгалужувального з'єднання (див. розд. 5).

Резистивний диференціальний підсилювач, принципова схема якого наведена на рис. 7.4, є симетричним розгалужувальним з'єднанням на транзисторах $VT1$ та $VT2$, які створюють два підсилювачі зі спільними емітерами і диференціальними входами $U_{\text{вх}1} = -U_{\text{вх}2}$. Розгалужувальним з'єднанням є перше коло $VT1$ та друге $VT2$ разом з джерелом незмінного струму $I_0 = I_{K1} + I_{K2} = \text{const}$. Сигнали

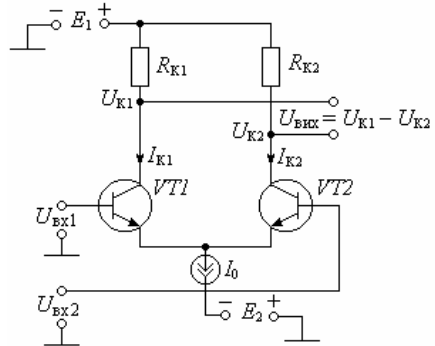


Рис. 7.4. Принципова схема диференціального підсилювача

$U_{\text{вх1}}$ та $U_{\text{вх2}}$, підсилюючись, створюють колекторні напруги $U_{\text{К1}}$ та $U_{\text{К2}}$ так само, як і в одноконтурному підсилювачі.

Диференційний підсилювач працює наступним чином. Якщо кожний підсилювач на $VT1$ та $VT2$ збільшує вхідну напругу в K разів, то колекторні напруги становлять

$$U_{\text{К1}} = -K U_{\text{вх1}}, \quad (7.3)$$

$$U_{\text{К2}} = -K U_{\text{вх2}}. \quad (7.4)$$

Тоді вихідна напруга визначиться як

$$U_{\text{вих}} = U_{\text{К1}} - U_{\text{К2}} = K(U_{\text{вх2}} - U_{\text{вх1}}). \quad (7.5)$$

При синфазних сигналах

$$U_{\text{вх1}} = U_{\text{вх2}} \quad (7.6)$$

вихідна напруга (7.5) дорівнює нулю ($U_{\text{вих}} = 0$), бо знаки колекторних напруг (7.3), (7.4) однакові. Так здійснюється придушення будь-якого синфазного сигналу (7.6).

За наявності диференційного сигналу

$$U_{\text{вх2}} = -U_{\text{вх1}} \quad (7.7)$$

знаки колекторних напруг (7.3), (7.4) протилежні, через що вихідна напруга сигналу відрізняється від нуля:

$$U_{\text{вих}} = -2 K U_{\text{вх1}}. \quad (7.8)$$

Таким чином диференційний резистивний підсилювач підсилює протифазні сигнали (7.7) і придушує синфазні (7.6).

Крім цього, диференційний підсилювач має ту необхідну перевагу, що придушує наведення. Це здійснюється наступним чином.

Напруга наведень $U_{\text{н}}$ в обох колекторах є синфазною, через що за наявності сигналу (7.7) колекторні напруги (7.3), (7.4) визначаються як

$$U_{\text{К1}} = -K U_{\text{вх1}} + U_{\text{н}}, \quad (7.9)$$

$$U_{\text{К2}} = +K U_{\text{вх1}} + U_{\text{н}}. \quad (7.10)$$

Підставляючи (7.9) та (7.10) в (7.5), одержуємо залежність (7.8), тобто вихідна напруга є вільною від наведень, незважаючи на те, що в кожному колекторному колі вони є.

Таким чином, диференційний підсилювач придушує синфазні сигнали й наведення і підсилює тільки диференційні сигнали, здійснюючи певну завадостійкість.

Щодо джерела незмінного струму

$$I_0 = I_{K1} + I_{K2} = \text{const}, \quad (7.11)$$

то воно живить розгалужувальне з'єднання ($VT1; VT2$) і призначене для надання можливості керувати підсилювачем лише по одному входу. З співвідношення (7.11) видно, що при змінненні будь-якого струму I_{K1} чи I_{K2} у певному напрямі інший струм має змінити напрям на протилежний.

Нехай вхід U_{Bx2} закорочений, а до U_{Bx1} подається сигнал U_c (рис. 7.5). Незважаючи на те, що вхід U_{Bx2} закорочений, транзистор $VT2$, завдяки I_0 , також охоплений сигналом.

Дійсно, при збільшенні $U_{Bx1} = U_c$ транзистор $VT1$ додатково відкривається, тобто зростає I_{K1} , через що I_{K2} згідно з (7.11) має зменшитись. Це відбувається наступним чином.

Через зростання струму I_{K1} на опорі джерела I_0 збільшується падіння напруги, яке прикладене до емітерного переходу $VT2$ у зворотному напрямі. Тому $VT2$ запирається, зменшуючи струм I_{K2} . Так, наявність джерела струму I_0 зумовлює керування обома транзисторами, незважаючи на те, що сигнал U_c потрапляє лише до одного. Без джерела I_0 транзистор $VT2$ не керувався б.

Попередження. Оскільки входами ОП "обірвані" бази транзисторів, то вони обов'язково повинні мати коло за постійним струмом.

Недоліком диференційного резистивного підсилювача є відносно малий коефіцієнт підсилення (не більше сотні). Однак диференційні підсилювачі сучасних ОП повинні мати коефіцієнт підсилення близько мільйона. Таке високе підсилення забезпечує проміжний каскад.

7.2.2. Проміжний каскад ОП

Основним призначенням *проміжного каскаду* є забезпечення високого коефіцієнта підсилення.

Діаграма роботи резистивного підсилювача (рис. 7.6) пояснює проблему одержання високого підсилення, з якої видно, що для підвищення коефіцієнта підсилення треба за одним і саме тим же сигналом I_{mb} збільшити вихідну напругу від $U_{mвих1}$ до $U_{mвих2}$. Для цього лінія навантаження 2 має розміщуватись під меншим кутом, ніж лінія 1. Це досягається лише при збільшенні опорів навантаження від R_{K1} до R_{K2} , що спричиняє підвищення напруги живлення від E_{K1} до E_{K2} , тобто лінія навантаження

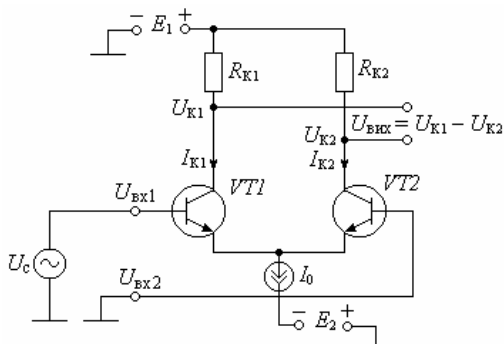


Рис. 7.5. Диференційний каскад з керуванням по одному входу

$$I_K = \frac{E_K}{R_K} - \frac{U_K}{R_K} \quad (7.12)$$

повинна наближатися до ВАХ джерела струму.

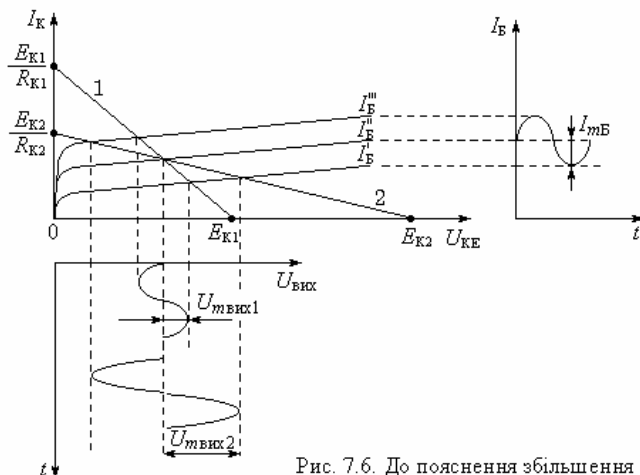


Рис. 7.6. До пояснення збільшення підсилення

Опір джерела струму

$$R_{\text{вих}} = \frac{dU_{\text{вих}}}{dI_{\text{вих}}}, \quad (7.13)$$

ВАХ якого наведена на рис. 7.7, є нескінченно великим, але при цьому постійну напругу живлення U_0 не треба підвищувати, як у резистивному підсилювачі. Вона може бути скільки завгодно малою, бо положення робочої точки РТ не впливає на $R_{\text{вих}}$.

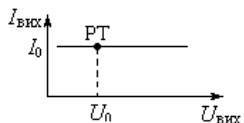


Рис. 7.7. ВАХ джерела струму

ВАХ ідеального джерела струму здійснити важко, бо треба необмежено збільшувати напругу живлення E_K , але при розгляданні діаграми роботи (рис. 7.6) видно, що підвищення підсилення можна здійснити, якщо одержати лінію навантаження вигляду 2, тобто достатньо полого.

Такою лінією навантаження може бути вихідна ВАХ транзистора (рис. 7.8).

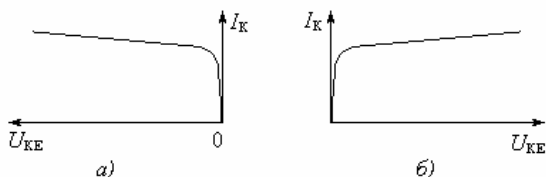


Рис. 7.8. Вихідні ВАХ транзисторів: а – типу $p-n-p$; б – типу $n-p-n$

Якщо вихідне коло транзистора “колектор-емітер” включити в колектор іншого транзистора, то ці транзистори будуть колекторним навантаженням один у одного. Із зіставлення рис. 7.8,а та 7.8,б випливає, що згадані два транзистори мають бути протилежних провідностей. Таке з’єднання транзисторів реалізоване в диференційному підсилювачі з динамічним навантаженням.

Диференційний підсилювач з динамічним навантаженням, принципова схема якого наведена на рис. 7.9, містить транзистор $VT4$, який має навантаженням коло “колектор-емітер” $VT3$, а навантаженням транзистора $VT3$ є коло “колектор-емітер” $VT4$.

Розглянемо роботу підсилювача при підведенні сигналу лише до одного входу $U_{вх1}$. Другий вхід $U_{вх2}$ закорочений.

Транзистори $VT1$ та $VT3$ створюють так зване *струмове дзеркало*, тобто колекторні струми цих транзисторів завжди рівні:

$$I_{K1} = I_{K3} \quad (7.14)$$

Це пояснюється тим, що емітерні переходи $VT1$ та $VT3$ перебувають під однією й самою ж напругою U_{BE} , яка установлюється резистором R_d .

Транзистор $VT1$ ввімкнений за діодною схемою, тобто він є діодом. Його струм I_{K2} визначається мірою відкриття транзистора $VT1$ сигналом $U_{вх1}$. Через це сигнал $U_{вх1}$ визначає струм

$$I_{K2} \approx I_{K1} \quad (7.15)$$

Тому сигнал $U_{вх1}$ визначає струм I_{K2} , якому згідно з (7.14) та (7.15) дорівнює струм I_{K3} .

Підсилювач з динамічним навантаженням працює наступним чином.

У початковому стані при $U_{вх1} = 0$, як і завжди завдяки струмовому дзеркалу, спостерігається рівність струмів $I_{K4} = I_{K3}$ (рис. 7.10). Через це вихідна напруга $U_{вих} = U_{OK}$ визначається робочою точкою РТ.

Подано сигнал. Нехай напруга $U_{вх1}$, яку треба підсилити, зростає. При цьому транзистор $VT2$, додатково відкриваючись, збільшує струм I_{K2} , через що зростає струм бази I_{B3} транзистора $VT3$ від I_{B3} до $I_{B3} + \Delta I_B$.

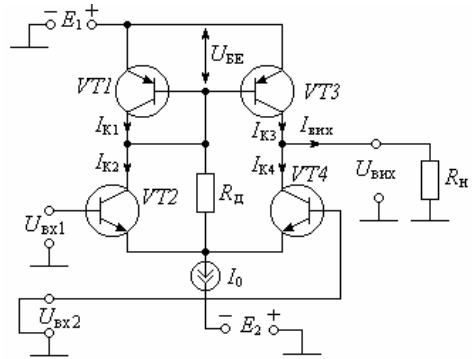


Рис. 7.9. Диференційний підсилювач з динамічним навантаженням

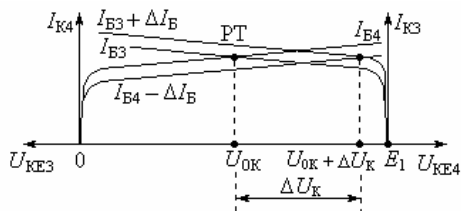


Рис. 7.10. Діаграма роботи диференційного підсилювача з динамічним навантаженням

Збільшений струм I_{K2} створює на опорі джерела I_0 падіння напруги, яка прикладається до емітерного переходу $VT4$ у зворотному напрямі. Тому струм бази I_{B4} транзистора $VT4$ зменшується від I_{B4} до $I_{B4} - \Delta I_B$.

Вихідний опір транзистора $VT3$ зменшується, а $VT4$ – зростає. Тому вихідна напруга збільшується на ΔU_K і становить

$$U_{\text{вих}(+)} = U_{0K} + \Delta U_K. \quad (7.16)$$

При зменшенні $U_{\text{вх}1}$ вихідна напруга зменшується на ΔU_K і становить

$$U_{\text{вих}(-)} = U_{0K} - \Delta U_K. \quad (7.17)$$

Через високий вихідний опір транзисторів змінення вихідної напруги

$$\Delta U_{\text{вих}} = U_{\text{вих}(+)} - U_{\text{вих}(-)} = 2 \Delta U_K \quad (7.18)$$

значне, що забезпечує високий коефіцієнт підсилення.

7.2.3. Кінцевий каскад ОП

Кінцевий каскад ОП має забезпечити малий вихідний опір та нульову вихідну напругу при $U_{\text{вх}1} = U_{\text{вх}2}$. Це досягається тим, що кінцевим каскадом є *комплементарний емітерний повторювач* (рис. 7.11), що живиться від двох різнополярних джерел $+E_1$ та $-E_2$.

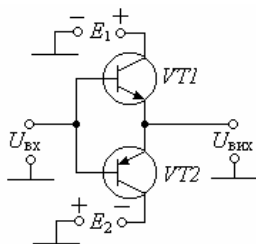


Рис. 7.11. Структурна схема комплементарного емітерного повторювача

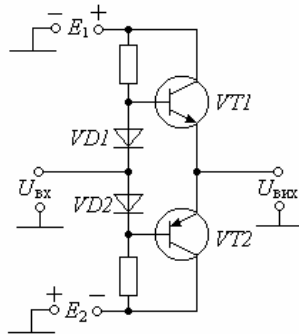


Рис. 7.12. Принципова схема комплементарного емітерного повторювача

Комплементарною називається пара транзисторів з протилежними типами провідностей: $VT1$ типу $n-p-n$, а $VT2$ типу $p-n-p$.

Комплементарний емітерний повторювач діє наступним чином.

У початковому стані при $U_{\text{вх}} = 0$ обидва транзистори закриті. Оскільки їхні колектори живляться від різнополярних джерел напруги $+E_1$ та $-E_2$, то при $|E_1| = |E_2|$ вихід перебуває під нульовим потенціалом $U_{\text{вих}} = 0$. З поданням

сигналу $U_{\text{вх}} > 0$ закривається транзистор $VT2$ і відкривається $VT1$, пропускаючи частину напруги $+E_1$ до виходу, забезпечуючи $U_{\text{вих}} > 0$.

Зменшення ж напруги сигналу $U_{\text{вх}} < 0$ закриває $VT1$ і відкриває $VT2$, пропускаючи до виходу частину напруги $-E_2$ і створюючи саме тим $U_{\text{вих}} < 0$.

Отже, вихідний сигнал змінюється навколо нульової вихідної напруги $U_{\text{вих}} = 0$.

Недоліком повторювача (рис. 7.11) є режим C . Тому доки $U_{\text{вх}}$ не перевищить $0,7$ В, транзистори не відкриваються, тобто від амплітуди сигналу віднімається $0,7$ В.

Для усунення цього недоліку входи транзисторів зміщують прямою напругою діодів (рис. 7.12). Це зміщення створюється на діодах $VD1$ та $VD2$, пряма напруга ($0,7$ В) яких додається до $U_{\text{вх}}$. Ця напруга виводить транзистори на межу відкриття без зменшення вхідного сигналу, як у схемі (рис. 7.11).

7.3. Каскади на операційних підсилювачах

7.3.1. Приймач струму

Приймач струму, схема якого наведена на рис. 7.13, наближається до ідеального і є базовим каскадом багатьох пристроїв на операційних підсилювачах (ОП).

Живлення входів забезпечується тим, що неінвертуючий вхід підключений до нульової шини, а інвертуючий – через резистор від'ємного зворотного зв'язку R_{33} до виходу. Ця схема живлення входів є найбільш розповсюдженою для більшості каскадів на ОП.

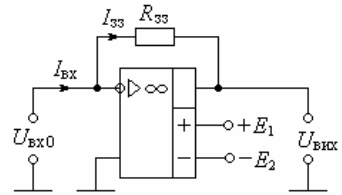


Рис. 7.13. Приймач струму

Критерієм ідеального приймача струму є нехтовно малий вхідний опір

$$R_{\text{вх}} = \frac{U_{\text{вх}0}}{I_{\text{вх}}} \rightarrow 0. \quad (7.19)$$

Покажемо це.

Оскільки вхідний опір входів саме ОП нескінченно великий, то вхідний струм $I_{\text{вх}}$ цілком тече по колу R_{33} :

$$I_{\text{вх}} = I_{33}. \quad (7.20)$$

Тоді вихідна напруга в будь-якому каскаді, який охоплений колом R_{33} , визначається як

$$U_{\text{вих}} = I_{33} R_{33}. \quad (7.21)$$

З формул (7.19) та (7.21) маємо

$$U_{\text{вих}} = I_{\text{вх}} R_{33}. \quad (7.22)$$

Підставляючи (7.22) в (7.19), одержуємо

$$R_{\text{вх}} = \frac{U_{\text{вх}0}}{U_{\text{вих}}} R_{33}. \quad (7.23)$$

Власний коефіцієнт підсилення ОП визначається як

$$K_0 = \frac{U_{\text{вих}}}{U_{\text{вх}0}} \quad (7.24)$$

і становить $10^5 \dots 10^6$.

На підставі (7.23) та (7.24) остаточно маємо

$$R_{\text{вх}} = \frac{R_{33}}{K_0}, \quad (7.25)$$

звідки видно, що вхідний опір $R_{\text{вх}}$ приймача струму дуже малий і, наприклад, при $R_{33} = 10 \text{ кОм}$ і $K_0 = 10^5$ становить усього $R_{\text{вх}} = 0,1 \text{ Ом}$.

Отже, розглядаючи приймач струму, приходимо до наступних висновків:

- вхідний опір приймача струму малий, через що потенціали інвертуючого та неінвертуючого входів є близькими і тому напруга між ними $U_{\text{вх}0}$ не перевищує сотень мікрвольт і якщо, наприклад, $K_0 = 10^5$ і $U_{\text{вих}} = 15 \text{ В}$, то з (7.24) маємо $U_{\text{вх}0} = 150 \text{ мкВ}$, тобто $U_{\text{вх}0} \rightarrow 0$;

- попередній пункт визначає, що від'ємний ЗЗ вирівнює потенціали інвертуючого та неінвертуючого входів;

- приймач струму підсилює різницю потенціалів $U_{\text{вх}}$ між інвертуючим та неінвертуючим входами, перетворюючи вхідний струм $I_{\text{вх}}$ у вихідну напругу $U_{\text{вих}}$ (7.21).

7.3.2. Інвертуючий підсилювач напруги

Для підсилення напруги необхідно перетворити її на струм та підвести його до входу приймача струму (рис. 7.13). Це перетворення в схемі інвертуючого підсилювача (рис. 7.14) здійснює резистор $R1$. Резистор $R2$ здійснює від'ємний зворотний зв'язок, метою якого є зменшення коефіцієнта підсилення від K_0 до необхідної величини

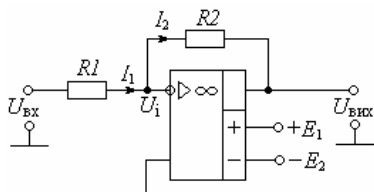


Рис. 7.14. Інвертуючий підсилювач

$$K_U = \frac{U_{\text{вих}}}{U_{\text{вх}}}. \quad (7.26)$$

Для пояснення цього зменшення визначимо K_U . Знаходимо струми

$$I_1 = \frac{U_{\text{вх}} - U_i}{R_1}; \quad (7.27)$$

$$I_2 = \frac{-U_{\text{вих}} - U_i}{R_2}. \quad (7.28)$$

Оскільки від'ємний зворотний зв'язок вирівнює потенціали входів ОП,

то інвертуючий вхід є віртуальною землею, тобто

$$U_i = 0. \quad (7.29)$$

Тоді

$$I_1 = \frac{U_{\text{вх}}}{R_1}; \quad (7.30)$$

$$I_2 = -\frac{U_{\text{вих}}}{R_2}. \quad (7.31)$$

Знак “-“ у (7.31) віддзеркалює те, що сигнал потрапляє до інвертуючого входу, через що знаки вхідної напруги $U_{\text{вх}}$ та вихідної $U_{\text{вих}}$ протилежні, тобто інвертуючий підсилювач обертає фазу вхідного сигналу на 180° .

Оскільки вхідні опори саме входів ОП нескінченно великі, то вони ніколи не обтікаються струмами. Тоді вхідний струм I_1 може текти тільки по колу зворотного зв'язку R_2 , тобто

$$I_1 = I_2. \quad (7.32)$$

З формул (7.26) та (7.30) ... (7.32) одержуємо вираз для коефіцієнта підсилення інвертуючого підсилювача

$$K_i = -\frac{R_2}{R_1}. \quad (7.33)$$

Знак “-“ вказує на протилежність фаз $U_{\text{вх}}$ та $U_{\text{вих}}$, тобто $U_{\text{вих}} = -K_i U_{\text{вх}}$.

Отже, коефіцієнт підсилення інвертуючого підсилювача однозначно визначається співвідношенням опорів резистора зворотного зв'язку R_2 та резистора на вході R_1 . Вибором опору R_2 забезпечують необхідне підсилення.

Щодо опору R_1 , то йому дорівнює вхідний опір. Тому R_1 не може бути надмірно малим. Через це необхідний коефіцієнт підсилення забезпечують переважно вибором опору R_2 .

Інвертуючий підсилювач може сприймати сигнали як безпосередньо по гальванічному колу, так і через конденсатор.

7.3.3. Неінвертуючий підсилювач напруги

У *неінвертуючому підсилювачі*, схема якого наведена на рис. 7.15, сигнал потрапляє до неінвертуючого входу. Тому фази $U_{\text{вх}}$ та $U_{\text{вих}}$ співпадають.

Для визначення коефіцієнта підсилення, зважаючи на те, що від'ємний ЗЗ вирівнює потенціали входів ОП, скористуємось рівністю $U_i = U_{\text{вх}}$. Напруга U_i є вихідною напругою подільника R_2 ; R_1 і тому

$$U_{\text{вх}} = U_{\text{вих}} \frac{R_1}{R_1 + R_2}. \quad (7.34)$$

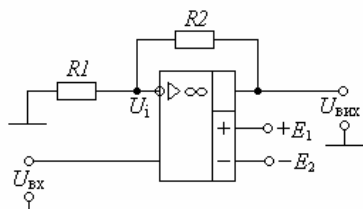


Рис. 7.15. Неінвертуючий підсилювач постійного струму

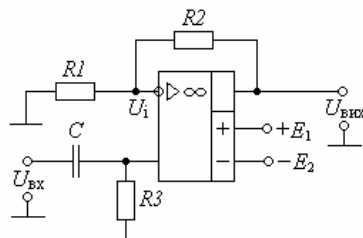


Рис. 7.16. Неінвертуючий підсилювач змінного струму

З формул (7.33) та (7.34) знаходимо коефіцієнт підсилення неінвертуючого підсилювача

$$K_{\text{н}} = \frac{R_2}{R_1} + 1. \quad (7.35)$$

Зіставляючи (7.33) та (7.35), бачимо, що $K_{\text{н}}$ більше за K_{i} на одиницю. Для великих коефіцієнтів підсилення ($K_{\text{i}} \gg 1$) це не має значення, а на малі K_{i} одиниця впливає суттєво.

Щодо вхідного опору, то він значний і дорівнює власному опору входу ОП, тобто є досить великим.

Слід звернути особливу увагу на те, що неінвертуючий вхід не має живлення і тому його треба підключати до джерела сигналу тільки по гальванічному колу.

Якщо треба подавати $U_{\text{вх}}$ через конденсатор C , то в схемі має бути резистор R_3 , який забезпечує гальванічне коло неінвертуючого входу (рис. 7.16).

7.3.4. Повторювач напруги

Повторювач має коефіцієнт підсилення напруги

$$K_{\text{п}} = 1. \quad (7.36)$$

Зіставляючи (7.36) з (7.35), виявляємо, що рівність (7.36) досягається за умов

$$R_2 = 0; R_1 \rightarrow \infty, \quad (7.37)$$

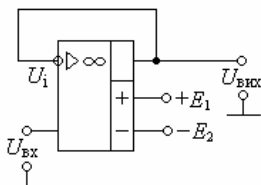


Рис. 7.17. Повторювач

тобто, для одержання повторювача слід у неінвертуючому підсилювачі закортити R_2 та вилучити R_1 (рис. 7.17).

Повторювач працює наступним чином.

Від'ємний ЗЗ вирівнює потенціали інвертуючого U_i та неінвертуючого $U_{\text{вх}}$ входів, тобто забезпечує рівність

$$U_i = U_{\text{вх}}. \quad (7.38)$$

Оскільки $U_{\text{вих}}$ та U_i закорочені, то

$$U_{\text{вих}} = U_i. \quad (7.39)$$

Зі співвідношень (7.38) та (7.39) видно, що вхідна й вихідна напруги збігаються:

$$U_{\text{вих}} = U_{\text{вх}}, \quad (7.40)$$

звідки

$$K_{\text{п}} = \frac{U_{\text{вих}}}{U_{\text{вх}}} = 1, \quad (7.41)$$

тобто коефіцієнт передавання повторювача дорівнює 1.

Повторювач має великий вхідний опір і малий вихідний і тому повторює вхідну напругу, але з підсиленням потужності.

Оскільки вхідне коло повторювача цілком перейняте з неінвертуючого підсилювача, то все щодо змінного струму, слід виконувати за схемою (рис. 7.16).

7.3.5. Інвертуючий суматор

Інвертуючий суматор, схема якого наведена на рис. 7.18, у загальному випадку складає струми. Ця здатність зумовлена нехтовно малим опором приймача струму (див. рис. 7.13), на якому здійснений суматор.

Оскільки сума вхідних струмів повністю тече по колу ЗЗ, то

$$I_{\text{ЗЗ}} = I_1 + I_2 + \dots + I_n. \quad (7.42)$$

Вихідна напруга становить

$$U_{\text{вих}} = -(I_1 + I_2 + \dots + I_n) R_{\text{ЗЗ}}. \quad (7.43)$$

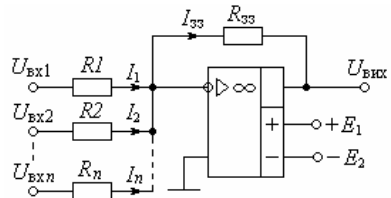


Рис. 7.18. Інвертуючий суматор

Струми (7.42) визначаються як

$$I_1 = \frac{U_{\text{вх}1}}{R_1}; \quad I_2 = \frac{U_{\text{вх}2}}{R_2}; \quad \dots; \quad I_n = \frac{U_{\text{вх}n}}{R_n}. \quad (7.44)$$

З формул (7.42) – (7.44) визначаємо вихідну напругу

$$U_{\text{вих}} = - \left(\frac{U_{\text{вх}1}}{R_1} + \frac{U_{\text{вх}2}}{R_2} + \dots + \frac{U_{\text{вх}n}}{R_n} \right) R_{\text{ЗЗ}}. \quad (7.45)$$

З останнього співвідношення видно, що суматор складає напруги (7.45) $U_{\text{вх}1} \dots U_{\text{вх}n}$ зі своїми масштабними коефіцієнтами, які визначаються

опорами $R_1 \dots R_n$. Наприклад, при $U_{\text{вх1}} = U_{\text{вх2}}$ та $R_2 = 2R_1$ внесок напруги $U_{\text{вх2}}$ у вихідний сигнал буде вдвічі меншим за $U_{\text{вх1}}$. Вираз у дужках (7.45) носить назву *зваженої суми*.

Якщо треба одержати *арифметичне* складання напруг, то згадані масштабні коефіцієнти мають дорівнювати одиниці. З цього слідує, що опори усіх резисторів мають бути однаковими:

$$R_1 = R_2 = \dots = R_n = R_{33} = R. \quad (7.46)$$

З формул (7.45) та (7.46) випливає, що в окремому випадку при однакових опорах усіх резисторів суматор складає вхідні напруги арифметично:

$$U_{\text{вих}} = -(U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхn}}). \quad (7.47)$$

7.3.6. Схема складання-віднімання

Схема складання-віднімання, яка наведена на рис. 7.19, є узагальненням суматора (рис. 7.18).

Оскільки в схемі (рис. 7.19) використовуються диференційні входи ОП (інвертуючий та неінвертуючий), то внесок вхідних напруг цих входів у вихідну напругу буде з протилежними знаками.

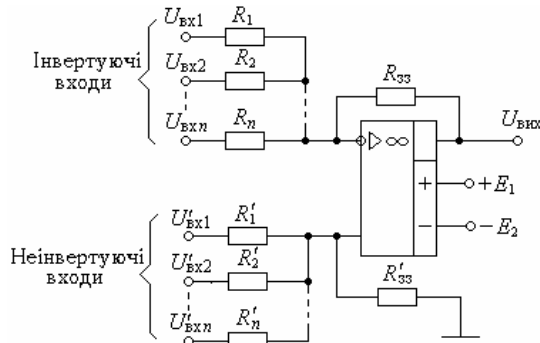


Рис. 7.19. Схема складання-віднімання

Щодо загальної формули для $U_{\text{вих}}$ за будь-яких опорів резисторів, то вона дуже громіздка. Тому обмежимося лише збалансованими коефіцієнтами інвертуючого та неінвертуючого підсилення, умовами яких є:

$$\left(\frac{1}{R_1} + \frac{1}{R_2} + \dots + \frac{1}{R_m} \right) R_{33} = \left(\frac{1}{R'_1} + \frac{1}{R'_2} + \dots + \frac{1}{R'_n} \right) R'_{33}, \quad (7.48)$$

де m – число інвертуючих входів;

n – число неінвертуючих входів.

Тоді за аналогією з (7.45) визначимо вихідну напругу:

$$U_{\text{вих}} = - \left(\frac{U_{\text{вх1}}}{R_1} + \frac{U_{\text{вх2}}}{R_2} + \dots + \frac{U_{\text{вх}m}}{R_m} \right) R_{33} + \left(\frac{U'_{\text{вх1}}}{R'_1} + \frac{U'_{\text{вх2}}}{R'_2} + \dots + \frac{U'_{\text{вх}n}}{R'_n} \right) R'_{33}. \quad (7.49)$$

Як і для суматора (рис. 7.18), за аналогією з (7.46) при

$$\begin{aligned} R_1 = R_2 = \dots = R_m = R_{33} = R, \\ R'_1 = R'_2 = \dots = R'_n = R'_{33} = R' \end{aligned} \quad (7.50)$$

одержуємо вихідну напругу як наслідок арифметичного складання-віднімання вхідних сигналів:

$$U_{\text{вих}} = - (U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вх}m}) + (U'_{\text{вх1}} + U'_{\text{вх2}} + \dots + U'_{\text{вх}n}). \quad (7.51)$$

Примітка. Звертаємо особливу увагу на обов'язкову наявність резистора R_{33} , без якого складання-віднімання неможливе. На великий жаль у деяких виданнях його немає.

7.3.7. Неінвертуючий суматор

Неінвертуючий суматор, схема якого наведена на рис. 7.20, є варіантом схеми складання-віднімання (рис. 7.19).

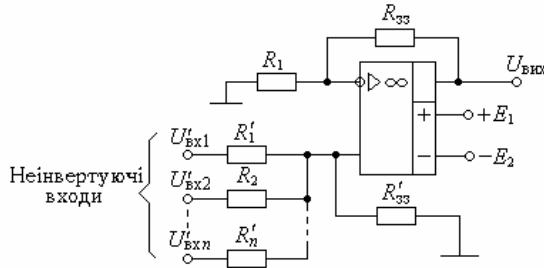


Рис. 7.20. Неінвертуючий суматор

Неінвертуючий вхід забезпечує складання вхідних напруг, а коло інвертуючого входу визначає коефіцієнт підсилення $\left(\frac{R_{33}}{R_1} + 1 \right)$. Зважаючи на це, з формули (7.49) знаходимо вихідну напругу для схеми (рис. 7.20):

$$U_{\text{вих}} = \left(\frac{U_{\text{вх1}}}{R_1} + \frac{U_{\text{вх2}}}{R_2} + \dots + \frac{U_{\text{вх}n}}{R_n} \right) R_{33} * \left(\frac{R_{33}}{R_1} + 1 \right). \quad (7.52)$$

Для складання напруг з підсиленням потрібне дотримання рівності

$$R'_1 = R'_2 = \dots = R'_n = R'_{33}, \quad (7.53)$$

підставлення якої в (7.52) визначає вихідну напругу як алгебраїчну суму вхідних напруг

$$U_{\text{вих}} = (U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхn}}) * \left(\frac{R_{33}}{R_1} + 1 \right). \quad (7.54)$$

Врешті-решт для чисто арифметичного складання вхідних напруг потрібно забезпечити одиничне підсилення, яке досягається за умов (7.37).

Зважаючи на (7.37), одержуємо вихідну напругу як суму вхідних напруг:

$$U_{\text{вих}} = (U_{\text{вх1}} + U_{\text{вх2}} + \dots + U_{\text{вхn}}). \quad (7.55)$$

7.3.8. Інтегратор

Інтегратором, схема якого наведена на рис. 7.21, є підсилювач на ОП, в колі ЗЗ якого включений конденсатор C .

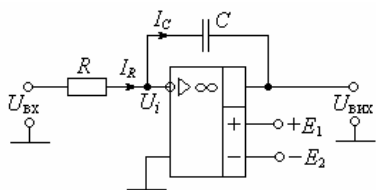


Рис. 7.21. Інвертуючий інтегратор

Інтегратор має вихідну напругу $U_{\text{вих}}$, яка пропорційна інтегралу від вхідної $U_{\text{вх}}$. Знайдемо $U_{\text{вих}}$.

Як завжди маємо рівність

$$I_R = I_C. \quad (7.56)$$

Оскільки інвертуючий вхід є віртуальною землею ($U_i = 0$), то вхідний струм становить

$$I_R = \frac{U_{\text{вх}}}{R}, \quad (7.57)$$

а вихідна напруга цілком прикладена до конденсатора і тому вона зв'язана зі струмом співвідношенням

$$U_{\text{вих}} = -\frac{1}{C} \int I_C dt. \quad (7.58)$$

На підставі (7.56) – (7.58) переконуємось у тому, що вхідна напруга є інтегралом від вхідної:

$$U_{\text{вих}} = -\frac{1}{RC} \int U_{\text{вх}} dt. \quad (7.59)$$

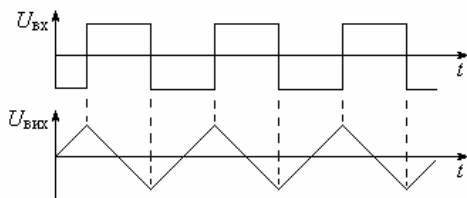


Рис. 7.22. Часова діаграма роботи інвертуючого інтегратора

Щодо використання інтегратора, то одним із багатьох прикладів є формувач напруги трикутної форми (рис. 7.22), яка в межах напівперіоду змінюється лінійно.

Інтегратор також є фільтром нижніх частот. Ці приклади не вичерпують використання інтегратора.

7.3.9. Диференціатор

Диференціатором, схема якого наведена на рис. 7.23, є підсилювач на ОП, на вході якого включений конденсатор C .

Знайдемо взаємозв'язок між вихідною та вхідною напругами.

Через віртуальну землю інвертуючого входу $U_i = 0$ вхідна напруга $U_{вх}$ цілком прикладена до конденсатора C , а

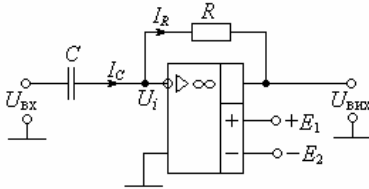


Рис. 7.23. Інвертуючий диференціатор

вихідна $U_{ввих}$ – до резистора R .

Тому

$$U_{ввих} = \frac{1}{C} \int I_C dt; \quad (7.60)$$

$$I_R = -\frac{U_{ввих}}{R}. \quad (7.61)$$

Ураховуючи рівність (7.56), після підставлення (7.61) у (7.60) та диференціювання знайденого співвідношення, маємо

$$U_{ввих} = -RC \frac{dU_{ввих}}{dt}, \quad (7.62)$$

тобто вихідна напруга пропорційна похідній від $U_{ввих}$.

Щодо використання диференціатора, то одним із багатьох прикладів є формувач напруги прямокутної форми з трикутної (рис. 7.24).

Інтегратор також є фільтром верхніх частот. Ці приклади не обмежують використання диференціатора.

7.3.10. Логарифматори

Логарифматором, схема якого наведена на рис. 7.25, є підсилювач на ОП, в колі ЗЗ якого включений діод VD .

Знайдемо взаємозв'язок між вихідною та вхідною напругами.

Через віртуальну землю інвертуючого входу ($U_i = 0$) вхідна напруга $U_{вх}$ цілком прикладена до резистора R і тому його струм становить

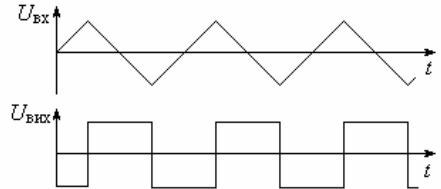


Рис. 7.24. Часова діаграма роботи інвертуючого диференціатора

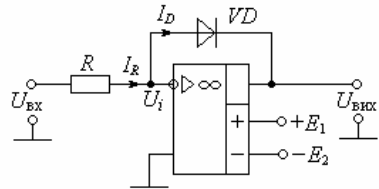


Рис. 7.25. Логарифматор на діоді

$$I_R = \frac{U_{\text{вх}}}{R}. \quad (7.63)$$

Вихідна напруга $U_{\text{вих}}$ повністю прикладена до діода VD і тому його струм визначається рівнянням ВАХ:

$$I_D = I_0 \exp\left(\frac{U_{\text{вих}}}{\Phi_T}\right), \quad (7.64)$$

де I_0 – зворотний струм діода;

Φ_T – температурний потенціал ($\Phi_T = 300 \text{ К} = 26 \text{ мВ}$).

Логарифмуючи (7.64), одержуємо

$$\ln I_D = \ln I_0 + \frac{U_{\text{вих}}}{\Phi_T}, \quad (7.65)$$

звідки маємо

$$U_{\text{вих}} = -\Phi_T (\ln I_D - \ln I_0). \quad (7.66)$$

Через високий опір саме входу ОП маємо рівність

$$I_R = I_D. \quad (7.67)$$

З формул (7.65), (7.66), (7.67) знаходимо вихідну напругу логарифматора

$$U_{\text{вих}} = -\Phi_T \left(\ln \frac{U_{\text{вх}}}{R} - \ln I_0 \right), \quad (7.68)$$

тобто, вихідна напруга пропорційна логарифму напруги вхідної.

Для поширення діапазону вхідних напруг можна замість діода включити транзистор зі спільною базою (рис. 7.26).

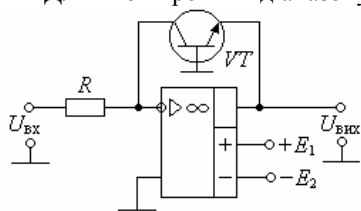


Рис. 7.26. Логарифматор на транзисторі

Вихідна напруга цієї схеми становить

$$U_{\text{вих}} = -\Phi_T \left(\ln \frac{U_{\text{вх}}}{R} - \ln I_{E0} \right), \quad (7.69)$$

де I_{E0} – зворотний струм емітерного переходу транзистора VT .

Обидві схеми (рис. 7.25 та рис. 7.26) діють наступним чином.

Коефіцієнт підсилення в обох схемах становить

$$K_U = \left| \frac{R_V}{R} \right|. \quad (7.70)$$

При малих сигналах $U_{\text{вх}}$ вихідна напруга $U_{\text{вих}}$ невелика, через що діод VD (рис. 7.25) або транзистор VT (рис. 7.26) відкриті слабо і тому їхній опір R_V великий

$$R_V \gg R, \quad (7.71)$$

через що K_U (7.70) для слабких сигналів теж великий. Тому слабкі сигнали потрапляють до виходу з високим підсиленням.

Підвищення $U_{вх}$ збільшує вихідну напругу $U_{вих}$, яка сильніше відкриває діод чи транзистор, зменшуючи їхній опір R_V , через що коефіцієнт підсилення (7.70) зменшується.

Отже, малі вхідні сигнали передаються до виходу з великим коефіцієнтом підсилення, а великі сигнали підсилюються менше (рис. 7.27).

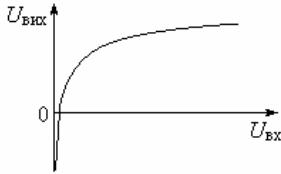


Рис. 7.27. Амплітудна характеристика логарифматора

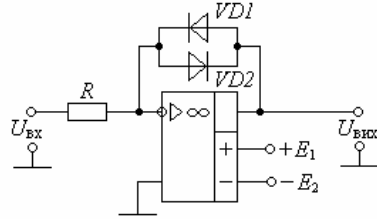


Рис. 7.28. Двополярний логарифматор

Слід мати на увазі те, що розглянуті схеми логарифматорів гідні для вхідних сигналів лише однієї полярності, зокрема, позитивної. Для негативної полярності $U_{вх}$ треба в схемі (рис. 7.25) переполіусувати включення діода, а в схемі (рис. 7.26) включити транзистор типу $p-n-p$.

Для логарифмування двополярних сигналів треба в коло 33 включити зустрічно-паралельне з'єднання діодів (рис. 7.28).

7.3.11. Антилогарифматори

Антилогарифматор призначений експандувати сигнали, тобто збільшувати коефіцієнт підсилення при зростанні вхідної напруги (рис. 7.29). Це можна здійснити, якщо в схемі логарифматора (рис. 7.25, 7.26) поміняти місцями резистор R та діод (транзистор).

Знайдемо залежність між $U_{вих}$ та $U_{вх}$ антилогарифматора, схема якого наведена на рис. 7.30.

Зважаючи на рівність $I_R = I_D$, визначимо ці струми через $U_{вх}$ та $U_{вих}$ відповідно:

$$I_D = I_0 \exp\left(\frac{U_{вх}}{\varphi_T}\right); \quad (7.72)$$

$$I_R = -\frac{U_{вих}}{R}. \quad (7.73)$$

Прирівнюючи (7.72) та (7.73), одержуємо співвідношення

$$U_{вих} = -I_0 R \exp\left(\frac{U_{вх}}{\varphi_T}\right), \quad (7.74)$$

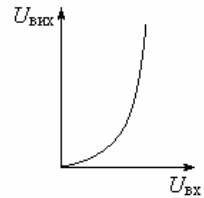


Рис. 7.29. Амплітудна характеристика антилогарифматора

з якого випливає, що вихідна напруга $U_{\text{вих}}$ залежить від вхідної $U_{\text{вх}}$ експоненціально, тобто, чим вища вхідна напруга, тим більше вона підсилюється.

Антилогарифматор діє наступним чином.

При малих $U_{\text{вх}}$ діод (транзистор) відкритий слабо і тому опір вхідного кола R_V великий, через що коефіцієнт підсилення

$$K_U = \left| \frac{R}{R_V} \right| \quad (7.75)$$

малий.

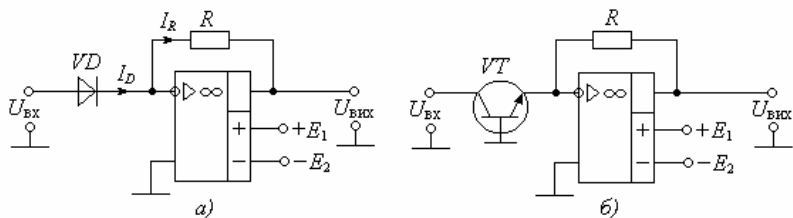


Рис. 7.30. Антилогарифматор: а – на діоді; б – на транзисторі

З підвищенням $U_{\text{вх}}$ діод (транзистор) відкривається сильніше і тому опір вхідного кола R_V зменшується, через що K_U зростає.

Отже, чим більше вхідна напруга, тим вище коефіцієнт підсилення. Так здійснюється антилогарифмування.

7.3.12. Перемножувач напруг

Щоб *перемножити* напруги $U_{\text{вх1}}$ та $U_{\text{вх2}}$, треба скласти їхні логарифми

$$\ln(U_{\text{вх1}} * U_{\text{вх2}}) = \ln U_{\text{вх1}} + \ln U_{\text{вх2}}, \quad (7.76)$$

а потім результат антилогарифмувати.

Схема, яка реалізує цей алгоритм, наведена на рис. 7.31.

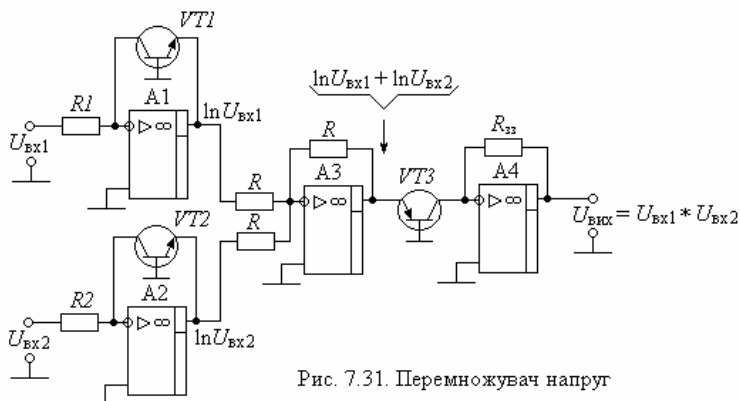


Рис. 7.31. Перемножувач напруг

Тут каскади А1 та А2 логарифмують вхідні напруги $U_{\text{вх1}}$ та $U_{\text{вх2}}$, які треба перемножити. Каскад А3 складає $\ln U_{\text{вх1}}$ та $\ln U_{\text{вх2}}$, а кінцевий каскад А4 здійснює антилогарифмування суми ($\ln U_{\text{вх1}} + \ln U_{\text{вх2}}$), на виході якого маємо

$$U_{\text{вих}} = \frac{1}{I_{03} R_{33}} U_{\text{вх1}} * U_{\text{вх2}}, \quad (7.77)$$

де I_{03} – зворотний струм емітерного переходу $VT3$.

Якщо виконати умову

$$I_{03} R_{33} = 1, \quad (7.78)$$

то з (7.77) за умови (7.78) одержуємо

$$U_{\text{вих}} = U_{\text{вх1}} * U_{\text{вх2}}. \quad (7.79)$$

Отже, вихідна напруга є добутком вхідних напруг $U_{\text{вх1}}$ та $U_{\text{вх2}}$.

7.3.13. Дільник напруг

Ділення напруг $U_{\text{вх1}}$ та $U_{\text{вх2}}$ одна на одну можна виконати, якщо замість складання логарифмів (7.76) здійснити їхнє віднімання

$$\ln \frac{U_{\text{вх1}}}{U_{\text{вх2}}} = \ln U_{\text{вх1}} - \ln U_{\text{вх2}}. \quad (7.80)$$

Тоді в схемі (рис. 7.31) замість суматора має бути віднімач А3 (рис. 7.32). Решта каскадів мають те ж саме призначення, що й в схемі (рис. 7.31).

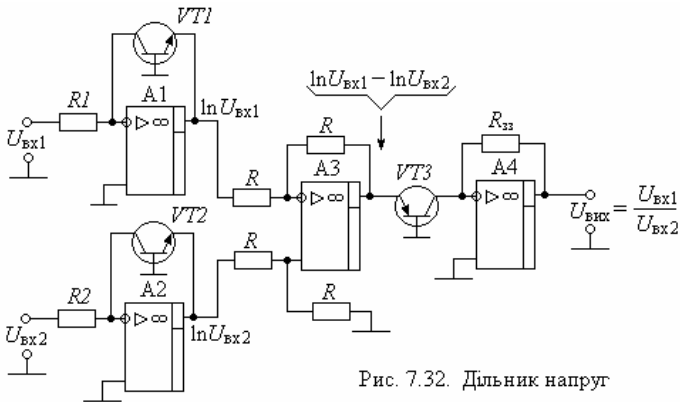


Рис. 7.32. Дільник напруг

Вихідна напруга є відношенням

$$U_{\text{вих}} = \frac{U_{\text{вх1}}}{U_{\text{вх2}}} I_{33} R_{33}, \quad (7.81)$$

якщо здійснити умову

$$I_{03} R_{33} = 1, \quad (7.82)$$

де I_{03} – зворотний струм емітерного переходу $VT3$, то з (7.81) за умови (7.82) одержуємо

$$U_{\text{вих}} = \frac{U_{\text{вх1}}}{U_{\text{вх2}}} \quad (7.83)$$

Отже, вихідна напруга є результатом ділення одна на одну вхідних напруг.

7.3.14. Обмежувачі рівнів

Обмежувачі рівнів бувають двох типів: обмежувач зверху та обмежувач знизу.

Амплітудна характеристика ідеального обмежувача зверху наведена на рис. 7.33.

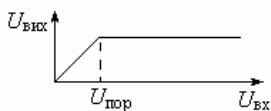


Рис. 7.33. Амплітудна характеристика обмежувача зверху

Звідси видно, що до порогової напруги ($U_{\text{вх}} < U_{\text{пор}}$) вихідна напруга $U_{\text{вих}}$ має копіювати $U_{\text{вх}}$ без будь-яких спотворень, а після порогу ($U_{\text{вх}} > U_{\text{пор}}$) має бути обмеженою і залишатись незмінною при збільшенні $U_{\text{вх}}$.

Зіставляючи амплітудні характеристики обмежувача зверху (рис. 7.33) та логарифматора (рис. 7.27), переконуємось у тому, що логарифматор (рис. 7.25, 7.26) може бути обмежувачем малих рівнів зверху з вихідною напругою $U_{\text{вих}} < 0,7$ В.

Одержання ж великих вихідних напруг можна досягти, якщо замість діода (рис. 7.25) в колі ЗЗ включити стабілітрони (рис. 7.34), напруга стабілізації $U_{\text{ст}}$ яких є порогом обмеження.

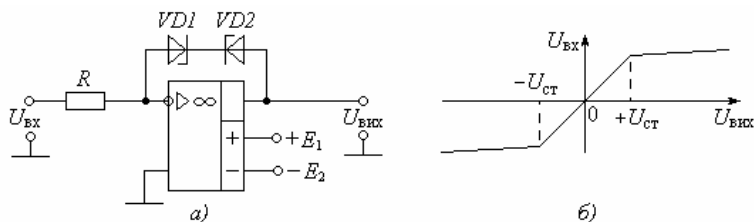


Рис. 7.34. Симетричний обмежувач великих напруг:
а – схема; б – амплітудна характеристика

Цей обмежувач діє наступним чином.

За будь-якої полярності $U_{\text{вих}}$ один із стабілітронів $VD1$ або $VD2$ обов'язково знаходиться під зворотною напругою. Тому доки $U_{\text{вих}}$ не перевищить напругу стабілізації $|U_{\text{вих}}| < |U_{\text{ст}}|$, коло ЗЗ практично розірване. Його опір R_V великий і тому коефіцієнт підсилення

$$K_U = \left| \frac{R_V}{R} \right| \quad (7.84)$$

теж великий, через що обмеження немає.

Коли ж $|U_{\text{вх}}| > |U_{\text{ст}}|$, то або $VD1$, або $VD2$ пробивається. Надлишок $|U_{\text{вх}}| - |U_{\text{ст}}|$, за винятком падіння прямої напруги на одному зі стабілітронів, надходить до інвертуючого входу, створюючи майже 100-відсотковий зворотний зв'язок. Тому коефіцієнт підсилення дуже малий і вихідна напруга не перевищує величини

$$|U_{\text{вх}}| = |U_{\text{ст}}| + U_{\text{пр}}, \quad (7.85)$$

тобто є обмеженою зверху. Тут $U_{\text{пр}}$ – падіння прямої напруги на одному зі стабілітронів.

Таким чином, вибираючи тип стабілітронів, тобто $U_{\text{ст}}$, можна одержувати різні пороги обмеження зверху. Обмежувач зверху має вихідну напругу в межах

$$0 < |U_{\text{вх}}| < |U_{\text{ст}} + U_{\text{пр}}|. \quad (7.86)$$

Щодо застосування обмеження зверху, то воно є дійовим засобом у боротьбі з деякими завадами (рис. 7.35).

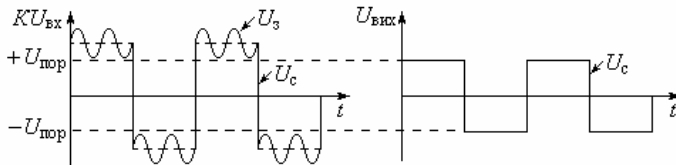


Рис. 7.35. Придушення завад обмеженням зверху

Підсилена напруга $KU_{\text{вх}}$ містить сигнал U_c та заваду $U_3 < U_c$. Якщо $KU_{\text{вх}}$ перевищує поріг обмеження ($KU_{\text{вх}} > U_{\text{пор}}$), то завада U_3 буде придушеною і вихідна напруга $U_{\text{вх}}$ містить чистий сигнал U_c без завади.

З рис. 7.35 випливає важливий для практики висновок:
у будь-якому каскаді, який має обмеження зверху, слабкий сигнал придушується сильним.

Щодо обмеження знизу, то його можна здійснити, якщо в схемі (рис. 7.34,а) поміняти місцями стабілітрони та резистор (рис. 7.36).

Цей обмежувач працює наступним чином.

За малих вхідних напруг $|U_{\text{вх}}| < |U_{\text{ст}}|$ жоден зі стабілітронів $VD1$; $VD2$ не пробитий і тому $U_{\text{вх}}$ не передається до інвертуючого входу, через що $U_{\text{вх}} = 0$.

Коли ж сигнал зростає до $|U_{\text{вх}}| > |U_{\text{ст}}|$, то або $VD1$, або $VD2$ пробивається і різниця $|U_{\text{вх}}| - |U_{\text{ст}}|$ підсилюється. Так, до виходу передаються тільки великі сигнали, тобто здійснюється обмеження знизу.

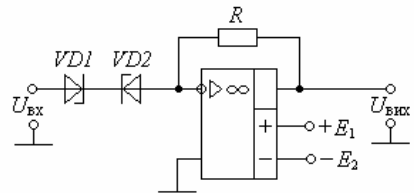


Рис. 7.36. Симетричний обмежувач знизу

Часова діаграма роботи обмежувача зверху (див. рис. 7.34) при $|U_{ст1}| > |U_{ст2}|$ наведена на рис. 7.37,а, а знизу (див. рис. 7.36) – на рис. 7.37,б.

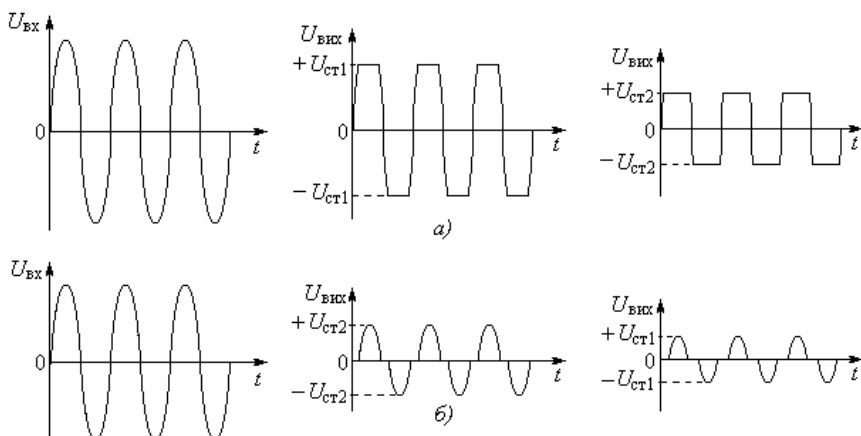


Рис. 7.37. Часові діаграми роботи обмежувачів: а – зверху, б – знизу

7.3.15. Прецизійний випрямляч

Прецизійний випрямляч, який ще називається *схемою одержання абсолютної величини*, забезпечує, як і діодний випрямляч, випрямлення вхідної напруги, але без її втрати, яка дорівнює прямій напрузі на діоді ($U_{пр} \approx 0,7$ В).

Якщо діодний випрямляч виробляє вихідну напругу, меншу на $U_{пр} = 0,7$ В, то випрямляч на ОП може працювати навіть у мілівольтовому діапазоні без втрати вхідної напруги.

На рис. 7.38 наведена амплітудна характеристика прецизійного випрямляча, а на рис. 7.39 – часова діаграма його роботи.

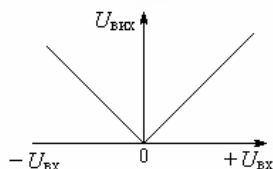


Рис. 7.38. Амплітудна характеристика прецизійного випрямляча

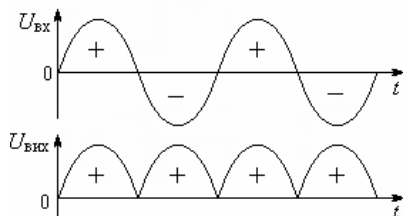


Рис. 7.39. Часова діаграма роботи прецизійного випрямляча

Із цих рисунків видно, що тривалість напівхвилі випрямленої напруги дорівнює точно півперіоду, тобто ніякої втрати вхідної напруги немає.

Схема прецизійного випрямляча наведена на рис. 7.40, звідки видно, що вона містить операційні підсилювачі $A1$ і $A2$. На $A1$ створений саме випрямляч, а на $A2$ – аналоговий двополярний суматор.

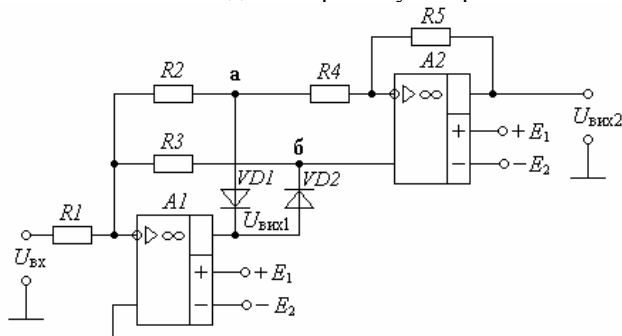


Рис. 7.40. Прецизійний випрямляч

Випрямляч $A1$ є інвертуючим підсилювачем з різнополярним зворотним зв'язком: для позитивної вхідної напівхвилі зворотний зв'язок здійснюють $VD1$ та $R2$, а для негативної – $VD2$ та $R3$.

Якщо, наприклад, $R_1 = R_2 = R_3$, то випрямляч $A1$ повторює амплітуду вхідної напруги: $U_{\text{вих1}} = U_{\text{вх}}$.

Прецизійний випрямляч діє наступним чином.

За позитивної вхідної напруги $U_{\text{вх}}$ вихідна напруга $U_{\text{вих1}}$ негативна. Тому діод $VD2$ закритий і потенціал точки $б$ дорівнює нулю, а $VD1$ відкритий і потенціал точки $а$ негативний. Він після інверсії в $A2$ дає позитивну напругу $U_{\text{вих2}}$.

Негативна ж напруга $U_{\text{вх}}$ забезпечує $U_{\text{вих1}} > 0$. Тому діод $VD1$ закритий і потенціал точки $а$ дорівнює нулю, а $VD2$ відкритий і потенціал точки $б$ позитивний. Він, прикладаючись до неінвертуючого входу, дає на виході $A2$ також позитивну напругу $U_{\text{вих2}}$.

Отже, за будь-якої полярності $U_{\text{вх}}$ вихідна напруга $U_{\text{вих2}}$ завжди позитивна (рис. 7.39), тобто є випрямленою. Для зміни полярності випрямленої напруги треба переполюсувати включення діодів $VD1$ та $VD2$.

Щодо прецизійності, то вона пояснюється наступним.

За малих вхідних напруг $U_{\text{вх}}$ вихідної напруги $U_{\text{вих1}}$ недостатньо для відкриття діодів $VD1$ та $VD2$, через що зворотного зв'язку немає. Тому коефіцієнт підсилення великий і малі вхідні напруги не втрачаються. Так здійснюється випрямлення малих напруг.

Коли ж вхідна напруга $U_{\text{вх}}$ збільшиться, то вихідна напруга $U_{\text{вих1}}$ зростає через підсилення до такої величини, що відкриває діоди $VD1$ або $VD2$. Після відкриття $VD1$ або $VD2$ виникає від'ємний зворотний зв'язок і рівень $U_{\text{вих1}}$ повторює $U_{\text{вх}}$.

Так здійснюється випрямлення вхідної напруги, яка починається практично з нуля.

Слід зауважити, що прецизійний випрямляч є малопотужним пристроєм і використовуватися для живлення потужних навантажень не може.

7.3.16. Вимірювальні підсилювачі

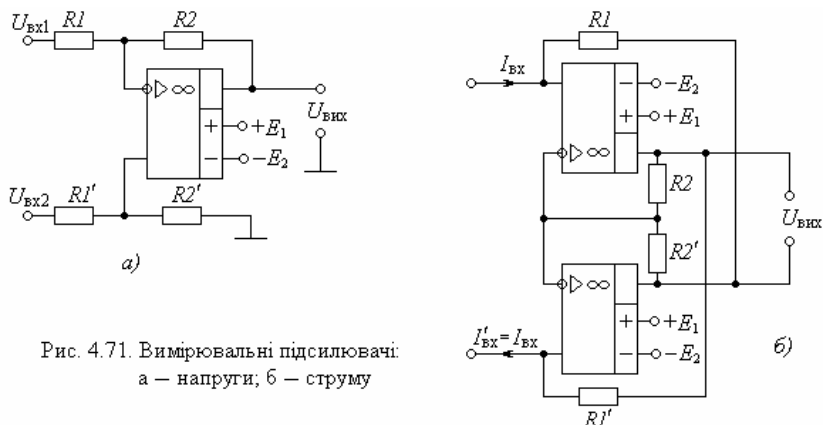


Рис. 4.71. Вимірювальні підсилювачі:
а – напруги; б – струму

Вимірювальний підсилювач напруги, схема якого наведена на рис. 7.41,а підсилює різницю напруг ($U_{\text{вх1}} - U_{\text{вх2}}$). Тому синфазні частини $U_{\text{вх1}}$ та $U_{\text{вх2}}$ придушуються, через що підсилювач чутливий до малих різниць напруг на фоні великих синфазних сигналів і має коефіцієнт підсилення

$$K = 2 \left(1 + \frac{R_2}{R_1} \right) \quad (7.87)$$

при $R_1 = R_1'$ та $R_2 = R_2'$.

До виходу передаються лише протифазні частини вхідних напруг $U_{\text{вх1}}$ та $U_{\text{вх2}}$, які створюють вихідну напругу

$$U_{\text{вих}} = K(U_{\text{вх1}} - U_{\text{вх2}}). \quad (7.88)$$

Щодо вимірювального підсилювача струму, то його схема наведена на рис. 7.41,б. Він перетворює вхідний струм $I_{\text{вх}}$ на вихідну напругу $U_{\text{вих}}$. Основною перевагою цього підсилювача є нехтовно малий вхідний опір, який наближається до нуля. Це дає можливість здійснювати перетворення на напругу суми вхідних струмів. Вихідна напруга дорівнює $U_{\text{вих}} = 2I_{\text{вх}} R_1$ при $R_1 = R_1'$ та $R_2 = R_2'$.

Одним з багатьох прикладів застосування вимірювального підсилювача напруги є підсилення сигналів мостових схем (рис. 7.42). Джерелом сигналів $U_{\text{вх1}} = U_1$ та $U_{\text{вх2}} = U_1 + \Delta U$ є міст на резисторах R .

Схема діє наступним чином.

Сигнали

$$U_{\text{вх1}} = U_1$$

та

$$U_{\text{вх}2} = U_1 + \Delta U \quad (7.89)$$

надходять відповідно до інвертуючого та неінвертуючого входів ОП.

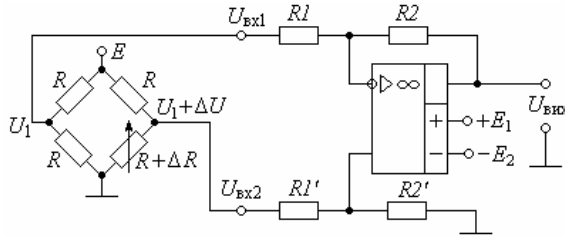


Рис. 7.42. Вимірювальний підсилювач сигналів мостової схеми

Підстановка $U_{\text{вх}1}$ та $U_{\text{вх}2}$ у (7.88) дає

$$U_{\text{вих}} = -K \Delta U. \quad (7.90)$$

З формул (7.89) та (7.90) випливає, що синфазні напруги U_1 придушються, завдяки різнойменним входам ОП, і на його виході залишається тільки напруга $U_{\text{вих}} = -K \Delta U$, яка зумовлена сигналом ΔU .

Таким чином, вимірювальний підсилювач сприймає тільки приріст ΔU вхідних сигналів, придушуючи синфазні напруги U_1 . Тому чутливість вимірювальних підсилювачів дуже велика.

7.3.17. Джерела струму

Усі каскади на ОП, які розглядалися раніше, є *джерелами напруги*.

Однак поруч з ними виникають потреби в джерелах струму. Так, наприклад, інформаційно-вимірювальна техніка передбачає стандартизоване передавання сигналів не напругою, а струмом, де логічний нуль передається струмом 4 мА, логічна одиниця – струмом 16 мА. Це зумовлене підвищеною завадостійкістю струмових систем передавання, сутність якої наступна.

На рис. 7.43 наведені схеми передавання сигналів напругою (рис. 7.43,а) та струмом (рис. 7.43,б). В обох випадках в лінії передавання діє напруга завади U_3 .

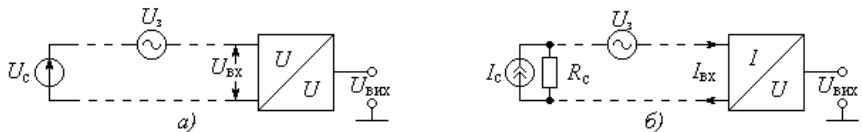


Рис. 7.43. Передача сигналів: а – напругою; б – струмом

Зіставимо завадостійкість цих систем, для чого знайдемо напруги завад U_3 на входах приймачів напруги U/U та струму I/U .

Для обох схем напруга завади на вході визначиться як

$$U_{\text{вх}3} = U_3 \frac{R_{\text{вх}}}{R_c + R_{\text{вх}}}, \quad (7.91)$$

де R_c – внутрішній опір джерела сигналу;

$R_{\text{вх}}$ – вхідний опір приймача напруги або струму.

Для приймача напруги (рис. 7.43,а)

$$R_c = 0. \quad (7.92)$$

Із формул (7.91) та (7.92) випливає, що $U_{\text{вх}3} = U_3$, тобто напруга завади цілком потрапляє до входу приймача напруги.

Аналогічним чином визначимо напругу завади на вході приймача струму (рис. 7.43,б), для якого завжди

$$R_{\text{вх}} = 0. \quad (7.93)$$

З формул (7.91) та (7.93) випливає, що $U_{\text{вх}3} = 0$, тобто напруга завади цілком падає на внутрішньому опорі R_c джерела струму і до входу приймача струму не потрапляє.

Тут слід звернути особливу увагу на те, що навіть при збіганні частот I_c та U_3 на вході приймача струму завади також не буде.

Таким чином, приходимо до висновку, що системи передавання сигналів струмом мають завадостійкість набагато вищу, ніж системи передавання напругою.

Щодо реалізації системи, то приймачем струму I/U може бути базовий каскад (див. рис. 7.13), а схеми джерел струму наведені на рис. 7.44.

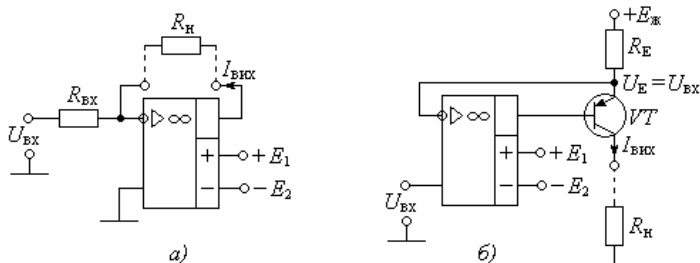


Рис. 7.44. Джерела струму: а – з плаваючим навантаженням, б – із заземленим навантаженням

Малопотужне джерело струму з так званим плаваючим навантаженням наведене на рис. 7.44,а. Воно є інвертуючим підсилювачем, у коло зворотного зв'язку якого включений опір навантаження R_n . Вихідний струм визначається як

$$I_{\text{вих}} = \frac{U_{\text{вх}}}{R_{\text{вх}}} \quad (7.94)$$

і не залежить від $R_{\text{н}}$, якщо падіння напруги на опорі навантаження не перевищує напруги живлення:

$$I_{\text{вих}} R_{\text{н}} < |E_1| + |E_2|. \quad (7.95)$$

Перевагою схеми (рис. 7.44,а) є її простота, а недоліками – порівняно малий вихідний струм (не більш припустимого для ОП) та вихід без спільної “землі”.

Обидва ці недоліки усунені в схемі (рис. 7.44,б). Тут “земля” є спільною і до неї одним полюсом підключається $R_{\text{н}}$. Вихідний струм набагато більший через включення транзистора VT за схемою зі спільним емітером, яка підсилює струм.

Схема (рис. 7.44,б) діє наступним чином.

Від’ємний ЗЗ, як завжди, вирівнює потенціали інвертуючого та неінвертуючого входів ОП. Тому $U_E = U_{\text{вх}}$ і вихідний струм, як струм колектора, становить

$$I_{\text{вих}} = \frac{E_{\text{ж}} - U_{\text{вх}}}{R_E}. \quad (7.96)$$

При цьому сумарне падіння напруг має бути менше за напругу живлення:

$$I_{\text{вих}} R_E + I_{\text{вих}} R_{\text{н}} < E_{\text{ж}}. \quad (7.97)$$

Отже, вибираючи опір резистора R_E , можна одержувати будь-який вихідний струм у межах припустимого для транзистора VT .

7.3.18. Формувачі рівнів

Формувачі рівнів призначені для перетворення аналогових сигналів у дискретні.

На рис. 7.45 наведена діаграма роботи формувача рівнів. З діаграми видно, що вихідна напруга $U_{\text{вих}}$ встановлюється лише тоді, коли вхідний сигнал $U_{\text{вх}}$ перевищує за модулем поріг $+U_{\text{пор}}$ або $-U_{\text{пор}}$.

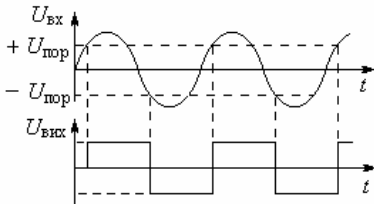


Рис. 7.45. Діаграма роботи формувача рівнів

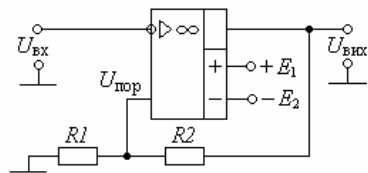


Рис. 7.46. Формувач рівнів

Так з аналогової напруги $U_{\text{вх}}$ формується дискретний сигнал $U_{\text{вих}}$.

Формувачем рівнів може бути операційний підсилювач, який охопленний додатним зворотним зв'язком через подільник R_2 , R_1 напруги $U_{\text{вих}}$ (рис. 7.46). Цей формувач відомий під назвою *тригера Шмітта*.

Вихідна напруга подільника R_2 , R_1 становить

$$U_{\text{пор}} = U_{\text{вих}} \frac{R_1}{R_1 + R_2}. \quad (7.98)$$

Формувач рівнів діє наступним чином.

Він може знаходитися лише в одному зі станів: вихідна напруга $U_{\text{вих}}$ (рис. 7.47) може дорівнювати або високому рівню $U_{\text{в}}$, або низькому $U_{\text{н}}$.

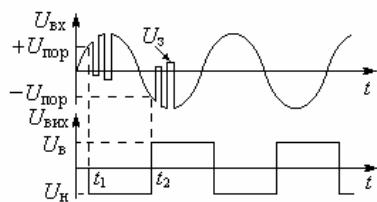


Рис. 7.47. Придушення завад формувачем рівнів

При $U_{\text{вих}} > +U_{\text{пор}}$, завдяки інвертуючому входу, вихідна напруга дорівнює низькому рівню $U_{\text{н}}$ (момент t_1) і через подільник установлює поріг $-U_{\text{пор}}$.

Стан $U_{\text{вих}} = U_{\text{н}}$ зберігається до того, коли вхідна напруга $U_{\text{вх}}$ стане нижче $-U_{\text{пор}}$ (момент t_2).

Через $U_{\text{вих}} < U_{\text{пор}}$ на виході формувача установлюється високий рівень $U_{\text{вих}} = U_{\text{в}}$, внаслідок чого поріг теж високий $+U_{\text{пор}}$ і т.д.

Крім формування дискретного сигналу, формувач рівнів є ефективним засобом боротьби з завадами, амплітуда яких не перевищує $2U_{\text{пор}}$.

Дійсно, після моменту спрацьовування формувача t_1 завада U_3 не сприймається, якщо вона не досягає протилежного порогу $-U_{\text{пор}}$. Також не діє U_3 після t_2 , бо не досягає протилежного порогу $+U_{\text{пор}}$.

7.3.19. Мультивібратор на ОП

Недоліками симетричного мультивібратора на транзисторах (див. розд. 6) є складність та небезпека жорсткого режиму самозбудження.

Ці недоліки усунені в мультивібраторі на операційному підсилювачі.

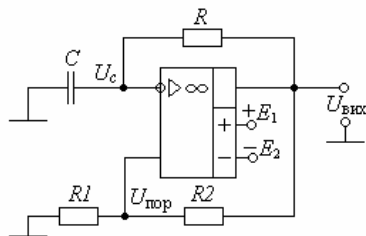


Рис. 7.48. Мультивібратор на операційному підсилювачі

Мультивібратор, схема якого наведена на (рис. 7.48), складається з тригера Шмітта на операційному підсилювачі та резисторах R_1 ; R_2 . Операційний підсилювач охопленний колом від'ємного зворотного зв'язку на базі фільтра нижніх частот R ; C .

Коло R ; C визначає частоту слідування генерованих імпульсів, а коло R_1 ; R_2 – поріг спрацьовування, який дорівнює

$$U_{\text{пор}} = U_{\text{вих}} \frac{R_1}{R_1 + R_2}. \quad (7.99)$$

Самозбудження мультівібратора, як і будь-якого підсилювача починається з шумів.

Нехай напруга $U_{пор}$ через шуми зростає. Це зростання, підсилюючись, збільшує вихідну напругу $U_{вих}$, яка через подільник $R1; R2$ передається до неінвертуючого входу, знову підсилюється і т.д. На момент t_1 (рис. 7.49) на виході установиться напруга $+U_{max}$, декілька менша за напругу живлення $+E_1$.

Як тільки установилася вихідна напруга $+U_{max}$, з моменту t_1 починається зарядження конденсатора C .

Коли напруга на конденсаторі U_c в момент t_2 перевищить порогову напругу $+U_{пор}$, різниця потенціалів $U_c - U_{пор}$ стає позитивною і вихідна напруга, завдяки тригерним властивостям, стрибком спадає до $-U_{max}$. З цього моменту t_2 починається перезаряд конденсатора C від позитивної напруги $+U_{пор}$ до негативної $-U_{пор}$.

Як тільки в момент t_3 напруга U_c на конденсаторі спаде нижче $-U_{пор}$, різниця потенціалів $-U_c - (-U_{пор})$ стає негативною, через що $U_{вих}$ стрибком зростає до $+U_{max}$ і т.д.

Мультівібратор генерує прямокутні імпульси з частотою їх проходження

$$f = \frac{1}{2RC} \ln \left(1 + 2 \frac{R_1}{R_2} \right). \quad (7.100)$$

7.3.20. Кола живлення каскадів на ОП

Кола живлення мають забезпечити подачу необхідних напруг E_1 та E_2 до входів живлення ОП. Операційні підсилювачі можуть житися від двох окремих різнополярних джерел напруги (рис. 7.50) і від одного (рис. 7.51).

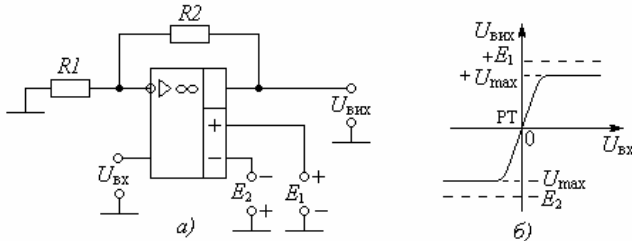


Рис. 7.50. Живлення ОП від двох джерел:
а – схема; б – амплітудна характеристика

В обох випадках різниця потенціалів між входами живлення $+E_1$ та $-E_2$ не повинна перевищувати допустиму напругу

$$E_{\text{ж}} = E_1 - (-E_2) = E_1 + E_2. \quad (7.101)$$

При цьому вихідна напруга $U_{\text{вих}} = |U_{\text{max}}|$ менше за напругу живлення на 1,5 – 2,0 В.

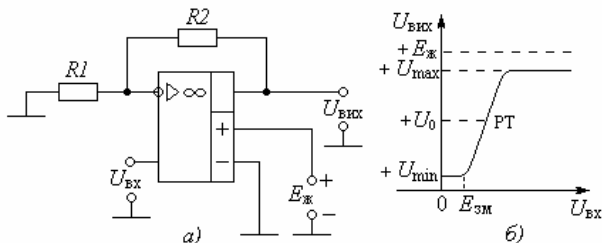


Рис. 7.51. Живлення ОП від одного джерела:

а – схема, б – амплітудна характеристика

Зіставляючи ці варіанти, приходимо до наступних висновків:

– вихідна напруга в робочій точці РТ при живленні від двох джерел дорівнює нулю (рис. 7.50,б), а при живленні від одного джерела вона становить $U_{\text{вих}} \approx 0,5E_{\text{ж}}$ і ніколи не досягає нуля (рис. 7.51,б), що заважає каскадному з'єднанню ОП;

– живлення від двох джерел (рис. 7.52,а), робить підсилювач чутливим до якомога слабкого сигналу викликаючи змінення вихідної напруги $\Delta U_{\text{вих}}$, а в підсилювачі з одним джерелом при $U_{\text{вх}} < E_{\text{эм}}$ приросту вихідної напруги немає: $\Delta U_{\text{вих}} = 0$ (рис. 7.52,б).

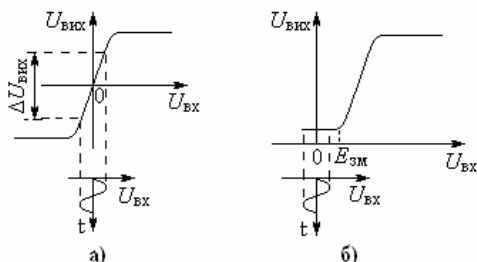


Рис. 7.52. Діаграма роботи ОП з живленням

від двох джерел (а) і від одного (б)

Тому для надання чутливості підсилювачу з одним джерелом живлення, треба до іншого входу підвести постійну напругу

$$E_0 = E_{3M} + U_{m \text{ вх}}, \quad (7.102)$$

де $U_{m \text{ вх}}$ – амплітуда вхідної напруги.

Для одержання напруги (7.102) використовується подільник $R3, R4$ (рис. 7.53), вихідна напруга E_0 якого виводить робочу точку РТ в режим підсилення (рис. 7.54).

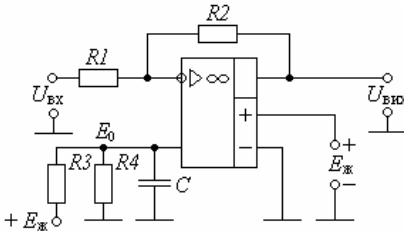


Рис. 7.53. Підсилювач з одним джерелом живлення

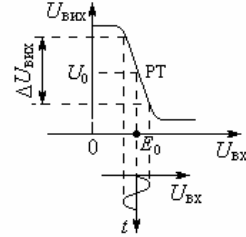


Рис. 7.54. Діаграма роботи підсилювача

Перевагою ж підсилювача з одним джерелом є його простота через відсутність іншого джерела живлення.

Однак підсилювач з одним джерелом живлення не можна підключати до входу підсилювача постійного струму (ППС), тому що при цьому підсилюється не тільки сигнал $U_{\text{вх}}$, а й постійна складова U_0 (рис. 7.54), тобто сума $(U_0 + U_{\text{вх}})$.

Постійна складова U_0 може завести сигнал $U_{\text{вх}}$ у ППС за поріг обмеження $U_{\text{пор}}$, яке завжди є, тому що в резистивному підсилювачі вихідна напруга не перевищує напругу живлення. При цьому сигнал може зазнати спотворень (рис. 7.55,б), якщо $(U_0 + U_{\text{вх}}) > U_{\text{пор}}$ і навіть зникнути зовсім.

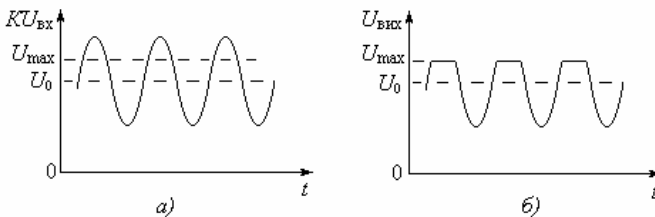


Рис. 7.55. Сигнал (а) та його спотворення (б)

Для уникнення цих спотворень не слід вихід підсилювача з одним джерелом живлення підключати до наступного каскаду, в якому є обмеження, або підключати його через розподільний конденсатор.

7.3.21. Регулювання в каскадах на ОП

Основними видами регулювань у каскадах на ОП є *змінення коефіцієнта підсилення та балансування*. Балансування є установа

$U_{\text{вих}} = 0$ в ОП з двома джерелами живлення при синфазних вхідних сигналах (див. рис. 7.50,б).

Змінення коефіцієнта підсилення здійснюють наступними засобами.

З формул (7.33) та (7.35) випливає, що коефіцієнт підсилення K можна змінити вибором співвідношення опорів R_1 та R_2 . Щоб не змінювати вхідний опір, регулювання K зосереджують у колі зворотного зв'язку зміненням опору резистора R_3 (рис. 7.56).

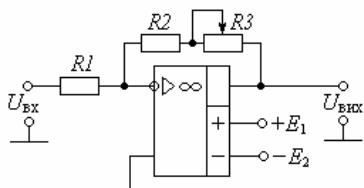


Рис. 7.56. Каскад з регулюванням коефіцієнта підсилення

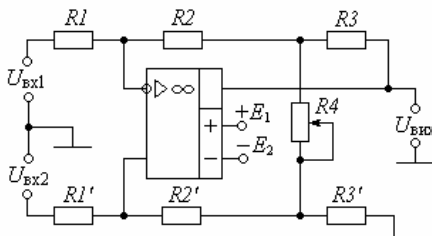


Рис. 7.57. Вимірювальний підсилювач з регулюванням коефіцієнта підсилення

Коефіцієнт підсилення каскаду становить

$$K = \frac{R_2 + R_3}{R_1}. \quad (7.103)$$

Змінюючи опір R_3 , можна регулювати коефіцієнт підсилення в межах від $K_{\min} = \frac{R_2}{R_1}$ при $R_3 = 0$ до $K = \frac{R_2 + R_3}{R_1}$ при $R_3 > 0$.

Завжди треба намагатися здійснювати будь-яке регулювання одним елементом. Для цього у вимірювальному підсилювачі (рис. 7.57) додатково уведено резистори R_3 , R_3' та R_4 .

Коефіцієнт підсилення становить

$$K = 2 \left(1 + \frac{R_2}{R_4} \right) \frac{R_2}{R_1} \quad (7.104)$$

при $R_1 = R_1'$; $R_2 = R_2'$; $R_3 = R_3'$.

Змінюючи опір R_4 , можна регулювати коефіцієнт підсилення K . Чим менше опір R_4 , тим вище коефіцієнт підсилення.

Щодо балансування, то його необхідність зумовлена наступним.

Як не намагаються зробити ідентичними інвертуючий та неінвертуючий канали, між ними через технологічні причини завжди є різниця. Крім того, ніколи не можна забезпечити рівність напруг живлення E_1 та E_2 у будь-яких схемах на ОП. У зв'язку з цим вихідна напруга $U_{\text{вих}}$, незважаючи на рівність $U_{\text{вх1}} = U_{\text{вх2}}$, може відрізнятись від нуля ($U_{\text{вих}} \neq 0$).

Ця різниця називається *напругою зміщення*, позначається $U_{\text{зм}}$, наводиться у довідниках і становить одиниці-десятки мілівольт вхідної напруги ОП. Таким чином, треба компенсувати $U_{\text{зм}}$, щоб за рівних вхідних

напруг виконувалась би рівність $U_{\text{вих}} = 0$. При цьому компенсація $U_{\text{зм}}$ ніяк не має впливати на коефіцієнт підсилення.

У сучасних операційних підсилювачах передбачені спеціальні входи балансування 3; 4 (рис. 7.58). Змінним резистором $R3$ компенсується $U_{\text{зм}}$ до $U_{\text{вих}} = 0$.

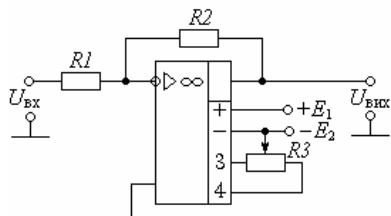


Рис. 7.58. Каскад на ОП з вбудованим балансуванням

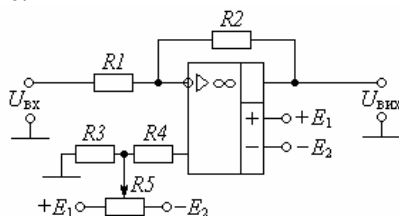


Рис. 7.59. Каскад на ОП із зовнішнім балансуванням

ОП ранішніх випусків не мають таких входів і тому потребують зовнішнього балансування (рис. 7.59), яке забезпечують постійні резистори $R3$, $R4$ та змінний резистор $R5$. Ці резистори мають знаходитися в колі того входу, який не охоплений сигналом $U_{\text{вх}}$, щоб балансування не впливало на коефіцієнт підсилення.

Опір резисторів $R3$, $R4$ має бути якомога меншим, щоб неінвертуючий вхід ОП мав би напругу якнайближчу до нуля.

Балансування здійснюють змінням опору $R5$ до одержання $U_{\text{вих}} = 0$.

Контрольні питання

- 7.1. Наведіть схему резистивного диференційного підсилювача і поясніть його роботу при двох диференційних входах та одному вході.
- 7.2. Наведіть схему диференційного підсилювача з динамічним навантаженням і поясніть його роботу.
- 7.3. Порівняйте коефіцієнти підсилення диференційних підсилювачів з резистивним та динамічним навантаженням і поясніть їхню різницю.
- 7.4. Поясніть придушення наводок диференційним резистивним підсилювачем.
- 7.5. Наведіть схему комплементарного емітерного повторювача і поясніть його роботу.
- 7.6. Наведіть схему приймача струму і поясніть вплив опору резистора зворотного зв'язку на вихідну напругу.
- 7.7. Наведіть схему інвертуючого підсилювача та поясніть, чим визначається його коефіцієнт підсилення.
- 7.8. Наведіть схему неінвертуючого підсилювача та поясніть, чим визначається його коефіцієнт підсилення.
- 7.9. Наведіть схему повторювача на ОП і поясніть його роботу.
- 7.10. Наведіть схему суматора і поясніть одержання суми з ваговими коефіцієнтами та алгебраїчної суми вхідних напруг.

- 7.11. Наведіть схему інтегратора.
- 7.12. Наведіть схему диференціатора.
- 7.13. Наведіть схему амплітудного обмежувача зверху.
- 7.14. Наведіть схему амплітудного обмежувача знизу.
- 7.15. Наведіть схему мультивібратора.
- 7.16. Наведіть схему живлення ОП від двох різнополярних джерел напруги та поясніть хід його амплітудної характеристики.
- 7.17. Наведіть схему живлення ОП від одного джерела напруги та поясніть хід його амплітудної характеристики.
- 7.18. Поясніть критерії та засоби вибору робочої точки в каскадах на ОП при їхньому живленні від двох джерел та від одного.
- 7.19. Поясніть вплив вибору робочої точки на спотворення сигналу.
- 7.20. Поясніть способи балансування ОП.

Рекомендована література

- 7.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 136 – 171.
- 7.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 141 – 156; 248 – 251; 469.
- 7.3. Фолкенберри Л. Применения операционных усилителей и линейных ИС / Л. Фолкенберри – М.: Мир, 1985. – 572 с.
- 7.4. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 419 – 445.
- 7.5. Остапенко Г.С. Усилительные устройства: учебное пособие для вузов / Г.С. Остапенко– М.: Радио и связь, 1989. – С. 235 – 350.

ЦИФРОВА СХЕМОТЕХНІКА

Розділ 8

ЗАГАЛЬНІ ВІДОМОСТІ

8.1. Класифікація цифрових пристроїв

За способом подання інформації системи зв'язку розподіляють на аналогові та цифрові.

Цифрові системи за точністю обробки сигналу суттєво перевищують аналогові. Цифрові системи дозволяють значно збільшити пропускну здатність та завадостійкість, зменшити вплив температури та розкиду параметрів на роботу пристроїв. Ці переваги сприяли тому, що сьогодні цифрова техніка продовжує бурхливо розвиватися.

Пристрої цифрової техніки можна поділити на два класи:

– імпульсні цифрові пристрої або пристрої першого класу – це пристрої формування, генерування та перетворення заданих фізичних сигналів у сигнали зі стандартними логічними параметрами. До першого класу належать тактові генератори, формувачі імпульсних сигналів, аналого-цифрові та цифро-аналогові перетворювачі, амплітудні обмежувачі та інші;

– цифрові пристрої другого класу – це пристрої перетворення логічних сигналів або цифрових кодів. Такі пристрої носять назву *цифрових автоматів*. До цих пристроїв належать схеми від найпростіших логічних елементів до мікропроцесорів, мікро-ЕОМ та ЕОМ у цілому. Тут перетворення інформації здійснюється виконанням певної послідовності арифметичних та логічних операцій.

Найпростіші логічні елементи виконують лише одну логічну операцію відповідно до законів *алгебри логіки* (бульової алгебри).

Розробка ж пристроїв другого класу – це складна схемотехнічна задача, яка розв'язується використанням функцій алгебри логіки.

У разі використання *двійкового коду* на вхід цифрового пристрою надходить множина двійкових змінних x_1, x_2, \dots, x_n , а з виходу знімається множина двійкових функцій y_1, y_2, \dots, y_n .

Реальні цифрові автомати мають скінчену множину внутрішніх станів і тому їх називають *скінченими автоматами*.

Розрізняють синхронні та асинхронні цифрові автомати в залежності від того, чи використовують вони синхронізуючі або тактові імпульси, чи ні.

В асинхронних цифрових автоматах цих імпульсів немає, через що будь-яка зміна вхідних сигналів відразу викликає певну зміну сигналів вихідних (рис. 8.1.а). Якщо вхідний сигнал $x = 1$ надійшов у момент t_1 , то й вихідний сигнал $y = 1$ з'явився в той самий момент t_1 . Сигнал $x = 0$ в момент t_2 одразу викличе вихідний сигнал $y = 0$.

У синхронних цифрових автоматах обов'язково є синхронізуючі або тактові імпульси. Через це зміна вихідних сигналів відбувається не одразу

після появи вхідних сигналів, а при їхній наявності лише за командою тактових імпульсів, тобто вхідний сигнал тільки готує автомат для спрацювання, а саме спрацювання здійснює тактовий імпульс.

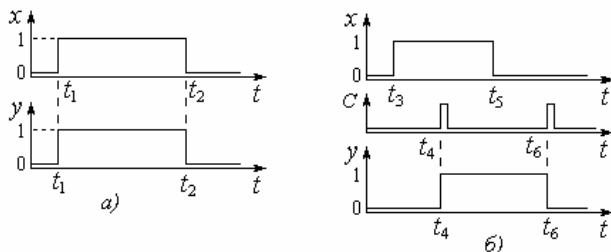


Рис. 8.2. Часова діаграма роботи цифрових автоматів:
а – асинхронних, б – синхронних

У синхронному цифровому автоматі поява вхідного сигналу $x = 1$ в момент t_3 (рис. 8.1,б) не викликає зміни вихідного сигналу y , а лише готує автомат для спрацювання, яке відбудеться в момент t_4 за командою тактового імпульсу C . Аналогічно вхідний сигнал $x = 0$, який надійшов у момент t_5 , викличе появу вихідного сигналу $y = 0$ лише в момент t_6 , коли надійде тактовий імпульс C .

Цифровий автомат, який має лише один внутрішній стан, називається автоматом без пам'яті. Вихідний сигнал автомата без пам'яті залежить тільки від комбінації логічних сигналів на входах у даний момент часу і не залежить від попередніх станів. Такий цифровий автомат асинхронний і його називають *комбінаційним пристроєм*.

На відміну від комбінаційних пристроїв, значення вихідних сигналів у цифрових автоматах з пам'яттю залежить не тільки від значень вхідних сигналів в даний момент часу, але й від їхніх попередніх значень. Такі пристрої реалізують функціональний зв'язок між послідовностями та значеннями вхідних і вихідних сигналів. Тому цифрові автомати з пам'яттю називають *послідовнісними пристроями*.

8.2. Цифрові сигнали

Носієм інформації в електронних пристроях є електричний сигнал. У більшості випадків це напруга або струм. Як функція часу, електричний сигнал може бути аналоговим або дискретним.

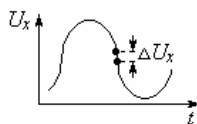


Рис. 8.2.
Аналоговий сигнал

Аналоговий – це неперервний сигнал (рис 8.2). Інформаційні параметри U_x такого сигналу можуть приймати довільну множину значень у діапазоні зміни часу і тому відстань ΔU_x між двома сусідніми значеннями може бути скільки завгодно малою.

Цифровий сигнал – дискретний або квантований. Він приймає одне із фіксованих певних значень

аргументу $n\tau$ (де τ – інтервал дискретності, а $n = 0, 1, 2, \dots$). Тому дискретний сигнал може мати тільки обмежене число рівнів напруги або струму, які зафіксовані на інтервалах часу $n\tau$.

Дискретний сигнал може бути поданим у найрізноманітніших формах, де окремі елементи значень закодовані системою числення, що характеризується певною сукупністю символів за певною сукупністю правил.

Людина у повсякденному житті користується десятковою системою числення, яка складається з 10 цифр від 0 до 9. Однак цифрові сигнали, що створені на основі десяткової системи числення, технічно реалізувати досить важко, тому що в цифрових пристроях у цьому разі треба мати десять рівнів напруги або струму. Через це десяткова система числення не є економічною і в цифровій схемотехніці застосовується лише для зчитування та введення інформації людиною.

У цифрових пристроях найбільшого розповсюдження знайшла двійкова система – найпростіша з усіх систем числення. Вона складається лише з двох рівнів напруги, які кодуються символами 0 та 1. Двійкова система дозволяє найефективніше відобразити інформацію, якщо, наприклад, низький рівень напруги U_x^0

позначити як логічний нуль “0”, а високий рівень напруги U_x^1 – як логічну одиницю “1” (рис. 8.3).

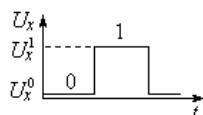


Рис. 8.3. Двійковий сигнал

Цифрові сигнали забезпечують більш високу завадостійкість, ніж аналогові. Це пояснює рис. 8.4. Тут наведені аналоговий u_a та цифровий $u_{ц}$ сигнали, які уражені однією й самою ж завадою $u_{зав}$ (рис. 8.4, а та 8.4, б).

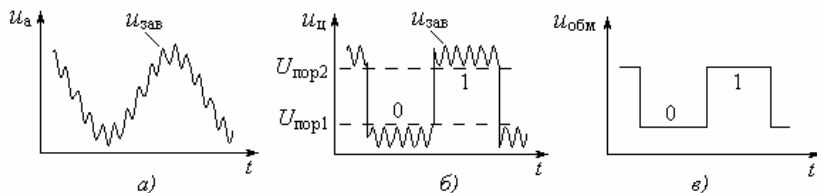


Рис. 8.4. Вплив завади на сигнали: а – аналоговий; б – цифровий; в – обмежений цифровий сигнал

В аналоговому сигналі u_a напруга завади $u_{зав}$ спотворює усі інформаційні параметри сигналу, тобто миттєві значення напруги, частоти і фази, і позбавитись її дії ніяк неможливо.

Проте в цифровому сигналі $u_{ц}$ та ж сама напруга завади $u_{зав}$ спотворює тільки амплітуду, яка не є інформаційним параметром. Інформаційні ж параметри (рівні логічного “0” та логічної “1”) вона не змінює. Якщо цифровий сигнал $u_{ц}$, уражений завадою (рис. 8.4, б), пропустити через обмежувач зверху з порогоми обмеження $U_{пор1}$ та $U_{пор2}$, то завада опиниться поза цими порогоми. Тому на виході згаданого обмежувача сигнал $u_{обм}$ (рис. 8.4, в) позбавлений завади. Отже, на цифрові пристрої завада певної амплітуди не діє, тобто цифрові сигнали забезпечують завадостійкість вищу,

ніж аналогові. Через це тепер проектують тільки цифрові системи передачі (ЦСП). Проектування аналогових систем передачі заборонене.

Двійкова цифра (0 або 1) носить назву *біт* інформації. Послідовна комбінація бітів зображує всю інформацію про подію і носить назву *слова*, в якому кожний біт є одиницею інформації або даних. Одиницею зображення та обміну даних, якою як єдиним цілим оперують між собою окремі цифрові пристрої чи вузли, є восьмиризрядне двійкове число, яке носить назву *байт*. Таким чином, 1 байт містить 8 біт.

Кожна цифра, що входить у число або слово, залежить від місця її розташування в записі числа, тобто від позиції цифри. Тому двійкова система числення носить назву *позиційної*. Позиція символу в зображенні числа називається *розрядом*. Так, десяткове число 13 у двійковій системі числення запишеться як 1101, десяткове число 10 – як 1010, 8 – як 1000, 5 – як 0101 і т.п.

У ході перетворення інформації, яку несуть цифрові сигнали, в цифровій системі виникає необхідність перевodu чисел з однієї системи числення в іншу. Таке перетворення здійснюється наступними послідовними кроками:

– ділення в цілих числах заданого числа A на основу коду p тієї системи, в яку переводиться дане число A , та визначення остачі (для двійкового коду $p = 2$);

– якщо частка не дорівнює нулю, то її слід взяти за нове число і повторити попередню операцію; якщо частка дорівнює нулю, то перейти до наступного пункту;

– вписати всі остачі в зворотному порядку, починаючи з останньої, і взяти їх за цифри шуканого числа.

Розглянемо приклад: нехай треба перетворити десяткове число 13 у двійкове. Кроки при цьому наступні:

$$\begin{array}{r} -13 \mid 2 \\ \underline{-12} \quad \underline{2} \\ \quad \quad \quad \underline{1} \end{array} \quad \begin{array}{r} -6 \mid 2 \\ \underline{-6} \quad \underline{0} \\ \quad \quad \quad \underline{0} \end{array} \quad \begin{array}{r} -3 \mid 2 \\ \underline{-2} \quad \underline{1} \\ \quad \quad \quad \underline{1} \end{array} \quad \begin{array}{r} -1 \mid 2 \\ \underline{-0} \quad \underline{0} \\ \quad \quad \quad \underline{1} \end{array}$$

Випишемо остачі (виділені жирним курсивом) у зворотному порядку і одержуємо двійкове число 1101, яке відповідно до позицій становить

$$8*1 + 4*1 + 2*0 + 1*1 = 8 + 4 + 0 + 1 = 13.$$

Над цифровим сигналом у двійковому коді можна виконувати звичайні арифметичні та логічні операції. Арифметичні операції (додавання, віднімання, множення, ділення) над двійковими сигналами здійснюються за допомогою спеціальних алгоритмів, які використовуються в двійковій системі числення.

Комбінація символів 0 та 1 може нести як числову, так і логічну інформацію. В останньому випадку таку комбінацію називають *операндами*.

Логічні операції здійснюються за допомогою апарата алгебри логіки або бульової алгебри.

8.3. Основні поняття алгебри логіки

Алгебра логіки (бульова алгебра) – це формальний апарат, за допомогою якого описується логічна сутність процесів у цифрових пристроях. Алгебра логіки оперує логічними змінними, які набувають лише двох значень: ТАК – логічна одиниця 1 і НЕ – логічний нуль 0. Алгебра логіки – це алгебра станів, а не алгебра чисел.

Логічні змінні точно описують стан таких електромеханічних об'єктів, як реле, кнопки, тумблери та інші пристрої, що можуть знаходитися у двох різноманітних станах: ввімкнено – розімкнено. До таких об'єктів можна віднести, наприклад, багатовходові цифрові напівпровідникові схеми, на кожному вході яких може бути лише один із двох можливих станів напруги.

Найчастіше високий рівень напруги приймають за логічну одиницю 1, а низький – за логічний нуль 0.

Основне поняття алгебри логіки – висловлення, тобто речення, в якому міститься суть твердження істинності або його заперечення. Кожне висловлення можна позначити символом x або y і вважати, що $x = 1$ або $y = 1$, якщо висловлення

$$\begin{aligned}x &= 1; \\y &= 1\end{aligned}$$

істинні, та $x = 0$ або $y = 0$, якщо ці висловлення неістинні.

Аналогічно навпаки: $x = 0$ або $y = 0$, якщо висловлення

$$\begin{aligned}x &= 0; \\y &= 0\end{aligned}$$

істинні, та $x = 1$ або $y = 1$, якщо останні висловлення неістинні.

Можна користуватися ще однією трактовкою логічних рівнів: ($x = 1$ або $y = 1$, якщо високий рівень ϵ , а $x = 0$ або $y = 0$, якщо високого рівня немає).

В алгебрі логіки кожній двійковій змінній x ставиться у відповідність обернена до неї інверсна змінна \bar{x} . Наприклад, якщо $x = 0$, то $\bar{x} = 1$ (риска “–” означає операцію логічного заперечення).

Логічна функція $y = f(x_1, x_2, \dots, x_n)$ – це складне висловлення з кількох простих логічних операцій. Функція виду $y = f(x_1, x_2, \dots, x_n)$ називається бульовою, якщо вона та її аргументи (x_1, x_2, \dots, x_n) можуть набувати лише двох значень: 0 або 1. Таку назву надано на честь англійського математика кінця XIX століття Джорджа Буля, який досліджував ці функції. Оскільки аргументи бульової функції можуть набувати лише двох значень, то область визначення будь-якої бульової функції завжди кінцева.

Сукупність значень бульової функції називається *набором*. Для кожної бульової функції від n змінних існують $Z = 2^n$ різних наборів, а число бульових функцій від n змінних дорівнює $2^Z = 2^{2^n}$.

Якщо логічна функція y набуває тільки одного значення при кожному значенні аргументу x , то вона носить назву однозначної і зображується формулою $y = f(x)$.

Для функції від однієї змінної ($n = 1$) існують $2^2 = 4$ різних булевих функцій, де число наборів, на яких функція визначена, становить $Z = 2^n = 2^1$.

Двозначна функція $y = f(x_1; x_2)$ залежить від 4-х комбінацій аргументів $x_1; \bar{x}_1; x_2$ та \bar{x}_2 і набуває значень y або \bar{y} . При $n = 2$, тобто для булевих функцій від двох змінних x_1 та x_2 існують $2^4 = 16$ різних функцій, кожна з яких визначена на 4-х наборах. Бульові функції двох змінних, їхнє умовне визначення та назва наведені в табл. 8.1.

Таблиця 8.1

Двійкові функції

Функція	Операція	Назва функції	Назва операції	Приклад				
				x_1	0	0	1	1
				x_2	0	1	0	1
f_0	0	Константа 0		0	0	0	0	0
f_1	$x_1 \wedge x_2 = x_1 x_2$	Кон'юнкція (логічне множення)	I	0	0	0	0	1
f_2	$x_1 \wedge \bar{x}_2 = x_1 \bar{x}_2$	Заборона x_2		0	0	1	0	
f_3	x_1	Повторення змінної x_1		0	0	1	1	
f_4	$\bar{x}_1 \wedge x_2 = \bar{x}_1 x_2$	Заборона x_1		0	1	0	0	
f_5	x_2	Повторення змінної x_2		0	1	0	1	
f_6	$x_1 \oplus x_2$	Виняткове АБО (сума за mod 2)		0	1	1	0	
f_7	$x_1 \vee x_2 = x_1 + x_2$	Диз'юнкція (логічне додавання)	АБО	0	1	1	1	
f_8	$\bar{x}_1 \vee \bar{x}_2 = \bar{x}_1 + \bar{x}_2$	Стрілка Пірса	АБО-НЕ	1	0	0	0	
f_9	$x_1 \sim x_2$	Рівнозначність або еквівалентність		1	0	0	1	
f_{10}	\bar{x}_2	Інверсія (заперечення) x_2	НЕ	1	0	1	0	
f_{11}	$x_1 \vee \bar{x}_2 = x_1 + \bar{x}_2$	Імплікація від x_2 до x_1		1	0	1	1	
f_{12}	\bar{x}_1	Інверсія (заперечення) x_1	НЕ	1	1	0	0	
f_{13}	$\bar{x}_1 \vee x_2 = \bar{x}_1 + x_2$	Імплікація від x_1 до x_2		1	1	0	1	
f_{14}	$\bar{x}_1 \wedge \bar{x}_2 = \bar{x}_1 \bar{x}_2$	Штрих Шефера	I-НЕ	1	1	1	0	
f_{15}	1	Константа 1		1	1	1	1	

Кількість аргументів x може бути більше, ніж два.

У бульовій алгебрі діють закони, за якими можна установити аналітичні зв'язки між різними логічними функціями і виконувати відповідні перетворення для спрощення складних виразів.

Серед 16 функцій (табл. 8.1) фактично тільки 10 залежать від двох змінних, решта 6 функцій залежать від двох змінних формально: функції f_0 та f_{15} – тривіальні, функції f_3 та f_5 – це повторення змінної, а функції f_{10} і f_{12} – їхні інверсії. Можна зауважити, що деякі функції з табл. 8.1 одержують методом декомпозиції або перенумерації аргументів. Така операція носить назву *суперпозиції*. Так, наприклад, функція f_{12} може бути одержана з функції

f_{11} , якщо x_1 перенумерувати на x_2 . Функція f_{14} може бути одержана з функції f_{12} шляхом підстановки замість аргументу x_1 функції f_1 .

Отже, застосовуючи метод суперпозиції, можна одержати більш складні логічні функції. При цьому виникає питання, чи можливо мати набір більше простих функцій, за допомогою яких можна було б одержати як завгодно складну логічну функцію. Це питання пов'язане з одним із основних понять бульової алгебри – функціонально повнотою систем логічних функцій.

Система булевих функцій вважається *функціонально повною*, якщо на її основі можна одержати довільну бульову функцію, застосовуючи лише метод суперпозиції. Можна одержати довільну множину функціонально повних наборів – базисів. Найчастіше використовують двійкові функції, які наведені в табл. 8.2.

Т а б л и ц я 8.2

Найчастіше використовувані двійкові функції

Функція	Операція	Назва функції	Назва операції	Приклад				
				x_1	0	0	1	1
				x_2	0	1	0	1
f_2	\bar{x}_1	Інверсія (заперечення) x_1	НЕ		1	1	0	0
f_4	\bar{x}_2	Інверсія (заперечення) x_2	НЕ		1	0	1	0
f_1	$x_1 \wedge x_2 = \bar{x}_1 \bar{x}_2$	Кон'юнкція (логічне множення)	I		0	0	0	1
f_{14}	$\bar{x}_1 \wedge \bar{x}_2 = \overline{x_1 x_2}$	Штрих Шефера	I-НЕ		0	1	1	1
f_7	$x_1 \vee x_2 = \overline{\bar{x}_1 \bar{x}_2}$	Диз'юнкція (логічне додавання)	АБО		0	1	1	1
f_8	$\bar{x}_1 \vee \bar{x}_2 = \overline{x_1 x_2}$	Стрілка Пірса	АБО-НЕ		1	0	0	0
f_6	$x_1 \oplus x_2$	Виняткове АБО (сума за mod 2)			0	1	1	0

Найбільш поширеною серед усіх наборів функцій є система A , що складається з трьох булевих функцій.

$$A \left\{ \begin{array}{l} f_1 = x_1 \wedge x_2 = x_1 * x_2 - \text{кон'юнкція}; \\ f_7 = x_1 \vee x_2 = x_1 + x_2 - \text{диз'юнкція}; \\ f_2 = \bar{x}_1 - \text{заперечення}. \end{array} \right. \quad (8.1)$$

Кон'юнкція – логічне множення або операція I.

Диз'юнкція – логічне додавання або операція АБО.

Заперечення – інверсія або операція НЕ.

Властивість набору функцій виражати через себе будь-яку складну функцію носить назву *повноти* цього набору.

Для згаданих операцій кон'юнкції, диз'юнкції та заперечення справедливі наступні аксіоми:

$$\text{– універсальна множина} \quad \left\{ \begin{array}{l} 1 \wedge x = 1 * x = x, \\ 1 \vee x = 1 + x; \end{array} \right. \quad (8.2)$$

$$\text{– нульова множина} \quad \left\{ \begin{array}{l} 0 \wedge x = 0 * x = x, \\ 0 \vee x = 0 + x = x; \end{array} \right. \quad (8.3)$$

$$\text{– повторення} \quad \left\{ \begin{array}{l} x \wedge x \wedge \dots \wedge x = x * x * \dots * x = x, \\ x \vee x \vee \dots \vee x = x + x + \dots + x = x; \end{array} \right. \quad (8.4)$$

$$\text{– доповнення} \quad \left\{ \begin{array}{l} x \wedge \bar{x} = x * \bar{x} = 0, \\ x \vee \bar{x} = x + \bar{x} = x; \end{array} \right. \quad (8.5)$$

$$\text{– подвійна інверсія} \quad \bar{\bar{x}} = x. \quad (8.6)$$

В алгебрі логіки діють: принцип дуальності, правила Шеннона і де Моргана.

Принцип дуальності є основним принципом бульової алгебри, згідно з яким дві функції дорівнюють одна одній, якщо на всіх можливих наборах змінних вони набувають одного й саме того ж значення, тобто

$$f_1(x_1, x_2, \dots, x_n) = f_2(\bar{x}_1, \bar{x}_2, \dots, \bar{x}_n). \quad (8.7)$$

Правило Шеннона стверджує, що для одержання алгебраїчного виразу інверсної функції необхідно у заданій функції всі змінні замінити на інверсні їм, усі знаки кон'юнкції – на знаки диз'юнкції і, навпаки, всі знаки диз'юнкції – на знаки кон'юнкції.

Правило де Моргана стверджує, що інверсія кон'юнкції дорівнює диз'юнкції інверсій, а інверсія диз'юнкції – кон'юнкції інверсій.

У бульовій алгебрі діють закони, за якими можна установити аналітичні зв'язки між різними логічними функціями і виконувати відповідні перетворення для спрощення складних виразів.

Основні закони бульової алгебри та їхні аналітичні зображення зведені в табл. 8.3.

Таблиця 8.3

Закони бульової алгебри

Назва закону	Аналітичне зображення
Закон комутативності	$x_1 x_2 = x_2 x_1$
Закон асоціативності	$x_1 (x_2 x_3) = (x_1 x_2) x_3 = x_1 x_2 x_3$
Закон дистрибутивності	$x_1 \cdot (x_2 \vee x_3) = x_1 x_2 \vee x_1 x_3$
Закон склеювання	$x_1 x_2 \vee x_1 \bar{x}_2 = x_1$
Закон поглинання	$x_1 \cdot (x_1 \vee x_2) = x_1; \quad x_1 \vee x_1 x_2 = x_1$
Закон дуальності (правило де Моргана)	$\bar{\bar{x}}_1 \bar{\bar{x}}_2 = \bar{x}_1 \bar{x}_2$

Названі закони, аксіоми та правила не вичерпують усіх можливостей булевих рівностей, але вони є основними і їхні знання необхідні для виконання перетворень булевих функцій.

Логічні функції багатьох змінних одержують аналогічно розглянутому випадку для функції двох змінних застосуванням методу суперпозиції та аксіом і законів булевої алгебри. В цифрових електронних пристроях реалізація функцій здійснюється електронними схемами.

8.4. Форми зображення логічних функцій

Логічну функцію можна зобразити за допомогою таблиць, координатних карт або діаграм, словесно, у формі числового запису, аналітично.

Розглянемо деякі форми зображення логічних функцій, які найбільш часто використовуються у цифровій схемотехніці.

Таблична форма зображення передбачає складення *таблиці істинності* логічної функції, яка містить у собі усі можливі співвідношення значень аргументів та відповідні значення логічних функцій. Таблиця істинності має 2^n рядків за числом аргументів n . Кожен рядок має $(n + 1)$ стовпців, якщо логічна функція однозначна, або $(n + m)$ стовпців при багатозначній функції, де m – число значень функції y_1, y_2, \dots, y_m . В кожному рядку розглядається комбінація станів аргументів x_n і записується відповідне значення функції y . Наприклад, для функції інверсії з одним аргументом $y = \bar{x}$ таблиця істинності має 2 стовпці і 2 рядки (див. рис. 8.5,б). Для однозначної функції y з двома аргументами x_1 та x_2 , наприклад, $y = x_1 + x_2$ таблиця істинності має $2^2 = 4$ рядки та $(2 + 1) = 3$ стовпці (табл. 8.4).

Таблиця 8.4

x_1	x_2	y
0	0	0
0	1	1
1	0	1
1	1	1

Табличне зображення логічної функції – це найпростіша та наочна форма. Однак зі зростанням числа n аргументів x_n табличне зображення є суттєво складним та громіздким, бо зростає число рядків та стовпців таблиці істинності. Так, для логічної функції y , що залежить від 4-х аргументів x_1, x_2, x_3, x_4 , таблиця істинності буде мати $(4 + 1) = 5$ стовпців та $2^4 = 16$ рядків. Таблична форма зображення логічних функцій широко використовується при розгляданні логічних функцій з малим числом аргументів. Для довільного числа змінних ця форма досить громіздка.

Словесне зображення логічної функції – це логічне висловлення. Наприклад, словесне зображення інверсної функції $y = \bar{x}$ має такий вигляд: “Значення функції y нульове, якщо аргумент x дорівнює одиниці та значення функції y одиничне, якщо аргумент x дорівнює нулю”. Логічну функцію $y = x_1 + x_2$ словесно можна зобразити так: “Значення функції y дорівнює нулю тоді й тільки тоді, коли обидва аргументи нульові: $x_1 = 0$ та $x_2 = 0$; коли хоча б один з двох аргументів або x_1 , або x_2 , або обидва одиничні, то значення функції y також дорівнює одиниці”.

При *аналітичному зображенні* функція задається алгебраїчним виразом, який одержують при застосуванні логічних операцій до змінних

бульової алгебри. Така форма зображення зручна при аналізі властивостей функції, при виконванні різноманітних аналітичних перетворень.

Найбільш раціональним є зображення логічної функції в так званих *канонічних формах*. Прикладом канонічної форми може бути вираз

$$f(x_1, x_2, x_3) = x_1 \vee x_2 \bar{x}_3 \vee x_1 x_2 \bar{x}_3 \vee x_2 x_3. \quad (8.8)$$

8.5. Реалізація логічних функцій бульового базису

Набір із трьох найпростіших логічних функцій НЕ, І, АБО називають *бульовим базисом*. За допомогою законів алгебри логіки можна висловити різноманітні логічні функції через набір цих трьох найпростіших функцій.

8.5.1. Функція логічного заперечення

Найпростішою логічною функцією одного аргументу є *функція логічного заперечення* або *інверсії*

$$y = \bar{x}. \quad (8.9)$$

Логічний елемент, що виконує цю функцію, носить назву *інвертора* або схеми НЕ.

Умовне позначення інвертора наведено на рис. 8.5,а, а одна з багатьох можливих принципових схем – на рис. 8.5,б.

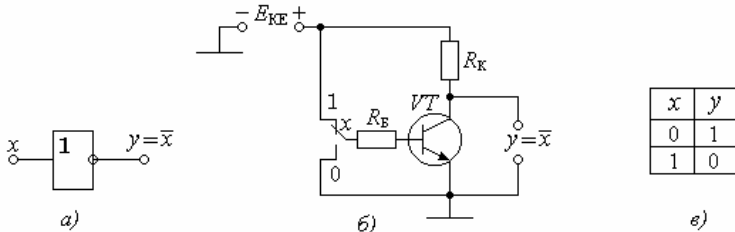


Рис. 8.5. Інвертор або схема НЕ: а – умовне позначення, б – принципова схема, в – таблиця істинності

Тут і надалі логічним нулем 0 є потенціал нульової шини \perp , а логічною одиницею 1 є напруга живлення $+E_{КЕ}$.

При $x = 1$ вхід інвертора підключений до $+E_{КЕ}$, через що транзистор *VT* відкритий і підключає вихід *y* до нуля, тобто $y = 0$ і навпаки, при $x = 0$ вхід інвертора підключений до нуля, транзистор *VT* закритий і підключає вихід *y* через R_K до $+E_{КЕ}$, тобто $y = 1$. Таблиця істинності логічної функції НЕ має найпростіший вигляд (див. рис. 8.5,в).

Часова діаграма роботи схеми НЕ наведена на рис. 8.6, з якої видно наступне.

Вхідний сигнал x складається з черги логічних нулів та одиниць 1. Вихідний сигнал теж набуває значень логічних нулів 0 або одиниць 1, але інверсних. Якщо до входу поданий рівень логічного нуля $x = 0$, то на виході з'являється логічна одиниця $y = 1$ і навпаки, при логічній одиниці на вході схеми $x = 1$ на виході установлюється рівень логічного нуля $y = 0$.

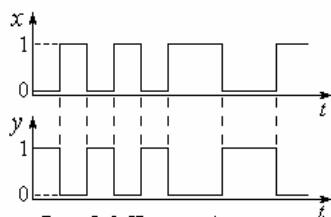


Рис. 8.6. Часова діаграма роботи схеми НЕ

8.5.2. Функція логічного множення

Функція логічного множення І – це функція двох або багатьох аргументів, що виконує операцію логічного множення або кон'юнкцію:

$$y = x_1 \wedge x_2 = x_1 x_2. \quad (8.10)$$

Функція І набуває значення логічної 1 тоді і тільки тоді, коли всі її аргументи x_1, x_2, \dots, x_n дорівнюють 1.

Умовне позначення логічного елемента, що реалізує функцію 2І (кон'юнктора), наведено на рис. 8.7,а (цифра 2 показує наявність двох вхідів).

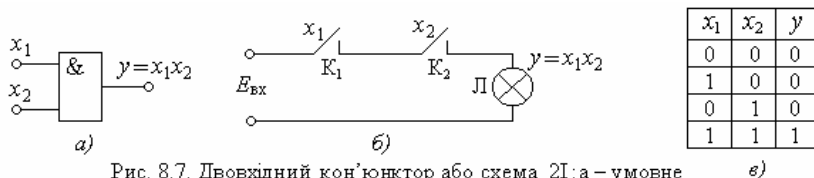


Рис. 8.7. Двовхідний кон'юнктор або схема 2І: а – умовне позначення; б – електромеханічна реалізація; в – таблиця істинності

У релейно-контактній техніці функція І реалізується послідовним включенням двох (K_1, K_2) або більшого числа (за числом аргументів n) контактів, які керуються сигналами-аргументами x_n (рис. 8.7, б). Лампа Л буде світитися тільки тоді, коли і контакт K_1 , і контакт K_2 будуть замкнутими, тобто перебувати в одиничному стані. Якщо хоча б один із контактів буде розімкнутим (в нульовому стані), лампа світитися не буде, тобто функція дорівнює 0. Роботу кон'юнктора, як і будь-якої логічної схеми, відбиває таблиця істинності (див. рис. 8.7, в).

Двовхідна функція 2І – однозначна. Тому для кожної комбінації значень аргументів x_1 та x_2 існує тільки одне значення функції y . Часова діаграма роботи логічної схеми 2І наведена на рис. 8.8, де вхідними сигналами є групи П-імпульсів x_1 та x_2 , які діють на відповідних входах.

Вихідним сигналом є y . Часова діаграма наочно ілюструє алгоритм роботи функції, що випливає з таблиці істинності. Дійсно, рівень логічної одиниці на виході y установлюється і підтримується тоді і тільки тоді, коли і на вході x_1 , і на вході x_2 присутні логічні одиниці, тобто $x_1 = 1; x_2 = 1$.

Збіг логічних одиниць на входах x_1 , та x_2 спостерігається в часи $t_1 - t_2$; $t_3 - t_4$ та $t_5 - t_6$. Протягом решти часу, коли на одному вході $x_1 = 0$ або на вході $x_2 = 0$, або на обидва входи $x_1 = 0$; $x_2 = 0$ перебувають під нульовим потенціалом, на виході схеми устанавлюється рівень $y = 0$.

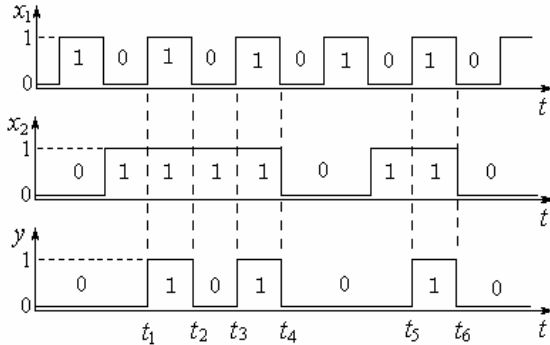


Рис. 8.8. Часова діаграма роботи схеми 2І

8.5.3. Функція логічного додавання

Функція логічного додавання АБО двох чи багатьох аргументів x_n виконує операцію логічного додавання або диз'юнкцію і записується формулою

$$y = x_1 \vee x_2 = x_1 + x_2 \tag{8.11}$$

Функція АБО набуває значення логічної одиниці 1 тоді, коли хоча б один із аргументів x_n дорівнює одиниці. Тут знак “ \vee ” або “+” означає логічне, а не алгебраїчне додавання.

Так, логічне додавання дає $y = x_1 \vee x_2 \vee \dots \vee x_n = 1 + 1 + \dots + 1 = 1$.

Умовне позначення логічного елемента, який реалізує функцію 2АБО, наведено на рис. 8.9,а.

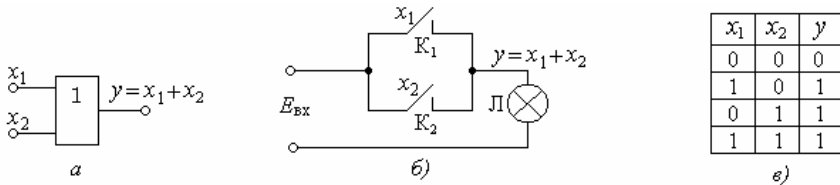


Рис. 8.9. Двовхідний диз'юнктор або схема 2АБО: а – умовне позначення; б – електромеханічна реалізація; в – таблиця істинності

У релейно-контактній техніці функція АБО реалізується паралельним з'єднанням двох або більшого числа (за числом аргументів n) контактів K_1, K_2, \dots (рис. 8.9,б).

Лампа Л буде світитися тоді, коли хоча б один контакт або K_1 ($x_1 = 1$), або K_2 ($x_2 = 1$), або обидва ($x_1 = 1; x_2 = 1$) будуть замкнені, тобто перебувати в

одиночному стані ($y = 1$). Лампа Л буде погашеною ($y = 0$) лише тоді, коли всі контакти будуть розімкненими (в нульовому стані), тобто $x_1 = 0$; $x_2 = 0$.

Роботу схеми 2АБО відбиває таблиця істинності (див. рис. 8.9,б). Ця функція, як і 2І, теж однозначна.

Роботу схеми 2АБО можна проілюструвати часовою діаграмою (рис. 8.10), з якої видно, що достатньо хоча б на одному з входів x_1 , або x_2 мати рівень 1, щоб на виході сигнал y дорівнював би 1. Тільки тоді, коли на обох входах $x_1 = 0$; $x_2 = 0$ (моменти часу $t_2 - t_3$, $t_4 - t_5$, $t_6 - t_7$, $t_8 \dots$) на виході $y = 0$.

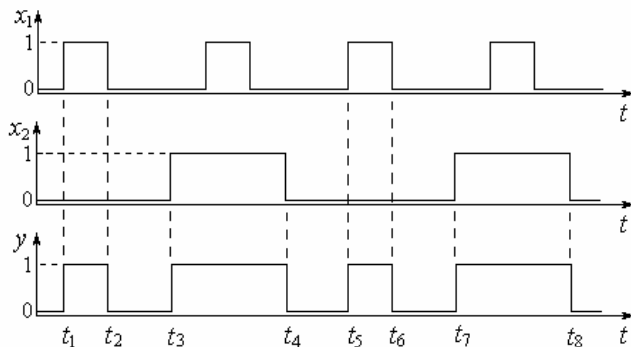


Рис. 8.10. Часова діаграма роботи схеми 2АБО

8.5.4. Комбіновані логічні функції

Кожна з розглянутих функцій бульового базису набуває значення логічного нуля 0 або логічної одиниці 1 в залежності від аргументів x_n , що входять до складу даної функції. Якщо мати логічні елементи, які реалізують найпростіші функції НЕ, І, АБО, то можна побудувати більш складні функції шляхом послідовного виконання функціональних залежностей, які зв'язують пари змінних. Таке з'єднання простих логічних елементів дає змогу одержати цифрові пристрої, що реалізують складні логічні функції.

За основний критерій при структурній реалізації береться мінімум апаратних витрат, під яким слід розуміти мінімальну кількість логічних елементів та мінімальне число зв'язків між ними. Значну роль у забезпеченні критерію за мінімумом апаратних затрат відіграє елементний базис, тобто певний набір функціонально повних логічних елементів. Якщо, як у нашому випадку, базис наперед заданий (бульовий), то логічну функцію, яку треба побудувати, необхідно спеціально перетворити. Головна мета цих перетворень – зведення виразу функції до заданого базису.

Наприклад, треба одержати функцію 2АБО-НЕ. Вона утворюється з двох булевих функцій 2АБО та НЕ. Схемотехнічно така задача розв'язується шляхом послідовного з'єднання логічних елементів 2АБО та НЕ (рис. 8.11,а). Це з'єднання реалізує функцію 2АБО-НЕ, яка носить назву

стрілки Пірса й умовно позначається, як показано на рис. 8.11,б. Роботу схеми 2АБО-НЕ описує таблиця істинності (рис. 8.11,в).

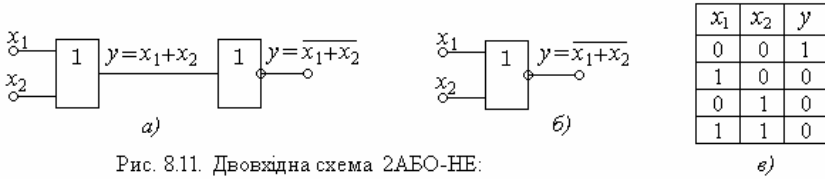


Рис. 8.11. Двовхідна схема 2АБО-НЕ:
а – схема; б – умовне позначення; в – таблиця істинності

Часова діаграма роботи схеми 2АБО-НЕ, наведена на рис. 8.12, з якої видно наступне.

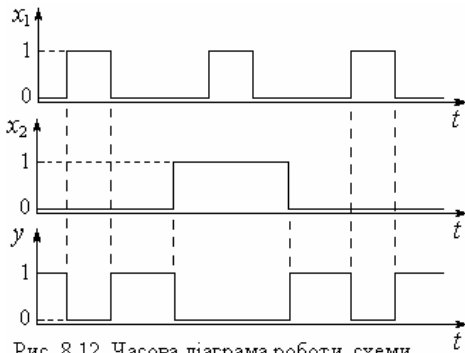


Рис. 8.12. Часова діаграма роботи схеми 2АБО-НЕ

Якщо обидва входи нульові ($x_1 = 0$ та $x_2 = 0$), тільки тоді значення функції $y = 1$ одиничне. Коли ж або $x_1 = 1$, або $x_2 = 1$, або обидва аргументи одиничні, то значення функції $y = 0$. Якщо порівняти роботу схем 2АБО (див. рис. 8.10) та 2АБО-НЕ (рис. 8.11), то можна побачити, що вся різниця полягає лише в інверсії вихідного сигналу y .

Аналогічно можна одержати логічну функцію 2І-НЕ за допомогою двох логічних функцій бульового базису 2І та заперечення НЕ (рис. 8.13).

Функція 2І-НЕ носить назву “штрих Шефера” або “елемент Шефера” і будується послідовним з’єднанням двох логічних елементів, що реалізують функції 2І та НЕ. Тому таблиця істинності (рис. 8.13,в) є проінвертованою таблицею істинності (див. рис. 8.7,в) функції 2І.

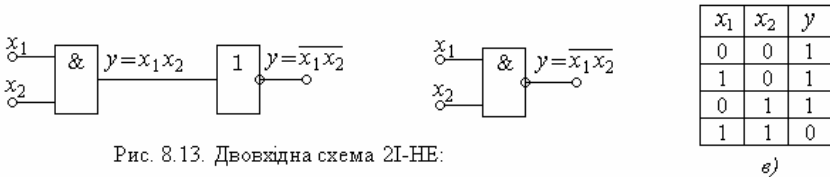


Рис. 8.13. Двовхідна схема 2І-НЕ:
а – схема; б – умовне позначення; в – таблиця істинності

Часова діаграма роботи логічної схеми 2І-НЕ (рис. 8.14) утворюється інверсією вихідного сигналу y логічної схеми 2І (див. рис. 8.8).

З діаграми роботи (рис. 8.14) видно наступне. Якщо обидва входи одиничні ($x_1 = 1$ та $x_2 = 1$), тільки тоді значення функції $y = 0$ нульове. Коли ж або $x_1 = 0$, або $x_2 = 0$, або обидва аргументи нульові, то значення функції $y = 1$.

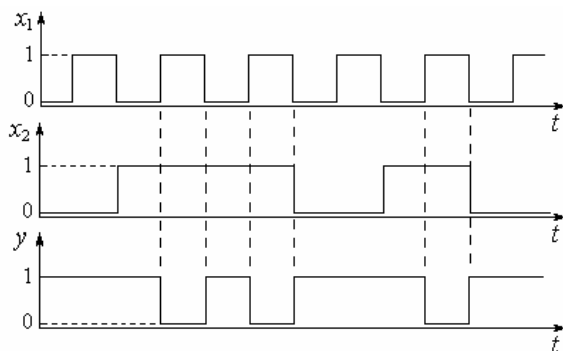
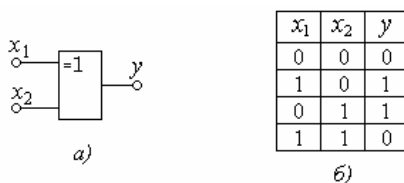


Рис. 8.14. Часова діаграма роботи схеми 2І-НЕ

У цифрових функціональних пристроях комбінаційного типу широко застосовується логічний елемент, що реалізує функцію “виняткове АБО” (рис. 8.15). Цю функцію іноді називають “сума за mod 2”.

Рис. 8.15. Логічний елемент “виняткове АБО”:
а – умовне позначення, б – таблиця істинності

Логічна функція “виняткове АБО” описується формулою

$$x_1 \oplus x_2 = x_1 \bar{x}_2 \vee \bar{x}_1 x_2 = (x_1 \vee x_2)(\bar{x}_1 \vee \bar{x}_2). \quad (8.12)$$

Символ \oplus означає, що змінні x_1 та x_2 зв'язані логічною функцією “виняткове АБО”. Її робота полягає в тому, що $y = 1$ тоді і тільки тоді, коли вхідні змінні різні $x_1 \neq x_2$. Коли ж усі змінні однакові $x_1 = x_2$, тобто $x_1 = 0$ та $x_2 = 0$ або $x_1 = 1$ та $x_2 = 1$, лише тоді $y = 0$ (див. рис. 8.15, б).

Часова діаграма роботи схеми, яка реалізує логічну функцію “виняткове АБО”, наведена на рис. 8.16. З цієї діаграми видно, що функція $y = 1$ набуває одиничного значення лише тоді, коли обидва аргументи різні $x_1 \neq x_2$.

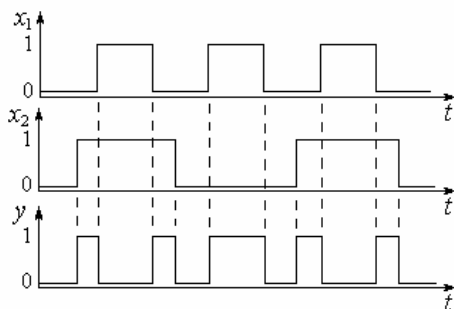


Рис. 8.16. Часова діаграма роботи схеми “виняткове АБО”

Контрольні питання

- 8.1. Що таке “цифровий автомат”?
- 8.2. Які цифрові автомати називають синхронними?
- 8.3. Які цифрові автомати називають асинхронними?
- 8.4. Що таке комбінаційний автомат?
- 8.5. Що таке послідовнісний автомат?
- 8.6. Які сигнали називають цифровими?
- 8.7. Яка система числення називається двійковою?
- 8.8. Що таке логічна функція?
- 8.9. Який набір логічних функцій вважається повним?
- 8.10. Які існують форми зображення логічних функцій?
- 8.11. Що таке логічна функція НЕ?
- 8.12. Що таке логічна функція І?
- 8.13. Що таке логічна функція АБО?
- 8.14. Функція стрілки Пірса.
- 8.15. Функція елемента Шефера.
- 8.16. Функція елемента “виняткове АБО”.

Рекомендована література

- 8.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 183 – 198.
- 8.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 100 – 102.
- 8.3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 499 – 515.
- 8.4. Зубчук В.И. Справочник по цифровой технике / В.И. Зубчук, В.П. Сигорский., А.Н Шкуро.– К.: Техника, 1990. – 145 с.
- 8.5. Калабеков В.А. Основы автоматки и вычислительной техники / В.А. Калабеков, И.А. Мамзелев – М.: Связь, 1980. – 296 с.
- 8.6. Сергеев Н.П. Основы вычислительной техники / Н.П. Сергеев, Н.П. Вашкевич– К.: Вища школа, 1988. – 311 с.
- 8.7. Соломатин Н.М. Логические элементы ЭВМ / Н.М. Соломатин – М.: Высшая школа, 1987. – 112 с.
- 8.8. Янсен И. Курс цифровой электроники. В 4-х т / И. Янсен. – М.: Мир, 1987. – Т.1. – 225 с.

Розділ 9

СХЕМОТЕХНІКА ЛОГІЧНИХ ЕЛЕМЕНТІВ

9.1. Класифікація цифрових елементів

Розвиток цифрової техніки став потужним стимулом для швидкого розвитку мікросхемотехніки. Цифрові елементи можна зустріти тільки в мікросхемному виконанні. Цифрові елементи частіше називають *цифрові інтегральні схеми* або *цифрові мікросхеми* – це найменші функціональні частини будь-якого цифрового пристрою й основна база сучасної цифрової техніки. В основі цифрових схем лежать найпростіші транзисторні ключі – аналоги металевих контактів, що характеризуються двома станами: або розімкнені, або замкнені.

Цифрові інтегральні мікросхеми (цифрові елементи) можна розглядати за різною класифікацією: за ступенем інтеграції, за функціональним призначенням, за типом логіки, за технологією виготовлення, за будовою електричної схеми.

Ступінь інтеграції – це показник функціональної складності інтегральних мікросхем, який визначається числом елементів на кристалі підшарку. За ступенем інтеграції цифрові мікросхеми підрозділяються на малі, середні, великі (ВІС), надвеликі (НВІС) та супервеликі (СВІС). Чим вище ступінь інтеграції мікросхеми, тим ширше її функціональні можливості.

Мікросхеми *малого ступеня інтеграції*, що мають у складі 1...10 елементів, використовують для розробки апаратури, але при цьому вимагається збільшення кількості мікросхем.

Найбільш функціонально гнучкими є *мікросхеми середнього* (10...100 елементів) та *великого* (10^2 ... 10^3 елементів) ступенів інтеграції. Тому їх використовують при побудові цифрових пристроїв зі складними алгоритмами роботи.

Мікросхеми надвеликі (10^3 ... 10^4 елементів) та супервеликі (понад 10^4 елементів) – це багатофункціональні пристрої, мікропроцесорні комплекти, однокристалні ЕОМ.

За способом зображення інформації цифрові інтегральні мікросхеми поділяються на потенційні, імпульсні та імпульсно-потенційні.

Потенційні цифрові мікросхеми вважаються найпростішими з усіх, бо реагують на рівні напруги, що відповідно означають для цифрових пристроїв логічний нуль 0 та логічну одиницю 1. Для функціонування потенційних мікросхем не потрібна синхронізація. Цей тип мікросхем відрізняється обов'язковою присутністю зв'язків за постійним струмом між виходом та входом. Потенційні мікросхеми можуть працювати як з імпульсними сигналами, так і з потенційними.

Імпульсні мікросхеми працюють лише за умови дії синхроімпульсів. Вони сприймають лише імпульсні цифрові сигнали певної тривалості і реагують на параметри цього сигналу: на його фронт чи на зріз (рис. 9.1).

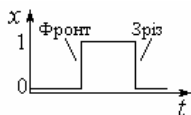


Рис. 9.1.
Імпульсний сигнал

Імпульсно-потенційні мікросхеми використовують усі попередні способи кодування. Вони найбільш поширені у функціональній схемотехніці, де мікросхеми пристроїв – це середні або великі інтегральні схеми, що потребують різних форм зображення цифрових сигналів.

За способом зображення інформації, тобто методом введення та виведення даних цифрові мікросхеми поділяються на елементи *послідовної, паралельної та змішаної дії*.

У цифрових мікросхемах послідовної дії введення даних здійснюються послідовно за часом, тобто по єдиному каналу. Мікросхеми паралельної дії здійснюють введення та виведення інформації у паралельній формі, тобто одночасно по декількох інформаційних шинах (каналах).

Найбільш часто застосовується змішаний спосіб, який має властивості послідовної та паралельної дії. Цифрові мікросхеми, що мають змішаний спосіб введення та виведення даних, відрізняються більшою схемотехнічною гнучкістю. Такі мікросхеми здійснюють операції перетворення цифрових сигналів з однієї форми зображення в іншу. Мікросхеми змішаного типу належать до так званих інтерфейсних мікросхем.

За функціональним призначенням цифрові мікросхеми поділяються на класи: логічні елементи, запам'ятовувачі та допоміжні мікросхеми.

Логічні елементи – це елементарні пристрої, що реалізують одну чи декілька логічних функцій за законами бульової алгебри. Логічні елементи універсальні і тому на їхній основі можна будувати цифрові пристрої будь-якого класу складності.

Запам'ятовувачі – це великий клас цифрових пристроїв, які складаються з елементарних комірок пам'яті. Кожна комірка може зберігати один біт інформації. Функціонування таких мікросхем здійснюється під впливом керуючих сигналів.

Допоміжні мікросхеми – це елементи, що використовуються для перетворення електричних сигналів або кодів зображення інформації, комутування, формування сигналів, індикації, узгодження логічних рівнів тощо.

Логіка буває позитивною та негативною.

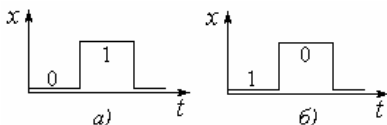


Рис. 9.2. Логіка: а – позитивна,
б – негативна

Позитивною називається логіка, в якій низький рівень напруги кодується логічним нулем, а високий – логічною одиницею (рис. 9.2,а).

Рівні напруги можна трактувати навпаки, тобто за логічну одиницю 1 приймати низький рівень напруги, а логічний нуль 0 – високий (рис. 9.2,б). Така логіка називається *негативною*.

Позитивна логіка для споживачів найбільш прийнятна і набула більшого поширення, ніж негативна. Навіть психологічно легше зрозуміти,

коли сигнали високого рівня приймаються за логічну одиницю. Наприклад, включення (будь-чого) – це логічна одиниця 1; а виключення, тобто відсутність включення – це логічний нуль 0.

Усі мікросхеми з'єднують в *серії*. Серією називають групу мікросхем, що виконані за однією технологією. Мікросхеми, що входять в одну серію, мають подібні технічні характеристики і призначенні для сумісної роботи в цифрових пристроях.

Умовне позначення цифрових мікросхем складається з декількох літер та цифр. Наприклад, К555ЛА2. Перша літера К характеризує стійкість мікросхеми до дії навколишнього середовища та зв'язаний з цим тип корпусу.

Перші три або чотири цифри позначають номер серії мікросхем. У нашому прикладі – це три цифри серії 555. Перша цифра номера серії визначає технологію виготовлення:

- *напівпровідникові*, якщо перша цифра 1 або 3;
- *гібридні*, коли перша цифра парна;
- *комбіновані* мікросхеми, коли перша цифра дорівнює 5.

Наступні за номером серії дві літери характеризують функцію, яку виконує мікросхема (наприклад, ЛА – логічна функція І-НЕ).

Остання цифра (може бути дві цифри) означає тип мікросхеми в колі однієї функціональної групи, наприклад, число входів елемента, тип тригера тощо. Наприкінці іноді є також літери, що характеризують деякі експлуатаційні параметри, наприклад, вихідну потужність.

Логічні елементи (ЛЕ) – це інтегральні мікросхеми потенційного типу без пам'яті. В інтегральній схемотехніці – це найбільш поширений клас мікросхем. Логічний стан виходів таких елементів залежить тільки від комбінації логічних сигналів на входах у даний момент часу і тому їх називають комбінаційними пристроями.

9.2. Параметри логічних елементів

До основних параметрів, які характеризують можливості ЛЕ мікросхем різноманітних серій відносяться:

- логічна функція, яку реалізує ЛЕ;
- напруга живлення;
- напруга логічної одиниці;
- напруга логічного нуля;
- навантажувальна спроможність;
- швидкодія;
- коефіцієнт об'єднання по входу;
- середній час затримки передачі сигналу;
- потужність споживання;
- завадостійкість.

За видом реалізованої логічної функції ЛЕ можна поділити на два класи. Логічна функція, яку реалізує ЛЕ, може бути досить проста: НЕ; І;

АБО; І-НЕ; АБО-НЕ. ЛЕ таких мікросхем відносяться до першого класу і носять назву одноступеневої логіки.

До другого класу відносяться функціональні мікросхеми двоступеневої або багатоступеневої логіки, які реалізують більш складні логічні функції: І-АБО; АБО-І; І-АБО-НЕ; І-АБО-І та інші.

Напруга живлення E_K – характеризується кількістю живлячих напруг та їхніми номінальними значеннями. При цьому, як правило, вказуються допуски на величину наруги живлення, за яких не порушується робота ЛЕ. Частіше за все в логічних схемах використовується $E_K = 5$ В та $E_K = 9$ В.

Напруга логічної одиниці U^1 – це значення високого рівня напруги для позитивної логіки.

Напруга логічного нуля U^0 – це значення низького рівня напруги для позитивної логіки.

Навантажувальна здатність визначає число входів ЛЕ, яке можна підключити до виходу кожного елемента мікросхеми, і при цьому забезпечується неперекручена передача двійкових символів 0 та 1. Дуже часто цей параметр називають коефіцієнтом розгалуження виходу n_p та висловлюють цілим додатним числом, яке показує максимальне число входів аналогічних ЛЕ, які можна одночасно підключити до виходу даної мікросхеми. Для різних типів мікросхем n_p коливається від 1 до кількох десятків.

Збільшення n_p обмежене, бо при зростанні навантаження погіршуються такі важливі параметри, як завадостійкість та середній час затримки сигналу. З цієї причини до складу однієї серії входять ЛЕ з різноманітним коефіцієнтом розгалуження виходу: основні ЛЕ з $n_p = 4 \dots 10$ та буферні ЛЕ, які носять назву підсилювачів потужності, з $n_p = 20 \dots 50$. Це дозволяє найбільш гнучко проектувати цифрові прилади з оптимальними параметрами.

Завдання навантажувальної здатності з урахуванням ємності навантаження використовується для мікросхем, які мають дуже великий вхідний опір ($R_{вх} > 10^{12}$ Ом), наприклад, мікросхем МДН типу. Їхня навантажувальна здатність висока ($n_p > 10$) і зростання n_p обмежується тільки погіршенням динамічних параметрів за рахунок зростання постійних часу заряду та розряду паразитної навантажувальної ємності C_n при великих n_p , тому що

$$C_n = C_{вх} \cdot n_p + C_{вих}, \quad (9.1)$$

де $C_{вх}$ – ємність входу одного ЛЕ; $C_{вих}$ – ємність виходу ЛЕ.

Значення C_n та максимального вихідного струму логічних нуля та одиниці обов'язково необхідні при стикуванні мікросхем різних серій.

Коефіцієнт об'єднання по входу $n_{вх}$ визначає максимальне число входів ЛЕ і тим самим число незалежних вхідних змінних x_n . Збільшення $n_{вх}$ розширює логічні можливості ЛЕ. Однак при цьому, як правило, погіршуються такі параметри, як швидкодія, завадостійкість та навантажувальна здатність. В окремих серіях мікросхем передбачаються спеціальні входи для підключення так званих логічних розширювачів, які підвищують

за необхідності коефіцієнт $n_{\text{вх}}$. В існуючих серіях значення $n_{\text{вх}}$ коливається від 1 до 8.

Середній час затримки сигналу $t_{\text{зс}}$ відноситься до динамічних параметрів ЛЕ, який характеризує швидкодію роботи мікросхеми. Він визначає середній час проходження одного біта інформації через одну мікросхему. Значення $t_{\text{зс}}$ одного ЛЕ порівняно мале (1 ... 20 нс). Якщо від входу до виходу сигнал передається через коло послідовно з'єднаних ЛЕ, то сумарний час затримки залежить від числа ЛЕ. Для деяких функціональних пристроїв іноді замість $t_{\text{зс}}$ використовують обернено пропорційну величину – максимальну частоту переключення.

Потужність споживання – це величина потужності, яку споживає ЛЕ від джерела живлення. Кожний ЛЕ цифрового приладу може при роботі перебувати у двох станах: одиничному або нульовому. Кожний з цих станів характеризується різним значенням потужності споживання. Тому користуються середньою потужністю споживання, яка обчислюється формулою

$$P_{\text{сп}} = \frac{P_0 + P_1}{2}, \quad (9.2)$$

де P_1 – потужність споживання в одиничному стані виходу $y = 1$;

P_0 – потужність споживання в нульовому стані виходу $y = 0$.

Досить значна кількість мікросхем споживає найбільшу потужність в процесі переключення, доки існують перехідні процеси, і зовсім малу потужність в статичних станах. Для таких мікросхем крім середньої споживаної потужності вводиться середня потужність, яку споживає елемент при максимальній частоті переключення.

Завадостійкість оцінюється максимально припустимою величиною потенційної завади U_z , при появі якої на вході мікросхеми не виникає хибного перемикавання із стану 0 у стан 1 або навпаки.

Розрізняють статичну та динамічну завади. Статична завадостійкість ЛЕ значно вища за динамічну, бо на неї під час перехідного процесу паразитні ємності впливають менше, ніж при короткочасних динамічних завадах. Динамічну заваду важко виміряти, бо вона залежить не тільки від типу мікросхеми, а й від зовнішніх факторів. Тому у довідниках можна знайти лише величину статичної завадостійкості.

Динамічна завадостійкість в загальному випадку залежить від тривалості, потужності і форми сигналу завади, а також від рівня статичної завадостійкості та швидкості перемикавання базового функціонального елемента. Однак висока статична завадостійкість не завжди визначає високу динамічну завадостійкість даного елемента.

Для кількісної оцінки завадостійкості та деяких інших параметрів мікросхем ЛЕ визначається *передавальна* або *статична характеристика*, якою є залежність вихідної напруги U_y від вхідної U_x на одному з входів при незмінних рівнях напруг на інших входах ЛЕ

$$U_y = f(U_x). \quad (9.3)$$

У мікросхемах ЛЕ рівні напруг логічного нуля U^0 та логічної одиниці U^1 задаються не фіксованими потенціалами, а діапазоном чи розкидом напруг. Між цими рівнями існує проміжна невизначена зона, в якій логічний стан є нестійким. Тому важливо для кожного типу мікросхем знати вхідні U_x^0 і U_x^1 та вихідні U_y^0 і U_y^1 рівні, а також межі зони логічної невизначеності ΔU , від якої залежить завадостійкість мікросхем.

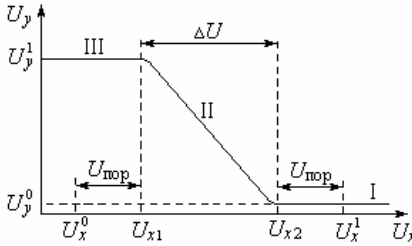


Рис. 9.3. Передавальна характеристика інвертора

Передавальна характеристика зображується для кожної логічної функції окремо, бо треба враховувати не тільки числову залежність вхідного і вихідного сигналів, а і їхній взаємозв'язок за полярністю.

Передавальна характеристика логічної функції НЕ (заперечення або інвертора) $U_y = f(U_x)$ наведена на рис. 9.3.

На передавальній характерис-

тиці можна розрізнити три ділянки:

I – нульовий стан, за якого на виході $U_y = U_y^0 = 0$;

II – проміжний логічний перепад, в якому інвертор знаходиться у перехідному режимі роботи;

III – одиничний стан, за якого $U_y = U_y^1 = 1$.

Вхідна напруга U_x містить пороги переключення U_{x1} для логічного нуля 0 і U_{x2} для логічної одиниці 1 та область між ними ΔU , яка характеризує зону невизначеності

$$\Delta U = U_{x2} - U_{x1}. \quad (9.4)$$

Передавальна характеристика визначає параметри завадостійкості. Так, вхідні рівні напруг U_x^0 та U_x^1 , які наводяться у довідниках, не дорівнюють U_{x1} та U_{x2} , тому що враховують напруги завад.

Дійсно, якщо амплітуда завади перевищуватиме зону невизначеності

$$U_{mз} > \Delta U, \quad (9.5)$$

то вона змінить U_{x1} на U_{x2} або навпаки.

Для збільшення припустимої напруги завади розносять пороги переключення відповідно до U_x^0 та U_x^1 на величину $U_{пор}$:

$$U_x^0 = U_{x1} - U_{пор}, \quad (9.6)$$

$$U_x^1 = U_{x2} + U_{пор}. \quad (9.7)$$

Тоді амплітудна напруга завади, яка збиває логічні рівні U_x^0 на U_x^1 або U_x^1 на U_x^0 , становить

$$U_{mз} = U_{пор} + \Delta U. \quad (9.8)$$

З формули (9.8) видно, що зміщення порогів переключення на $U_{пор}$ та збільшення зони невизначеності ΔU збільшує максимально припустиму амплітуду завади $U_{mз}$, тобто підвищує завадостійкість.

Тому в логічних елементах вживають заходів щодо збільшення $U_{пор}$ та підвищення ΔU . Так, елементи ТТЛ мають зону невизначеності $\Delta U = 0,7$ В і рівні вхідної напруги $U_x^0 = 0,4$ В та $U_x^1 = 2,0$ В, тобто кожний поріг зміщений на $(2,0 - 0,4)/2 = 0,8$ В, що становить понад ΔU .

Це забезпечує нечутливість елементів ТТЛ до завад, амплітуда яких не перевищує $U_{mз} < U_x^1 - U_x^0 = 2,0 - 0,4 = 1,6$ В.

9.3. Типи логічних елементів та їхні порівняльні характеристики

Характеристики та параметри цифрових схем залежать від технології виготовлення, тобто від серії мікросхем. У сучасній цифровій схемотехніці домінуюче положення належить наступним типам мікросхем:

- транзисторно-транзисторна логіка на біполярних транзисторах (ТТЛ);
- транзисторно-транзисторна логіка на транзисторах Шотткі (ТТЛШ);
- структури на польових транзисторах МОН – “метал – оксид – напівпровідник” або МДН – “метал – діелектрик – напівпровідник”);
- з симетричною комплементарною структурою на польових транзисторах (КМОН-структури);
- динамічні МОН-структури;
- інтегрально-інжекційна логіка (I^2L);
- емітерно-зв’язана логіка на біполярних транзисторах (ЕЗЛ).

Кожна технологія виготовлення мікросхем має свої переваги і недоліки. Тому на етапі схемотехнічного проектування необхідні знання характеристик та параметрів кожної серії мікросхем.

Мікросхеми ТТЛ та ТТЛШ мають високу швидкодію, великий коефіцієнт об’єднання по входу, високу завадостійкість при досить невеликій споживаній потужності і тому популярність мікросхем ТТЛ та ТТЛШ на світовому ринку спостерігається вже понад декількох десятиліть.

Мікросхеми МОН та КМОН будуються на базі МОН-транзисторів з індуктованими або вбудованими каналами, які за порівнянням з біполярними транзисторами мають наступні переваги:

- вхідне коло (коло заслону) у статичному режимі не споживає струму;
- простота технології виготовлення, мала площа, яку займає транзистор.

Тому за таким параметром, як потужність споживання, МОН- і КМОН-мікросхеми мають значні переваги. Мікросхеми серії КМОН витрачають потужність тільки в процесі переключення. Сучасні технології МОН і КМОН

широко використовуються в мікропроцесорних комплектах та в цифрових приладах, де найбільш критичним параметром є споживана потужність.

Мікросхеми ЕЗЛ відрізняються найбільш високою швидкістю за рахунок використання транзисторів у ненасиченому режимі роботи і працюють з сигналами до 150 мГц. Суттєвим недоліком цих мікросхем є те, що через відсутність насичення вони досить чутливі до зовнішніх завад.

Мікросхеми серії Г²Л забезпечують високу щільність розміщення елементів на кристалі. Вони споживають малу потужність при високій швидкодії, яка досягається за рахунок технології виготовлення. Недоліком серії Г²Л є мала вихідна напруга (не більше 0,7 В). Тому ця серія не має самостійного застосування і використовується лише у внутрішніх вузлах мікросхем.

9.4. Транзисторно-транзисторна логіка (ТТЛ)

Схемотехніка ТТЛ має найбільше число різновидів. Мікросхеми ТТЛ на світовому ринку стабільно посідають перше місце протягом декількох десятиліть.

Особливістю мікросхем ТТЛ є наявність у вхідному колі багатоемітерного транзистора. Багатоемітерний транзистор (БЕТ) являє собою інтегральний елемент, який має декілька (до 8) емітерних переходів.

БЕТ у мікросхемах ТТЛ вмикають на вході, реалізуючи при цьому функцію діодної схеми І (рис. 9.4,а). Умовне позначення БЕТ наведено на рис. 9.4,б.

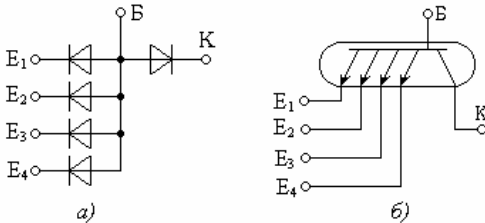


Рис. 9.4. Багатоемітерний транзистор:
а – діодна схема І – еквівалент БЕТ;
б – умовне позначення БЕТ

Типова двохфодова схема 2І-НЕ наведена на рис. 9.5. Число емітерів БЕТ дорівнює числу входів.

Рівнем логічного нуля є потенціал нульового проводу, тобто фізичний нуль, а рівнем логічної одиниці є напруга живлення $+E_K$.

Схема містить багатоемітерний транзистор VT_1 , який сумісно з R_1 виконує логічну функцію 2І, фазорозщеплювальний каскад на VT_2 та складний інвертор на транзисторах VT_3 та VT_4 .

Фазорозщеплювальний каскад здійснює відкриття лише одного транзистора: або VT_3 , або VT_4 , забезпечуючи саме тим на виході відповідно або логічну одиницю, або логічний нуль.

При цьому складний інвертор, в якому один із транзисторів VT_3 або VT_4 завжди закритий, не споживає енергію.

Схема працює наступним чином.

Вхідне коло R_1 , VT_1 є несиметричним розгалужувальним з'єднанням: одне коло містить лише один перехід (емітерний перехід VT_1), а інше – три

(колекторний $VT1$, емітерний $VT2$ та емітерний $VT4$).

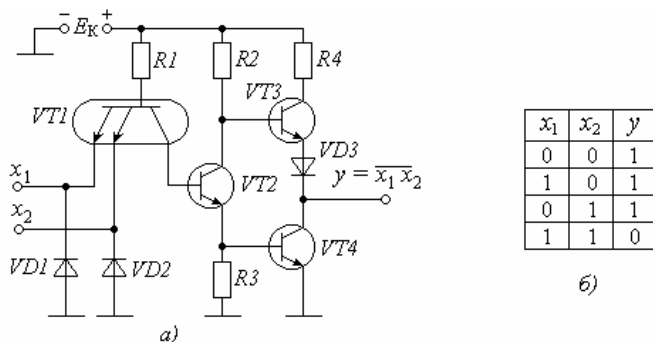


Рис. 9.5. Елемент ТТЛ 2І-НЕ а – схема; б – таблиця істинності

Через цю несиметричність струм бази $VT1$ може протікати тільки по одному колу: або через емітери, або через колектор $VT1$.

Напруга живлення E_K сумісно з опором резистора $R1$ створює джерело струму бази $VT1$, який тече завжди або по колах емітерів, або по колу колектора в залежності від стану входів x_1 та x_2 .

При обох одиничних входах $x_1 = 1$ та $x_2 = 1$ емітерні переходи $VT1$ закриті, через що струм бази $VT1$ через його колекторний перехід тече в базу транзистора $VT2$, відкриваючи його. Тоді емітерний струм транзистора $VT2$, втікаючи в базу $VT4$, відкриває і його. Отже при всіх одиничних входах транзистори $VT2$ та $VT4$ завжди відкриті. При цьому низький потенціал колектора $VT2$ закриває транзистор $VT3$. Таким чином, при всіх одиничних входах закритий транзистор $VT3$ відключає вихід y від напруги E_K , а відкритий транзистор $VT4$ підключає вихід y до нуля. Так за всіх одиничних входах $x_1 = 1$ та $x_2 = 1$ вихід $y = 0$.

Якщо хоча б до одного входу надходить логічний нуль, тобто $x_1 = 0$; $x_2 = 1$, або $x_1 = 1$; $x_2 = 0$, або $x_1 = 0$; $x_2 = 0$, то хоча б один або всі емітерні переходи $VT1$ відкриті і вони відгалужують на себе струм бази $VT1$. Бази $VT2$ і $VT4$ знеструмлені, через що транзистори $VT2$ та $VT4$ закриті. Одиничний потенціал колектора $VT2$ відкриває транзистор $VT3$. Тоді закритий транзистор $VT4$ відключає вихід y від нуля, а відкритий транзистор $VT3$ підключає y до напруги E_K , тобто до логічної одиниці. Таким чином, при хоча б одному вході під логічним нулем на виході є логічна одиниця $y = 1$. Схема здійснює логічну функцію 2І-НЕ і може бути описана таблицею істинності (рис. 9.5,б).

Щодо діодів $VD1 - VD3$, то $VD1$ та $VD2$ захищають входи схеми від переполюсовки напруги, а діод $VD3$ в емітері транзистора $VT3$ сприяє його закриттю.

Емітери БЕТ $VT1$ можна з'єднувати між собою, зменшуючи при цьому кількість переходів (діодів) на вході мікросхеми. Нарешті, якщо з'єднати всі емітери між собою, то можна одержати одноемітерний транзистор.

Типовий інвертор ТТЛ або логічна схема НЕ наведена на рис. 9.6.

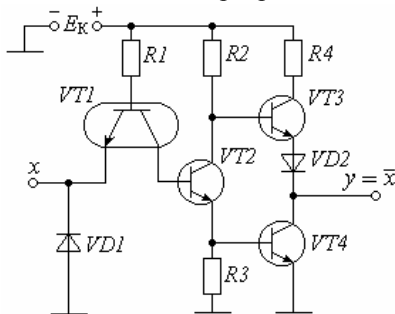


Рис. 9.6. ТТЛ-інвертор

Зіставляючи схему 2І-НЕ (рис. 9.5) зі схемою інвертора (рис. 9.6), переконуємося в тому, що вони відрізняються лише кількістю входів (емітерів $VT1$). Тому принципи дії цих схем збігаються.

Щодо діодів $VD1$, $VD2$ в схемі (рис. 9.5) та $VD1$ в схемі (рис. 9.6), то вони необхідні для наступного.

Вхідні кола розглянутих схем мають розподілені ємності та індуктивності. Тому при дії на вході високо-частотних сигналів може з'явитися деренчання зі значними від'ємними викидами, які є згубними для схеми. З метою знищення цих викидів кожний вхід ТТЛ елемента з'єднують із загальною шиною через діод $VD1$, як показано на рис. 9.6. Цей діод зменшує від'ємний викид до 0,7 В, підвищуючи саме тим завадостійкість мікросхеми та час її безвідмовної експлуатації.

Щодо вихідного кола, то через його двотактність слід особливо попередити, що з'єднання елементів по виходах не припустиме.

Організація двотактового виходу в ТТЛ елементах робить неможливим паралельне з'єднання виходів декількох мікросхем, бо якщо з'єднані інвертори при цьому перебувають у різноманітних станах, то через відкриті транзистори $VT3$ одного з них (рис. 9.5, 9.6) та $VT4$ іншого потече неприпустимо великий струм, який може вивести з ладу з'єднанні мікросхеми.

Цю проблему можна вирішити за рахунок використання логічного елемента з так званим відкритим колектором. Схема логічного елемента з відкритим колектором створена тим, що з елементів (рис. 9.5, 9.6) вилучений транзистор $VT3$, а колектор $VT4$ виведений на вихід. Спрощена схема логічного елемента з відкритим колектором та її умовне позначення наведені на рис. 9.7.

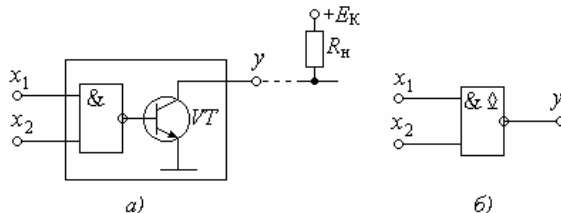


Рис. 9.7. Логічний елемент з відкритим колектором:
а – спрощена схема, б – умовне позначення

Схема має в своєму складі логічний елемент (в нашому випадку це схема 2І-НЕ), вихід якої підключений до бази транзистора VT (рис. 9.7,а). Колектор транзистора є виходом y . Такий вихідний каскад (без опору

навантаження в колекторному колі) не може сам собою сформувати на виході y високий рівень напруги. Для цього до виходу y зовнішнім монтажем підключається опір R_n , який носить назву підтягуючого. Замість резистора R_n можна підключати будь-яке зовнішнє навантаження: реле, світлодіод та ін. Логічні елементи з відкритим колектором дозволяють підводити до вихідного транзистора напругу $E_K = 30$ В. За допомогою логічних елементів з відкритим колектором можна збільшувати кількість входів.

Крім схемотехнічних можливостей логічні елементи з відкритим колектором здатні реалізувати додатково і логічні операції завдяки тому, що вони допускають паралельне з'єднання аналогічних виходів на одне спільне навантаження. Таке об'єднання виходів називається монтажною або *провідниковою* логікою, бо вона утворюється в результаті зовнішнього монтажу. На рис. 9.8 показана схема на логічних елементах 2І-НЕ з відкритим колектором, з'єднання яких на виході y разом з R_n утворюють *монтажне І*.

На об'єднаному виході y (рис. 9.8) рівень буде одиничним ($y = 1$) лише тоді, коли усі виходи y_i будуть одиничними: $y_1 = 1$; $y_2 = 1$; $y_3 = 1$. Якщо хоча б один з елементів має на своєму виході низький потенціал $y_i = 0$, то на об'єднаному виході y рівень буде нульовим $y = 0$.

Отже виходи y_i разом з R_n утворюють *монтажне І*:

$$y = y_1 \cdot y_2 \cdot y_3 = \overline{x_1 x_2} \cdot \overline{x_3 x_4} \cdot \overline{x_5 x_6}. \quad (9.9)$$

Принцип монтажного І широко використовується у ВІС пам'яті та програмованих логічних матрицях (ПЛМ), а також для побудови двонапрямлених числових шин.

Транзисторно-транзисторна логіка має низку переваг, а саме:

- досить мала споживана потужність, що досягається за рахунок ускладнення інвертора парою транзисторів $VT3$ та $VT4$ (див. рис. 9.5), які працюють у фазоінверсному режимі під дією керуючого фазорозщеплювача $VT2$;

- у статичному режимі один із транзисторів $VT3$ або $VT4$ завжди відкритий, тому вихідний опір, а тому й стала часу вихідного кола є досить малими, що сприяє підвищенню швидкодії;

- у динамічному режимі, коли на час переключення одночасно відкриті обидва транзистори $VT3$ і $VT4$ малий вихідний опір логічного елемента сприяє швидкому перезарядженню ємності навантаження та паразитної ємності монтажу, що забезпечує високу навантажувальну здатність логічного елемента ТТЛ.

До недоліків серій ТТЛ відноситься порівняльно низька швидкодія тому, що в статистичному режимі окремі транзистори, що складають схему ТТЛ, знаходяться в стані глибокого насичення. Це насичення забезпечує

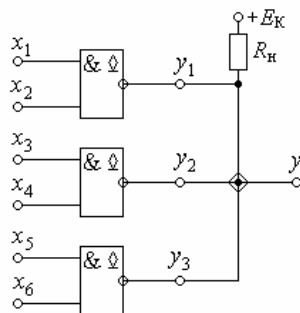


Рис. 9.8. Схема монтажного І

надлишковий вхідний струм, який зміщує емітерний перехід у пряму напрям і приводить до накопичення рухомих носіїв в базах транзисторів. Після зникнення вхідного струму для переходу транзистора в стан відсікання потрібний тривалий час для подолання перехідного процесу розсмоктування накопичених носіїв, коли протягом десятків наносекунд транзистор залишається відкритим.

Отже, для підвищення швидкодії треба запобігти насиченню транзисторів.

Ці недоліки ліквідовані в елементах ТТЛ з діодом Шоттки* (ТТЛШ).

9.5. Транзисторно-транзисторна логіка з діодом Шоттки (ТТЛШ)

Більш швидкодіючими порівняно із серією ТТЛ значаться логічні елементи на діодах та транзисторах Шоттки (ТТЛШ). Мікросхеми ТТЛШ мають ту саму структуру електричної схеми, що й ТТЛ, тільки замість діодів та транзисторів використовуються напівпровідникові прилади з бар'єром Шоттки.

В діодах Шоттки VD (рис. 9.9,а) використаний перехід “метал-напівпровідник”. Пряма напруга цього переходу становить 0,35 ... 0,40 В, що значно менше, ніж у звичайних діодів (0,7 В).

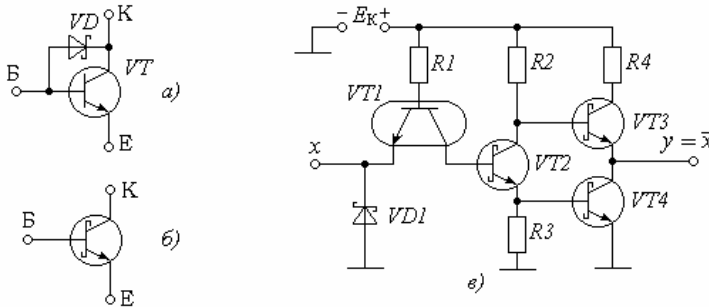


Рис. 9.9. Типовий інвертор ТТЛШ: а – БТ з діодом Шоттки; б – транзистор Шоттки; в – схема інвертора

Для зменшення насичення паралельно до колекторного переходу біполярного транзистора VT підключається діод Шоттки, чим і утворюється *транзистор Шоттки* (рис. 9.9,б).

При закритому транзисторі VT потенціал колектора є позитивним відносно бази, через що діод VD знаходиться під зворотною напругою і не впливає на роботу ключа.

Коли ж транзистор VT відкритий, то діод VD знаходиться під прямою напругою і відгалужує частину струму бази VT у колекторне коло.

* Шоттки (Schottky) – німецький фізик, який відкрив у 1914 р. фізичне явище, що виникає при проходженні струму через контакт “метал-напівпровідник”, так званий бар'єр Шоттки.

Струм бази зменшується, через що зменшується накопичення рухомих носіїв заряду в базі. Тому при переході транзистора в стан відсікання буде зменшений час розсмоктування накопичених носіїв в базі.

Інвертор ТТЛШ (рис. 9.9,в) працює так само, як звичайна ТТЛ. Струм бази $VT1$ може протікати або по входньому колу x , або по колу бази $VT2$.

При нульовій входній напрузі ($x = 0$) струм бази $VT1$ тече по входньому колу x і не втікає в базу $VT2$. Транзистори $VT2$ і $VT4$ закриті, через що вихід y відірваний від нуля і через відкритий $VT3$ підключений до $+E_K$, тобто до логічної одиниці $y = 1$.

Коли ж напруга на вході x дорівнює логічній одиниці ($x = 1$), то струм бази $VT1$ тече через його колекторний перехід в базу транзистора $VT2$, відкриваючи його. Відкривається і $VT4$, підключаючи вихід y до нуля і утворюючи тим самим на виході логічний нуль ($y = 0$).

Суттєве зменшення часу розсмоктування надлишкового заряду в схемі з використанням транзисторів Шоттки скорочує час затримки до 3 ... 5 нс.

Проте слід зауважити, що на відміну від ТТЛ, елементи ТТЛШ мають нижчу завадостійкість внаслідок малого порогу відкриття транзисторів Шоттки і зменшення їхнього насичення.

9.6. Емітерно-зв'язана логіка ЕЗЛ

Особливістю мікросхем транзисторної логіки з емітерними зв'язками є ненасичений режим роботи транзисторів, що забезпечує їхню високу швидкодію.

Базовою схемою ЛЕ емітерно-зв'язаної логіки (ЕЗЛ) є перемикач струму, який побудований за схемою диференційного підсилювача (рис. 9.10).

Поріг переключення задається зовнішньою опорною напругою U_0 . За будь-якого цього порогу відкриті транзистори не насичені. В результаті обом транзисторам $VT1$ та $VT2$ не потрібний час на розсмоктування надлишкового заряду неосновних носіїв у базах і, через що швидкодія досить висока.

Однак разом з тим слід визначити незручність безпосереднього спряження логічних елементів ЕЗЛ з іншими ЛЕ, яка зумовлена від'ємними логічними рівнями. Крім того, ЛЕ ЕЗЛ споживають досить велику потужність.

9.7 Інтегральна інжекційна логіка І²Л

Логічні елементи інтегральної інжекційної логіки І²Л реалізують на базі транзисторних структур $n-p-n$ та $p-n-p$ -типів, які з'єднують за схемою, що наведена на рис. 9.11. Базовими елементами І²Л є каскади-інвертори на

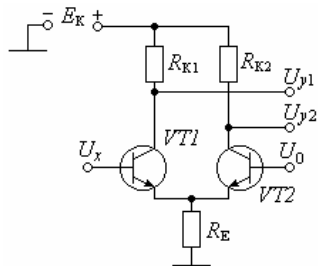


Рис. 9.10. Базова схема ЕЗЛ

транзисторах $VT1, VT2, VT3 \dots$, які можуть мати декілька колекторів-виходів \bar{y} , що виконані в об'ємі загальної p -бази, аналогічно емітерам багато емітерного транзистора в ТТЛ.

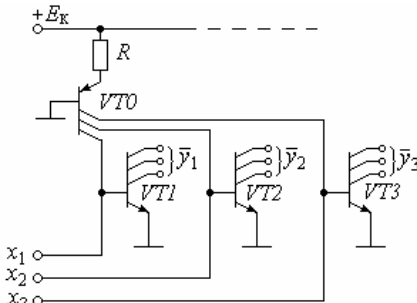


Рис. 9.11. Базові елементи І²Л

Резистор R сумісно з напругою живлення E_K створює джерело струму, тобто обмежує струм, який розгалужується по базах $VT1, VT2, VT3 \dots$, здійснюючи їхнє живлення. Без резистора R струми живлення могли б зростати необмежено.

Навантажувальна здатність ЛЕ І²Л визначається числом колекторів транзисторів $VT1, VT2, VT3 \dots$.

Інвертори І²Л працюють наступним чином.

Якщо на входах x_1, x_2, x_3 діють логічні одиниці, то бази транзисторів $VT1, VT2, VT3 \dots$ знаходяться під струмами. Виходи $\bar{y}_1, \bar{y}_2, \bar{y}_3$ через насичені транзистори підключаються до загальної шини і тому мають логічні нулі.

Коли ж на входах x_1, x_2, x_3 будуть логічні нулі, то струми колекторів інжектора відгалужуються на ці відповідні входи і бази $VT1, VT2, VT3 \dots$ знеструмлені. Ці транзистори перейдуть в режим відсікання і відключать виходи $\bar{y}_1, \bar{y}_2, \bar{y}_3$ від загальної шини. На виходах установаються логічні одиниці.

Переваги інжекційної логіки наступні:

- живляться не колектори, а бази, через що напруга живлення досить низька і не перевищує 1 ... 1,5 В;
- висока економічність через відсутність у логічних елементах резисторів, на яких завжди розсіюється потужність;
- відкриті колектори зумовлюють насичення транзисторів навіть у режимі мікрострумів, що теж зберігає енергію;
- багатоколекторні транзистори розширюють функціональні можливості і значно полегшують побудову складних логічних схем;
- інтегральна інжекційна логіка вдало поєднує мініатюризацію біполярної структури з досить незначним споживанням потужності на одиницю площі кристалу і дозволяє розмістити на площі, яку займає один елемент ТТЛ, близько десяти аналогічних елементів І²Л.

Каскад на транзисторі VTO типу $p-n-p$ називається *інжектором* і здійснює інжекційне живлення інверторів $VT1, VT2, VT3 \dots$. Кількість колекторів транзистора VTO може досягати 10 – 20 і навіть більше. Тому таку ж кількість каскадів може жити інжектор.

Щодо живлення, то воно охоплює тільки бази $VT1, VT2, VT3 \dots$. Колектори ж цих транзисторів залишаються відкритими.

Поруч з цими значними перевагами І²Л-елементи мають низьку заводостійкість до запираючих завод (не більше 0,1 В). Тому І²Л-елементи використовують частіше у внутрішніх вузлах ВІС, НВІС і СВІС.

9.8. Логічні елементи на польових структурах

На початку 70-х років при розробці логічних схем почали широко використовуватись польові транзистори (ПТ) з індукованим каналом, що стало серйозним конкурентом мікросхемам ТТЛ. Були створені мікросхеми на МОН- та КМОН-структурах.

Так з'явились МОН- та КМОН-логіка. Ці мікросхеми набули широкого використання через незначне споживання струму, великим вхідним опором, повним гальванічним розв'язанням вхідного та вихідного кіл, малим споживанням потужності, високою густиною розміщення елементів. Вони мають широкий діапазон напруг живлення (від 3 до 15 В), що дозволяє виконувати просте поєднання з мікросхемами ТТЛ та операційними підсилювачами.

За способом формування каналу і видом носіїв ПТ базові ЛЕ на МОН-транзисторах з індукованим каналом можуть бути *n*- або *p*-типів і носять назву відповідно *n*МОН- і *p*МОН-структури. *n*МОН-структури мають низку переваг порівняно з *p*МОН. Вони мають більшу швидкодію, бо носіями струму в *n*-структурах є електрони, що мають більшу рухомість ніж дірки, які відіграють таку ж роль в *p*-структурах. Зауважимо, що ПТ *p*-типу відкриваються негативною напругою на заслоні відносно витоку, а *n*-МОН-транзистори – позитивною. Тому для реалізації ЛЕ позитивної логіки зручніше використовувати *n*-канальні транзистори, а для негативної логіки – *p*-канальні. З цих причин логічні елементи *n*МОН зустрічаються частіше, ніж *p*МОН-структур.

9.8.1. МОН – логіка

МОН-логіка вигідно відрізняється від ТТЛ зменшеним споживанням енергії.

Інвертор на *n*МОН-структурі наведений на рис. 9.12. Транзистор *VT1* відіграє роль опору навантаження, тобто він має бути певною мірою відкритим. Тому заслін транзистора *VT1* з'єднується з колом живлення $+E_C$.

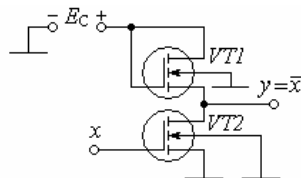


Рис. 9.12. МОН-інвертор

Коли на вхід схеми поданий низький рівень напруги, тобто $x = 0$, то транзистор *VT2* закритий, через що вихід *y* відірваний від нуля і на виході інвертора установлюється високий рівень $y = 1$. Якщо $x = 1$, то транзистор *VT2* відкритий, через що вихід *y* підключений до нуля і тому на виході $y = 0$. Так інвертор здійснює реалізацію функції НЕ.

Для створення схеми І (рис. 9.13) транзистори *VT2* та *VT3* з'єднують послідовно. Кількість таких транзисторів збігається з числом *i* входів x_i .

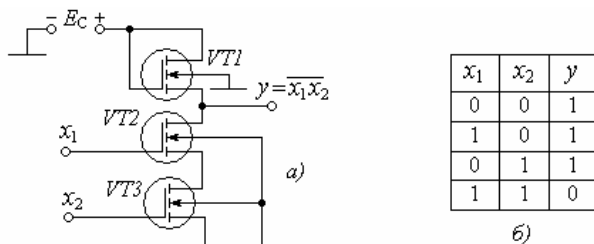


Рис. 9.13. МОН-елемент 2І-НЕ: а – схема, б – таблиця істинності

Як і в інверторі, транзистор $VT1$ є опором навантаження. Роботу схеми віддзеркалює таблиця істинності (рис. 9.13,б).

Якщо хоча б один із входів x_1 або x_2 нульовий, то або $VT2$, або $VT3$, або обидва транзистори закриті і відривають вихід y від нуля. На виході $y = 1$. Лише, коли обидва входи одиничні $x_1 = 1$ та $x_2 = 1$, то обидва транзистори $VT2$ та $VT3$ відкриті і підключають вихід y до нуля, тобто $y = 0$. Так здійснюється реалізація функції І-НЕ.

Для створення схеми АБО слід $VT2$ та $VT3$ з'єднати паралельно відповідно по стоках та витоках (рис. 9.14). Роботу схеми віддзеркалює таблиця істинності (рис. 9.14,б).

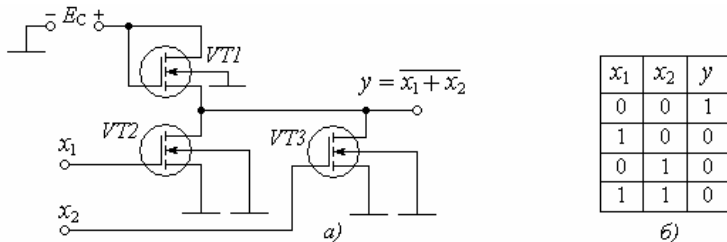


Рис. 9.14. МОН-елемент 2АБО-НЕ: а – схема, б – таблиця істинності

Якщо обидва входи одиничні $x_1 = 1$ та $x_2 = 1$, то обидва транзистори $VT2$ та $VT3$ відкриті і підключають вихід y до нуля, тобто $y = 0$. Тільки тоді, коли обидва входи x_1 та x_2 нульові, $VT2$ та $VT3$ закриті і відключають вихід y від нуля. На виході $y = 1$. Так здійснюється реалізація функції АБО-НЕ.

Основною перевагою МОН-логіки за ТТЛ є зменшене споживання потужності, бо при $x = 0$ транзистори $VT2$ та $VT3$ закриті і схема не споживає струму.

Недоліком МОН-логіки є певне споживання потужності, бо при одиничних входах транзистори $VT2$ та $VT3$ відкриті і схема споживає струм.

Цей недолік усунений в КМОН-логіці.

9.8.2. КМОН-логіка

Літера “К” розшифровується як “комплементарний”. Комплементарною називається пара послідовно з’єднаних транзисторів з протилежними типами провідностей: p -каналом та n -каналом. Перевагами КМОН-логіки є практична відсутність споживання енергії і простота виготовлення.

Щодо відсутності споживання енергії, то вона забезпечується тим, що в комплементарній парі за будь-якого стану її входу один з двох транзисторів обов’язково закритий, через що комплементарна пара не споживає струму.

Простота виготовлення зумовлена тим, що мікросхеми КМОН-логіки вільні від резисторів, діодів, складних багатоємітерних транзисторів і містять лише МОН-транзистори з індукованим каналом. Ці транзистори мають досить високу порогову напругу заслону (до 4 В), що забезпечує певну завадостійкість.

Підвищення завадостійкості пояснюється існуванням порогової напруги заслону, яка досягає кількох вольт. Тому зона невизначеності КМОН-логіки значно більше за схеми ТТЛ. Так при напрузі живлення +10 В зона невизначеності становить 2 В, тобто втричі більше за схеми ТТЛ.

Крім того, мікросхеми КМОН-серій живляться підвищеною напругою (до +15 В). Це дає можливість рознести порогові переключення також на декілька вольт. Результатом є те, що при напрузі живлення +10 В рівень логічного нуля становить $U_x^0 = 0,5$ В, а рівень логічної одиниці $U_x^1 = 9,5$ В. Це означає, що логічний елемент КМОН-логіки не чутливий до амплітуди завади, яка не перевищує $U_{мз} < U_x^1 - U_x^0 = 9,5 - 0,5 = 9,0$ В, тобто завадостійкість КМОН-логіки майже у шість разів вище за ТТЛ.

Найпростішим елементом МОН-логіки є інвертор. Він складається лише з однієї комплементарної пари. Схема інвертора наведена на рис. 9.15. До складу інвертора надходять два МОН-транзистори з різними провідностями: $VT1$ з p -каналом та $VT2$ з n -каналом. Ці транзистори і створюють комплементарну пару, в якій входом x є з’єднання заслонів, а виходом y – з’єднання стоків.

Транзистори відкриваються, якщо між заслоном та підшарком прикладена одинична напруга, і закриваються, якщо ця напруга нульова.

Інвертор працює наступним чином.

Якщо на вході діє рівень логічного нуля ($x = 0$), то транзистор $VT1$ буде відкритим, бо напруга “заслін-підшарок” цього транзистора одинична (заслін нульовий, підшарок одиничний). Щодо транзистора $VT2$, то він закритий, бо напруга “заслін-підшарок” для нього дорівнює нулю. Закритий транзистор $VT2$ відключає вихід y від нульової шини, тобто від логічного нуля, а відкритий $VT1$ підключає вихід y до $+E_C$, тобто до одиниці ($y = 1$).

Якщо на вході логічна одиниця ($x = 1$), то транзистор $VT1$ закриється, бо напруга “заслін-підшарок” для нього нульова, а транзистор $VT2$ відкриється через те, що напруга “заслін-підшарок” для нього одинична.

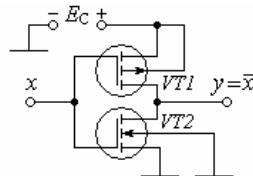


Рис. 9.15.
КМОН-інвертор

Закритий транзистор $VT1$ відключає вихід y від напруги $+E_C$, тобто від логічної одиниці, а відкритий транзистор $VT1$ підключає вихід y до нульової шини, тобто до логічного нуля ($y = 0$). Так здійснюється функція НЕ. В обох випадках і при $x = 0$, і при $x = 1$ один із транзисторів або $VT1$, або $VT2$ обов'язково закритий.

Через це логічні елементи КМОН-логіки практично не споживають струму.

Таким чином, можна зробити висновок, що в статистичному режимі схеми на КМОН-структурах практично не споживають потужності. Практично тому, що в момент, коли рівень вихідної напруги змінюється від 0 до 1, має місце коротка тривалість часу, коли обидва транзистори $VT1$ та $VT2$ відкриті і від кола живлення $+E_C$ споживається помітний струм. Однак це явище впливає на споживану потужність тільки на занадто високих частотах.

Розглянемо мікросхеми для реалізації останніх двох функцій бульового базису.

На рис. 9.16 наведена схема І-НЕ на КМОН-структурах, тобто на комплементарних парах МОН-транзисторів.

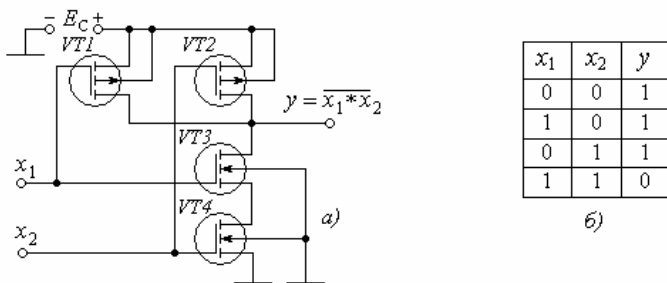


Рис. 9.16. КМОН-елемент 2І-НЕ: а – схема; б – таблиця істинності

Комплементарні пари створюють ті транзистори, заслони яких з'єднані. Тут комплементарними парами є $VT1$ та $VT3$ і $VT2$ та $VT4$. В цих парах за будь-якого стану заслони один із транзисторів обов'язково закритий, бо транзистори комплементарної пари мають протилежні провідності. Тому комплементарні пари не споживають струму.

Роботу схеми віддзеркалює таблиця істинності (рис. 9.16, б).

Якщо хоча б один з входів x_1 або x_2 нульовий, то або $VT3$, або $VT4$, або обидва транзистори закриті, бо напруга “заслін-підшарок” цих транзисторів нульова. Закриті $VT3$, $VT4$ відривають вихід y від нуля. Проте напруга “заслін-підшарок” транзисторів $VT1$ та $VT2$ одинична, через що вони відкриті і підключають вихід y до $+E_C$, тобто до одиниці. На виході $y = 1$.

Коли ж обидва входи одиничні і $x_1 = 1$, і $x_2 = 1$, то напруга “заслін-підшарок” транзисторів $VT1$ та $VT2$ нульова, через що вони закриті і відключають вихід y від $+E_C$, тобто від одиниці. Проте напруга “заслін-підшарок” транзисторів $VT3$ та $VT4$ одинична, через що вони відкриті і

підключають вихід y до нуля, тобто $y = 0$. Так здійснюється реалізація функції 2І-НЕ.

На рис. 9.17 наведена схема 2АБО-НЕ.

Тут комплементарними парами є $VT1$ та $VT2$ і $VT3$ та $VT4$.

Роботу схеми віддзеркалює таблиця істинності (табл. 9.5).

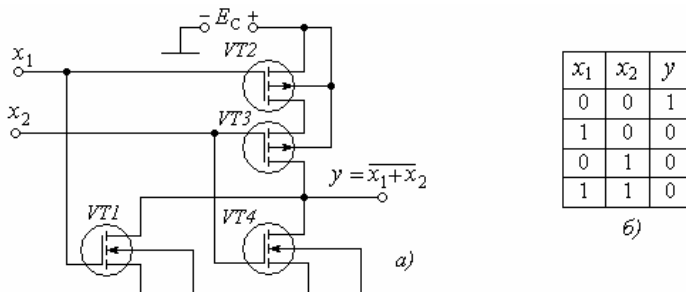


Рис. 9.17. КМОП-елемент 2АБО-НЕ: а – схема; б – таблиця істинності

При обох нульових входах ($x_1 = 0$; $x_2 = 0$) напруга “заслін-підшарок” транзисторів $VT1$ та $VT4$ нульова, через що вони закриті і відривають вихід y від нуля. Проте напруга “заслін-підшарок” транзисторів $VT2$ та $VT3$ одинична, через що вони відкриті і підключають вихід y до $+E_C$, тобто $y = 1$.

Якщо хоча б один з входів x_1 або x_2 одиничний, то або $VT1$, або $VT4$, або обидва транзистори відкриті, бо напруга “заслін-підшарок” цих транзисторів одинична. Відкриті $VT1$, $VT4$ підключають вихід y до нуля, тобто $y = 0$. Так здійснюється функція 2АБО-НЕ.

9.9. Логічний елемент з трьома станами

Логічний елемент з трьома станами або *тристановий драйвер*, або *тристановий буфер* має на виході, крім звичайних двох станів 0 і 1, третій, який носить назву *Z-стану*. Третій стан – це стан великого вихідного опору, який становить сотні кілоом, тобто практично є діелектриком.

Потреба створення елементів з трьома вихідними станами виникла при організації процесорних систем із загальними шинами обміну даними між пристроями, які входять до складу системи. По одній і самій тій же шині можна як приймати, так і передавати дані.

Одна із схем тристанового драйвера (надалі: драйвер), тобто елемента з трьома станами наведена на рис. 9.18,а, а її умовне позначення – на рис. 9.18,б. Третій стан визначається входом EZ , який називається керуючим.

Роботу схеми пояснює таблиця істинності (рис. 9.18,в), у якій хрестиком X позначена незалежність вихідного рівня y від стану входу x . Ключ на $VT1$ забезпечує третій стан, а перемикач на $VT2$, $VT3$ здійснює перемикання виходу y до логічних або нуля, або одиниці.

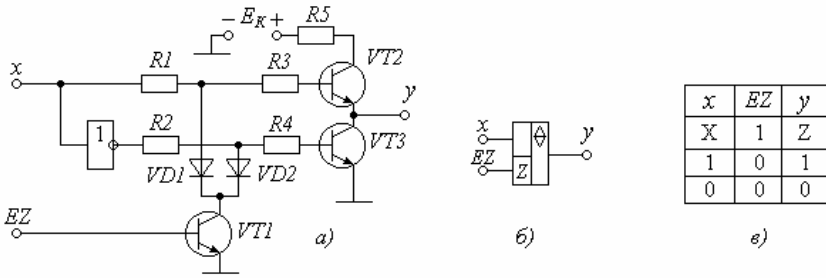


Рис. 9.18. Драйвер на БТ: а – схема, б – умовне позначення, в – таблиця істинності

Драйвер працює наступним чином.

Якщо $EZ = 0$, то транзистор $VT1$ закритий і не впливає на роботу схеми, яка є наступною.

При $x = 0$ транзистор $VT2$ закритий і відриває вихід y від $+E_K$, тобто від логічної одиниці. Проте через наявність інвертора 1 транзистор $VT3$ відкритий і підключає вихід y до землі, тобто до логічного нуля ($y = 0$).

При $x = 1$ стан транзисторів $VT2$, $VT3$ змінюється на протилежний, через що $y = 1$.

Коли ж $EZ = 1$, то транзистор $VT1$ відкривається і через діоди $VD1$, $VD2$ закорочує кола баз $VT2$, $VT3$ на нуль. Обидва транзистори $VT2$, $VT3$ закриваються і на виході y встановлюється високий опір.

Якщо виходу будь-якого логічного елемента треба надати третій стан, то до виходу цього елемента треба підключити вхід x драйвера, як це показано на рис. 9.19.

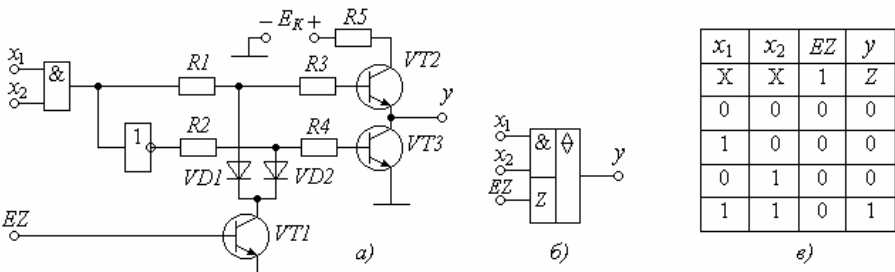


Рис. 9.19. Логічний елемент 2І з драйвером: а – схема, б – умовне позначення, в – таблиця істинності

Роботу схеми пояснює таблиця істинності (табл. 9.19, в).

Активним керуючим сигналом, може бути також логічний нуль, тобто керуючий вхід може бути інверсним \overline{EZ} , якщо керуючі сигнали вибираються за законами негативної логіки.

На рис. 9.20 наведена схема тристанового драйвера на КМОН-структурах з інверсним керуючим входом \overline{EZ} .

нуля та логічної одиниці при різних напругах живлення; вхідних та вихідних струмів; забезпечення заданих рівнів завадостійкості. Для розробки питань узгодження треба враховувати основні параметри тієї чи іншої серії.

Типові електричні параметри базових ЛЕ наведені в табл. 9.1.

Таблиця 9.1

Параметри логічних елементів

Тип ЛЕ	$U_{\text{вх}}^1$	$U_{\text{вх}}^0$	$I_{\text{вих}}^1$	$I_{\text{вих}}^0$	$I_{\text{вх}}^1$	$I_{\text{вх}}^0$	$E_{\text{ж}}, \text{В}$
ТТЛ	2,5...4,0	$\leq 0,4$	0,5...1,0	≤ 20	$\leq 0,15$	≤ 2	+5
I^2 Л	0,7...0,9	$\leq 0,1$	0	$\leq 0,02$	0	$\leq 0,05$	+1,5
ЕЗЛ	0,75...0,9	1,8	5...20	$\leq 0,2$	$\leq 0,2$	0	-5,2
p -МОН	-1	≥ -8	2	≤ 3	10^{-3}	10^{-3}	-12
n -МОН	≥ 8	≤ 1	3	≤ 5	10^{-3}	10^{-3}	+12
КМОН	$\geq 0,95 E_{\text{ж}}$	$\leq 0,5$	2	≤ 3	10^{-3}	10^{-3}	5...15

Таблиця містить наступні основні параметри :

$U_{\text{вх}}^1$ – вхідна напруга логічної одиниці;

$U_{\text{вх}}^0$ – вхідна напруга логічного нуля;

$I_{\text{вих}}^1$ – вихідний струм логічної одиниці, який може бути відданий у навантаження;

$I_{\text{вих}}^0$ – вихідний струм логічного нуля, який можна відібрати від навантаження;

$I_{\text{вх}}^1$ – вхідний струм логічної одиниці;

$I_{\text{вх}}^0$ – вхідний струм логічного нуля;

$E_{\text{ж}}$ – напруга живлення.

Пристрої, за допомогою яких виконується узгодження різноманітних серій, називають *перетворювачами* або *трансляторами рівнів*. Особливою відзнакою перетворювачів є те, що рівні їхніх вхідних та вихідних сигналів завжди різні. На практиці особливий інтерес викликають перетворювачі рівнів найбільш часто використовуваних мікросхем, наприклад, ТТЛ та КМОН.

Для логічних елементів КМОН вхідний струм практично відсутній при зміні $U_{\text{вх}}$ від 0 до 15 В (струм зворотно зміщеного витоку $< 10^{-5}$ мкА), а вихідний струм відкритих транзисторів обмежується на рівні декількох міліампер.

Щодо логічних елементів ТТЛ, то їхній вихідний струм може досягати 16 мА. Тому елементи ТТЛ і КМОН можна з'єднувати тільки через схеми узгодження, що враховують зазначену різницю струмів.

При узгодженні ТТЛ-КМОН або КМОН-ТТЛ можуть зустрічатися наступні варіанти:

- узгодження ТТЛ-КМОН, якщо напруга живлення КМОН серії значно більша за мікросхеми серії ТТЛ;
- узгодження КМОН-ТТЛ, якщо напруга живлення КМОН серії значно більша за мікросхеми серії ТТЛ.

В разі єдиного кола живлення $+5\text{ В}$ для мікросхем серій ТТЛ та КМОН узгодження виконується без додаткових елементів. До виходу логічного елемента ТТЛ можна підключити вхід елемента КМОН. Оскільки на вході КМОН струм надто малий, то узгодження забезпечується автоматично. Для підвищення завадостійкості на виході ЛЕ ТТЛ між його виходом і джерелом напруги $+E_{\text{ж}}$ слід включити резистор з опором до 5 кОм в залежності від типу мікросхеми ТТЛ.

Коли напруга живлення КМОН серії значно більша, ніж мікросхем ТТЛ, наприклад, $E_{\text{ТТЛ}} = 5\text{ В}$, а $E_{\text{КМОН}} = 10\text{ В}$, то узгодження ТТЛ-КМОН треба виконувати за схемою, яка наведена на рис. 9.21.

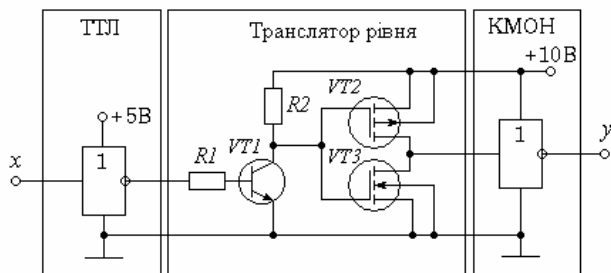


Рис. 9.21. Узгодження мікросхем ТТЛ-КМОН

Замість транзистора $VT1$ в схемі транслятора можна використовувати логічний елемент з відкритим колектором.

Опір резистора $R2$ в цьому випадку не має принципового значення і вибирається в межах $10 \dots 100\text{ кОм}$.

Узгодження мікросхем КМОН-ТТЛ, якщо напруга живлення КМОН-серії значно більша, ніж мікросхем ТТЛ, виконується, як показано на схемі (рис. 9.22).

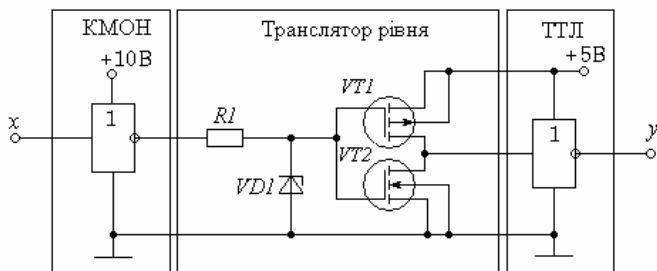


Рис. 9.22. Узгодження мікросхем КМОН – ТТЛ

Транслятор рівня містить обмежувач напруги на резисторі R та стабілітрон VDI з напругою стабілізації 5,1 В. Цей обмежувач має знизити напругу до 5,1 В, щоб транзистор VTI надійно закривався. Щодо інших мікросхем, то якщо вони мають однакові рівні відповідно вхідних та вихідних напруг, узгодження не потрібне.

9.11. Правила схемного включення елементів

Обмеження за навантажувальною здатністю елементів визначає число входів елементів аналогічної серії, яке можна підключити до виходу даного елемента. При підвищенні навантаження понад визначеного вихідні параметри не гарантуються. Невикористані входи схем мають бути підключеними. В ТТЛ і ТТЛШ серіях сигнали від непідключених входів сприймаються як логічні одиниці. Якщо залишити входи непідключеними, то виникаючі при цьому додаткові заряди бази затримують на деякий час переключення логічного елемента по інших працюючих входах.

В ТТЛ і ТТЛШ невикористані x -входи або поєднують з іншими використаними входами (рис. 9.23,а), або підключають до джерела логічної одиниці.

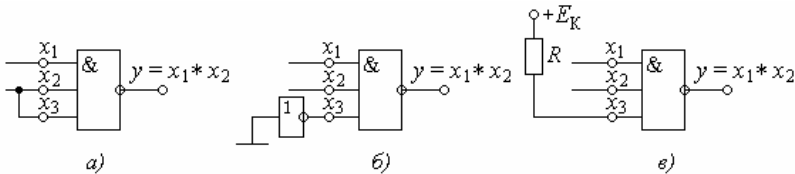


Рис. 9.23. Підключення схеми ТТЛ або ТТЛШ з невикористаним входом x_3 :
а – з поєднаними входами; б – з підключенням до виходу логічного елемента,
в – з підключенням до джерела напруги через резистор

Таким джерелом може бути вихід логічного елемента, наприклад, НЕ, вхід якого підключений до нульового потенціалу (рис. 9.23,б), або резистор R з опором до 5 кОм, підключений до джерела напруги +5 В (рис. 9.23,в). До такого резистора можна підключати до 20 невикористаних входів.

У КМОН елементах непідключеним не можна залишати жодного входу, бо при цьому відповідний транзистор залишиться без напруги “заслін-підшарок” і схема стане непрацездатною. В серіях КМОН невикористані входи можна підключати до джерела напруги безпосередньо без резисторів. Як і в ТТЛ елементах, невикористані входи можна поєднувати з робочими.

Невикористані входи схем АБО в будь-яких серіях треба підключати до логічного нуля.

Якщо деякі елементи, що входять до складу корпусу мікросхеми, не використовуються, то на їхні входи треба подавати такий потенціал, за якого на виході установлюється логічна одиниця. При такому стані елемент споживає меншу потужність і його можна використовувати як джерело логічної одиниці.

До найважливіших проблем цифрової схемотехніки є питання захисту елементів від завад та шумів. Значну роль у цій проблемі відіграють конструкція пристрою і монтаж окремої мікросхеми. Причин появи внутрішніх і зовнішніх завад та шумів є досить багато. Основними джерелами їхнього виникнення є кола живлення і заземлення, вхідні й вихідні кола сигналу.

Внутрішній власний шум (крім теплового) можна зменшити раціональним розміщенням елементів на платі, фільтрацією та екрануванням.

Ситуація ускладнюється, коли сигнали треба приймати або передавати за межами плати. Досить складна вона і тоді, коли сама плата має значну площу. В цих випадках треба секціонувати шини “земля” так, щоб вузли великої потужності мали б свою землю, а малої потужності – свою. Ці шини мають об’єднуватись в одній і самій тій точці, яка заземляється. Крім того необхідно зменшувати паразитну індуктивність земельних шин збільшенням їхньої площі та їх скороченням.

Завади зростають і при передаванні цифрових сигналів на відстань. Вони стають більш інтенсивними внаслідок збільшення погонної реактивності провідників. Інтенсивність завад визначається також властивостями лінії зв’язку.

Для узгодження лінії значної довжини рекомендовано як передавач на передавальному кінці (рис. 9.24) використовувати логічні елементи з відкритим колектором

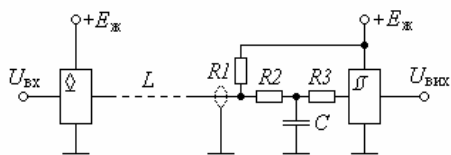


Рис. 9.24. Захист від завад при передаванні сигналу на відстань

(стоком), а приймачем може бути ЛЕ на тригері Шмітта (про тригер Шмітта йдеться нижче). При цьому резистор навантаження $R1$ слід включати на приймальному кінці. При занадто високих рівнях завад (> 2 В) треба включати фільтруючі кола, наприклад, $R2$, C , $R3$.

Вищу завадостійкість можна одержати при застосуванні симетричної лінії. Такою лінією може бути скручена пара однотипних проводів. Для симетричної лінії передавач і приймач повинні мати диференційні вихід і вхід відповідно.

Захистити цифрові схеми від завад та шумів можна за допомогою синхронізуючих сигналів. Синхронізація допомагає уникнути небажаних процесів спрацьовування пристроїв від завад x_3 (рис. 9.25,а).

Алгоритмом прийому сигналів без синхронізації є

$$y = x, \quad (9.10)$$

тобто, що на вході ЛЕ, то й на його виході. Незважаючи на те, що сигнал x_c (рис 9.25,а) з’являється лише в момент t_2 , ЛЕ спрацює в момент t_1 від завади x_3 . Таким чином, система без синхронізації ніяк не захищена від завад.

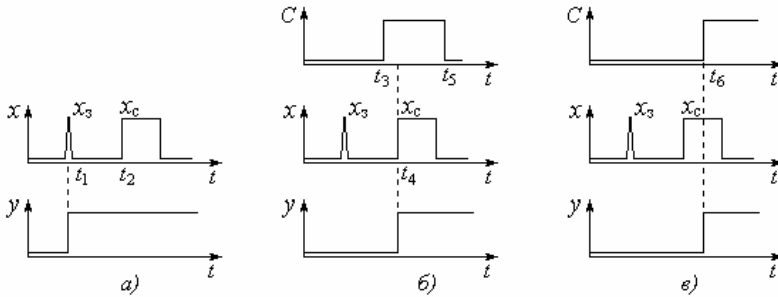


Рис. 9.25. Прийом цифрових сигналів: а – без синхронізації, б – з синхронізацією рівнем, в – з синхронізацією перепадом

Цей суттєвий недолік значною мірою усунений в системі із синхронізацією.

Існують два способи синхронізації: рівнем та перепадом.

При синхронізації рівнем спрацьовування ЛЕ можливе протягом усього часу ($t_3 \dots t_5$) дії дозволяючого рівня синхросигналу C (рис. 9.25,б).

Алгоритмом прийому сигналів із синхронізацією рівнем є функція логічного множення рівня синхронізації C та входу x :

$$y = C \wedge x = C \cdot x = 1, \quad (9.11)$$

тобто ЛЕ може спрацювати тільки під час ($t_3 \dots t_5$) дії одиничного рівня синхросигналу C . Тому, якщо завада x_3 знаходиться поза межами цього часу, то вона не сприймається пристроєм. ЛЕ спрацьовує тільки тоді, коли з'явиться сигнал x_c у момент t_4 . Оскільки час ($t_3 \dots t_5$) дозволу прийому обмежений, то спрацьовування від завад зменшене.

Так, синхронізація рівнем підвищує завадостійкість. Ще вищу завадостійкість забезпечує синхронізація перепадом (див. рис. 9.25,в).

Алгоритмом прийому сигналів із синхронізацією перепадом є функція логічного множення похідної рівня синхронізації C та входу x :

$$y = \frac{dC}{dt} \wedge x = \frac{dC}{dt} \cdot x = 1, \quad (9.12)$$

тобто ЛЕ може спрацювати тільки в момент t_6 дії фронту C . За межами цього фронту ЛЕ нечутливий до будь-яких завад. Оскільки час дозволу спрацьовування скорочений до одного моменту, то завадостійкість висока.

При використанні обох методів синхронізації треба на сигнальних входах x_c ставити логічні елементи з порогом спрацьовування, наприклад, тригери Шмітта.

Виходи мікросхем, які передають сигнали за межі плати або цифрової системи треба буферувати за допомогою спеціальних мікросхем-буферів.

Це допомагає уникнути явища інтерференції завади і корисного сигналу, а також придушує викиди струму на неузгодженій лінії.

Зменшити вплив завад та шумів значною мірою допомагає раціональне розміщення шин напруг живлення та земель приладу. Ці питання досить складні і їм присвячено багато книг та статей. Але ж, для кожного випадку, для кожного приладу завадостійкість забезпечується своїми конкретними засобами залежить від знання та інженерної ерудиції розробника схем.

Контрольні питання

- 9.1. Що таке цифровий елемент?
- 9.2. Які цифрові мікросхеми називають потенційними, а які імпульсними?
- 9.3. Яка логіка називається позитивною, а яка негативною?
- 9.4. Що таке логічний елемент?
- 9.5. Що таке багатоємітерний транзистор і де він використовується?
- 9.6. Які переваги та недоліки мікросхем ТТЛ?
- 9.7. Що таке логічний елемент з відкритим колектором? В якому разі він використовується?
- 9.8. Що таке провідна логіка?
- 9.9. Які переваги набувають мікросхеми, в яких використовуються напівпровідникові прилади з бар'єром Шотткі?
- 9.10. Що таке МОН- або МДН-логіка?
- 9.11. Що таке n -МОН або p -МОН структури? Яка з них набула більшого поширення?
- 9.12. Що таке КМОН-інвертор?
- 9.13. Що таке цифровий елемент?
- 9.14. Мікросхеми якої логіки мають більшу завадостійкість?
- 9.15. Що таке тристанований драйвер?
- 9.16. Чому треба виконувати узгодження логічних мікросхем різних серій?
- 9.17. Що таке перетворювач або транслятор рівня?
- 9.18. Які правила включення логічних схем І, АБО за наявності невикористаних входів?
- 9.19. Що таке синхронізація рівнем та перепадом?

Рекомендована література

- 9.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 199 – 227.
- 9.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 106 – 115.
- 9.3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 508 – 518.
- 9.4. Рицар Б.Є. Цифрова техніка / Б.Є. Рицар – К.: НМК ВО, 1990. – 371 с.

9.5. Бирюков С.А. Цифровые устройства на МОП-интегральных микросхемах / С.А. Бирюков – М.: Радио и связь, 1990. – 168 с.

9.6. Букреев И.Н. Микро-электронные схемы цифровых устройств / И.Н. Букреев, В.И., Горячев, Мансуров Б.М. – М.: Радио и связь, 1990. – 414 с.

9.7. Соломатин Н.М. Логические элементы ЭВМ / Н.М. Соломатин – М.: Высшая школа, 1987. – 112 с.

Розділ 10

ПОСЛІДОВНІСНІ ПРИСТРОЇ

Послідовнісні пристрої – це цифрові автомати з пам'яттю. Вони характеризуються деяким числом внутрішніх станів. Під дією вхідних сигналів послідовнісні пристрої переходять з одного стану в інший. Новий стан залежить від комбінації діючих сигналів на його входах та попереднього стану, в якому знаходився автомат. Тому послідовнісні пристрої складаються з комбінаційної частини і елементів пам'яті – запам'ятовувачів інформації.

Функцію найпростішого запам'ятовувача, що може запам'ятовувати один біт інформації (0 або 1), виконує тригер.

10.1. Тригери

Тригером є логічна схема з додатним зворотним зв'язком, яка має два стійких стани, і під дією зовнішніх сигналів переключасться в будь-який стан та знаходиться в цьому стані необмежений час після припинення дії вхідних сигналів.

Тригери – це елементи з двома стійкими станами. Вони є найбільш поширеними функціональними елементами цифрових систем. Тригери застосовуються в лічильниках імпульсів, регістрах, запам'ятовувачах, розподілювачах сигналів, накопичувальних суматорах тощо. Тригери мають також самостійне застосування, наприклад, у приладах керування, виконуючи важливі функції логічного перетворення та зберігання інформації.

Основне призначення тригера – це зберігання одного біта двійкової інформації: або логічного нуля (лог. 0), або логічної одиниці (лог. 1), тобто він є двостановим запам'ятовувачем. Двостанові тригери мають два виходи, рівні яких однозначно визначають стан тригера. Перший з виходів має назву *прямого*, або *одиночного* і позначається Q , другий вихід *інверсний*, або *нульовий* \bar{Q} .

Тригер може перебувати в одному із двох станів.

Перший стан є *нульовим* і носить назву *скинутого*, тобто тригер зберігає 0. Нульовий стан однозначно характеризується рівнями $Q = 0$ та $\bar{Q} = 1$.

Другий стан тригера є *одиночним* і носить назву *зведеного*, тобто тригер зберігає 1. Одиночний стан однозначно характеризується рівнями $Q = 1$ та $\bar{Q} = 0$.

Переключення тригера в одиночний стан носить назву *зведення*, а в нульовий стан – *скидання*.

Узагальнена структурна схема тригера (рис. 10.1) складається з двох частин: елемента пам'яті – власне тригера T та схеми керування СК, на яку надходять зовнішні сигнали керування роботою схеми.

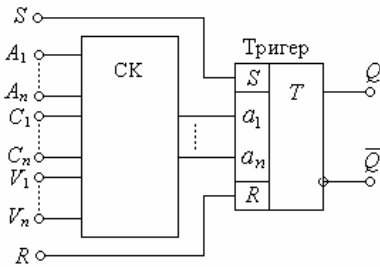


Рис. 10.1. Узагальнена структурна схема тригера

Входи A_1, \dots, A_n називають інформаційними або логічними. До них подають двійкову інформацію у вигляді логічних нулів або одиниць.

За допомогою схеми керування вхідна інформація перетворюється на комбінації сигналів 00, 01, 10, 11, що діють безпосередньо на входах a_1, \dots, a_n власно тригера.

Тригер, крім логічних, може мати тактові входи синхронізації (C_1, \dots, C_n), керуючі входи (V_1, \dots, V_n), а також

настановні S - та R -входи без посереднього зведення або скидання тригера.

Вхід S – вхід зведення, або одиничний вхід.

Вхід R – вхід скидання, або нульовий вхід.

Тактові або синхронізуючі сигнали, які подаються до входів C_1, \dots, C_n , визначають у схемі керування СК момент запису чи зчитування стану, тобто переключення тригера.

Класифікація тригерів може бути надана за багатьма ознаками: за способом схемної реалізації, за логікою функціонування, за способом запису інформації.

Згідно з ознакою за способом схемної реалізації визначають основні властивості тригерних приладів:

- тип використовуваного запам'ятовувача (статичний, динамічний, статично-динамічний);

- вид керуючого сигналу, з яким може працювати тригер: імпульсний (або сигнал обмеженої тривалості) і потенційний (або сигнал безмежної тривалості; імпульсно-потенційний);

- наявність або відсутність у структурній схемі вузлів, перетворюючих потенційні вхідні сигнали в імпульсні.

У відповідності з цими ознаками тригери поділяються на статичні, квазістатичні, імпульсно-статичні, динамічні.

Функціональна ознака, тобто логіка функціонування тригера визначає той чи інший тип тригера за видом характеристичного рівняння, що в загальному випадку записується як

$$Q^{n+1} = f(Q^n, A_1^n, A_2^n, \dots, A_n^n) \quad (10.1)$$

і відбиває стан виходу Q^{n+1} тригера на нинішній момент t_{n+1} в залежності від комбінації сигналів, діючих на входах тригера A_1, \dots, A_n , та його стану Q^n на попередній момент t_n . Назва тригера надається за значенням його інформаційних входів, яким замість символів A_1, \dots, A_n присвоюються символи D, J, K, T та інші.

В інтегральній схемотехніці здебільшого зустрічаються двовходові RS - і JK -тригери, універсальні – $D(RS)$, $JK(RS)$ -тригери. Всі типи тригерів, яких досить багато, можуть бути побудовані в базисі різних логічних елементів.

За способом запису інформації розрізняють два типи тригерів: асинхронні та синхронні.

До *асинхронних* відносяться тригери, які мають лише інформаційні входи без входу синхронізації. Запис інформації в них здійснюється в будь-який час безпосередньо з надходженням інформаційного сигналу, який подається на інформаційний вхід тригера.

Відмінною особливістю *синхронних* тригерів є наявність додаткового тактового (синхронізуючого) входу C для подачі синхронізуючих імпульсів, які здійснюють запис інформації. У свою чергу синхронні тригери поділяються на тригери одноктактової та багатотактової дії. В тригерах одноктактової дії спрацьовування відбувається з надходженням кожного синхроімпульсу. В тригерах багатотактової дії запис інформації закінчується наприкінці дії n -го тактового імпульсу.

У тригерах розрізняють входи статичні та динамічні.

На *статичні* входи подають потенційні цифрові сигнали для переключення тригера, тобто такі сигнали x , що визначені рівнями $x = 0$ або $x = 1$.

Динамічні входи керуються імпульсними сигналами, часова тривалість яких нескінченно мала, тобто при зміні потенційного сигналу з одиниці на нуль (зрису), або навпаки, при зміні на вході сигналу з нуля на одиницю (фронту).

10.1.1. Параметри тригерів

Параметри тригерів можна поділити на функціональні та схемотехнічні.

До *функціональних* відносяться параметри, яким повинні задовольняти тригери при їхньому конкретному застосуванні. Це такі параметри:

- функціональний тип тригера;
- спосіб запису інформації в тригер;
- спосіб керування записом інформації в тригер;
- число тактових, інформаційних, дозволяючих та настановних входів;
- еквівалент навантаження тригера по тактовому входу;
- навантажувальна здатність тригера по виходу;
- швидкодія тригера;
- функціональна надійність тригера.

До *схемотехнічних* параметрів відносяться такі:

- апаратні витрати;
- потужність споживання.

Функціональний тип тригера припускає вибір готового або розробку нового тригера, характеристичне рівняння якого повинне задовольняти необхідним вимогам за логікою дії.

Способів запису інформації в тригер два: *асинхронний* або *синхронний*.

Число тактових, інформаційних та інших входів визначається конкретикою його застосування. В загальному випадку тригер може мати безліч входів або в найпростішому випадку може бути лише один або два інформаційних входи.

Еквівалент навантаження тригера по тактовому входу n_c показує, яке число тригерів з боку тактового входу C може бути підключено до типового елемента без порушення його працездатності.

Для тригерів, які виконані на логічних елементах, параметр n_c визначається числом зв'язків S_c тактового входу C з рештою елементів тригера.

Навантажувальна здатність по виходу n_Q показує, яке число елементів можна підключити до виходу тригера без відхилення вихідної напруги від сталого логічного рівня, і визначається формулою

$$n_Q = n_c - S_Q, \quad (10.2)$$

де n_c – навантажувальна здатність елемента, на якому виконаний тригер;

S_Q – число зв'язків виходу тригера.

Швидкодія тригера показує максимальну частоту проходження вхідних сигналів f_{\max} , за якої тригер повністю виконує свої функції. В загальному випадку f_{\max} будь-якого тригера визначається формулою

$$f_{\max} = \frac{1}{\tau_{i \min} - \tau_{п \min}} = \frac{1}{t_d}, \quad (10.3)$$

де $\tau_{i \min}$ – мінімальна тривалість сигналу, за якого працює тригер;

$\tau_{п \min}$ – мінімальна тривалість паузи між сигналами запису інформації;

$t_d = \tau_{i \min} - \tau_{п \min}$ – мінімальний часовий інтервал між двома вхідними імпульсами.

Функціональна надійність вимагає таку схемну реалізацію тригера, щоб він був позбавлений небезпечних змагань фронтів імпульсів.

Число логічних елементів в тригері $n_{\text{ен}}$ зумовлює потужність споживання тригера.

Апаратні витрати оброховують витрати за числом корпусів інтегральних мікросхем.

Схемотехнічні параметри допомагають виконувати оптимальний вибір тригера. Слід зауважити, що вибір типу тригера здійснюється за розглядом як схемотехнічних, так і функціональних параметрів. Тут слід звернути увагу на те, що в деяких випадках різні типи тригерів можуть виконувати одну й ту ж функцію. Наприклад, лічильну функцію виконують D -тригери, JK -тригери та ін.

10.1.2. Асинхронний RS-тригер

Асинхронним RS-тригером називають логічний прилад з двома стійкими станами, що має два настановні входи S та R . Надалі стан тригера будемо визначати значенням тільки прямого виходу Q .

Щоб записати в тригер логічну одиницю, необхідно на вхід S подати рівень логічної одиниці ($S = 1$), а на вхід R – рівень логічного нуля ($R = 0$). При цьому тригер зводиться, тобто набуває одиничного стану, за якого на виході Q потенціал досягає одиничного рівня напруги ($Q = 1$).

Щоб записати в тригер логічний нуль, необхідно на вхід S подати рівень логічного нуля ($S = 0$), а на вхід R – рівень логічної одиниці ($R = 1$). При цьому тригер скидається, тобто набуває нульового стану, за якого на виході Q потенціал досягає нульового рівня ($Q = 0$).

Тригер RS-типу має найпростішу структуру, яка є базовою.

На рис. 10.2,*а* наведена базова схема RS-тригера, яка реалізована на двох логічних елементах 2АБО-НЕ (стрілка Пірса), а на рис. 10.2,*б* – умовне позначення RS-тригера.

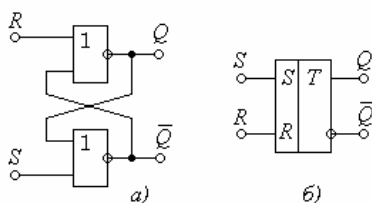


Рис. 10.2. Асинхронний RS-тригер:
а – схема; б – умовне позначення

Таблиця 10.1
Стани RS-тригера

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	–

Роботу RS-тригера віддзеркалює таблиця переходів (табл. 10.1), в якій Q^n – попередній стан тригера, а Q^{n+1} – теперішній стан тригера. Хрестиком X позначена незалежність від стану.

З таблиці видно наступне.

При обох нульових входах $R = 0$ та $S = 0$ тригер знаходиться в режимі зберігання, тобто він не спрацьовує, а зберігає попередню інформацію (попередній стан) Q^n : або $Q^n = 0$, або $Q^n = 1$. Якщо тригер був скинутий ($Q^n = 0$) до подачі сигналів $R = 0$; $S = 0$, то скинутим він і залишиться, тобто $Q^{n+1} = 0$. Коли ж тригер до подачі сигналів $R = 0$; $S = 0$ перебував у зведеному (одиничному) стані ($Q^n = 1$), то зведеним він і залишиться, тобто $Q^{n+1} = 1$.

Якщо на нульовий вхід R подати логічну одиницю ($R = 1$), а на одиничний вхід S – логічний нуль ($S = 0$), то незалежно від попереднього стану тригер переходить в нульовий стан ($Q = 0$, $\bar{Q} = 1$).

При $R = 1$, $S = 0$ рівень прямого виходу становить $Q = 0$. Тоді до обох входів нижньої схеми АБО-НЕ (рис. 10.2,*а*) надходять логічні нулі ($Q = 0$ та $S = 0$), через що на виході $\bar{Q} = 1$. Так при $R = 1$; $S = 0$ тригер скидається, тобто в нього записується логічний нуль (нульовий стан).

Якщо на одиничний вхід S подати логічну одиницю ($S = 1$), а на нульовий вхід R – логічний нуль ($R = 0$), то незалежно від попереднього стану тригер установлюється в одиничний стан $Q = 1$, тобто зводиться. Дійсно, при $S = 1$ рівень інверсного виходу становить $\overline{Q} = 0$. Тоді до обох входів верхньої схеми АБО-НЕ надходять логічні нулі ($\overline{Q} = 0$ та $R = 0$), через що на виході $Q = 1$. Так, при $S = 1$; $R = 0$ тригер зводиться, тобто в нього записується логічна одиниця (одиничний стан).

Якщо ж на входах R і S діють одночасно одиничні сигнали ($S = 1$, $R = 1$), то стан тригера стає невизначеним, що позначено в таблиці значком “–”. За такої комбінації вхідних сигналів обидва елементи 2АБО-НЕ мають на своїх виходах рівні логічного нуля, що не визначає стан тригера. Така комбінація вхідних сигналів для RS -тригера є забороненою і тому її треба уникати, щоб забезпечити працездатність цифрової системи.

Базовий RS -тригер (див. рис. 10.2) належить до асинхронних, через що особливий його функціонування полягає в тому, що він змінює свій стан безпосередньо в момент подачі сигналів на входи S або R .

Принцип дії RS -тригера пояснюється часовою діаграмою роботи, яка наведена на рис. 10.3.

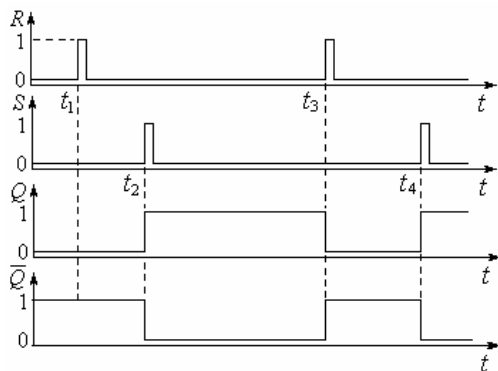


Рис. 10.3. Часова діаграма роботи асинхронного RS -тригера

Нехай до моменту t_1 тригер знаходився у нульовому стані ($Q = 0$; $\overline{Q} = 1$).

У момент t_1 надходження одиничного імпульсу на R -вхід на вході S залишається нульовий рівень, через що, згідно з табл. 10.1, тригер зберігає попередню інформацію, тобто $Q^{n+1} = 0$. Цей стан тригера не зміниться до того моменту t_2 , коли на вхід S надійде одиничний імпульс.

У момент t_2 надходження одиничного імпульсу на S -вхід на R -вході залишається нульовий рівень, через що, згідно з табл. 10.1, тригер зводиться, тобто в нього записується логічна одиниця. Незважаючи на те, що імпульс на S -вході зник, тригер залишається зведеним. Так він пам'ятає, що в нього записали логічну одиницю. Цей стан тригера може зберігатись скільки завгодно довго, доки на R -вхід надійде одиничний імпульс у момент t_3 .

У момент t_3 надходження одиничного імпульсу на R -вхід на S -вході залишається нульовий рівень, через що, згідно з табл. 10.1, тригер скидається, тобто в нього записується логічний нуль. Незважаючи на те, що імпульс на R -вході зник, тригер залишається скинутим. Так він пам'ятає, що в нього записали логічний нуль. Цей стан тригера може зберігатись скільки

завгодно довго, доки на S -вхід надійде черговий одиничний імпульс у момент t_4 і т.д.

З діаграми роботи (рис. 10.3) видно, чим зумовлена назва *асинхронний*, а саме: тригер спрацьовує безпосередньо у будь-які моменти надходження сигналів до настановних входів S та R .

Щодо інших реалізацій RS -тригера, то він може бути побудований також на логічних елементах 2І-НЕ (штрих Шеффера), якщо в кола R - і S -входів включити інвертори (рис. 10.4).

Роботу тригера відзеркалює таблиця переходів (табл. 10.2).

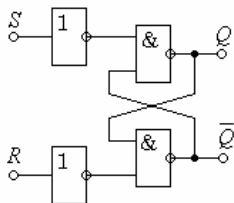


Рис. 10.4. Асинхронний RS -тригер на елементах 2І-НЕ

Таблиця 10.2
Стани RS -тригера на елементах 2І-НЕ

Q^n	R	S	Q^{n+1}
0	0	0	0
1	0	0	1
X	1	0	0
X	0	1	1
X	1	1	—

Зіставляючи таблиці переходів (табл. 10.1 та 10.2), переконуємось у тому, що тригер на елементах Шеффера (2І-НЕ) працює так само, як і тригер на стрілках Пірса (елементах 2АБО-НЕ).

RS -тригер можна побудувати і без інверторів в колах R та S , якщо використати два елементи Шеффера (2І-НЕ) і керувати тригер інверсними сигналами \bar{R} та \bar{S} . Такий тригер носить назву інверсного $\bar{R}\bar{S}$ -тригера (рис. 10.5).

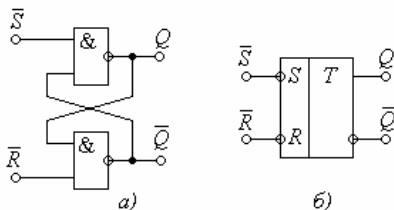


Рис. 10.5. Інверсний асинхронний $\bar{R}\bar{S}$ -тригер:
а — схема, б — умовне позначення

Таблиця 10.3
Стани інверсного асинхронного $\bar{R}\bar{S}$ -тригера

Q^n	\bar{R}	\bar{S}	Q^{n+1}
0	1	1	0
1	1	1	1
X	0	1	0
X	1	0	1
X	0	0	—

З таблиці переходів (табл. 10.3) інверсного RS -тригера видно, що активним сигналом для цієї схеми приймається рівень логічного нуля.

Інверсний RS -тригер змінює стан на протилежний в наступних випадках: зводиться при $\bar{S} = 0$; $\bar{R} = 1$; скидається при $\bar{R} = 0$, $\bar{S} = 1$. Для інверсного тригера забороненим є стан, коли на обох інверсних входах діє рівень логічного нуля, тобто $\bar{R} = 0$, $\bar{S} = 0$.

У решті робота тригера з інверсними входами \bar{R} і \bar{S} та ж сама, що й тригера з прямими входами R і S .

10.1.3. Синхронний RS -тригер

Синхронний RS -тригер позначається як CRS -тригер. Він відрізняється від асинхронного тригера тим, що сигнали R і S тільки готують тригер до спрацьовування, а стан тригера зміниться лише тоді, коли надійде синхронізуючий сигнал C .

Синхронний CRS -тригер можна одержати з асинхронного, якщо доповнити його синхронізуючим входом C . CRS -тригер можна реалізувати, наприклад, на базі RS -тригера на чотирьох логічних елементах 2І-НЕ, як показано на рис. 10.6,а.

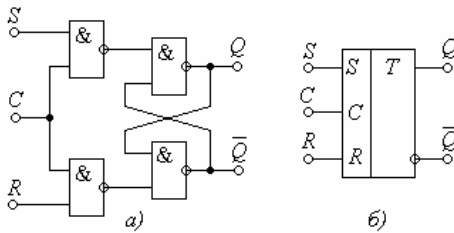


Рис. 10.6. CRS -тригер: а – схема; б – умовне позначення

Таблиця 10.4

Стани CRS -тригера

Q^n	R	S	C	Q^{n+1}
0	0	0	Г	0
1	0	0	Г	1
X	1	0	Г	0
X	0	1	Г	1
X	0	0	Г	–

Умовне позначення CRS -тригера (рис.10.6,б) схоже на тригер RS типу (див. рис. 10.2,б). Уся різниця полягає в наявності додаткового входу синхронізації C .

Роботу тригера відзеркалює таблиця переходів (табл. 10.4).

Принцип дії CRS -тригера полягає в тому, що стани входів R і S лише готують тригер до спрацьовування, а спрацьовування (зведення або скидання) в залежності від станів R - і S -входів здійснюється лише тоді, коли з'явиться імпульс "Г" (фронт) на вході C , тобто входи R і S відіграють роль керуючих процесом спрацьовування тригера.

Роботу CRS -тригера відзеркалює часова діаграма роботи, що наведена на рис. 10.7.

Нехай тригер знаходиться в нульовому стані. Якщо на вхід S надходить логічна одиниця у

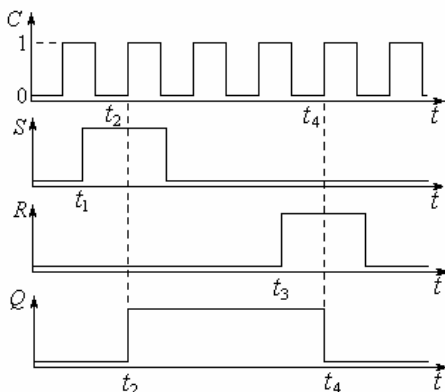


Рис. 10.7. Часова діаграма роботи CRS -тригера

будь-який час t_1 , то тригер у цей момент не спрацює. Він зведеться тільки при надходженні синхронізуючого імпульсу на вхід C у момент t_2 .

Аналогічна послідовність надходження сигналів і при скиданні тригера. Незважаючи на те, що одиничний сигнал надходить до входу R у момент t_3 , тригер скинеться лише в момент t_4 , коли на синхровході C з'явиться фронт, тобто спочатку подається сигнал скидання R , а потім синхросигнал C скидає тригер.

Синхронний CRS -тригер, схема якого наведена на рис. 10.6, можна перетворити в асинхронний, якщо на синхровхід C подати одиничний потенціал на весь час роботи.

10.1.4. D -тригер

D -тригер або тригер-затримка (названий так від англійського *Delay* – затримка) – це елементарний автомат, який має один інформаційний вхід D та вхід синхросигналу C . D -тригер є синхронним. D -вхід готує тригер до спрацювання, а саме спрацювання здійснюється фронтом синхросигналу C , тобто за командою фронту C тригер копіює стан входу D .

Нааявність лише одного інформаційного входу D є перевагою цього тригера перед двохходовими, бо зменшується кількість міжкаскадних зв'язків.

Схема D -тригера та його умовне позначення наведені на рис. 10.8.

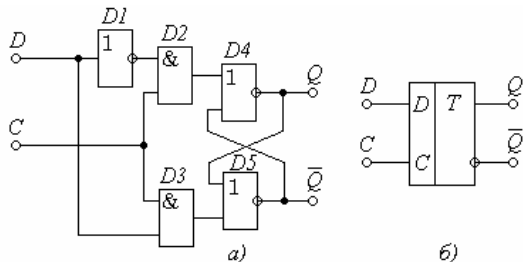


Рис. 10.8. D -тригер: а – схема; б – умовне позначення

Таблиця 10.5

Стани D -тригера

Q^n	C	D^n	Q^{n+1}
0	0	X	0
1	0	X	1
0	1	0	0
1	1	0	0
0	1	1	1
1	1	1	1

Тут організація D - та C -входів здійснюється відповідно на інверторах $D1$ і схемах $D2$ та $D3$. Схеми АБО-НЕ $D4$ та $D5$ утворюють RS -тригер.

Закон функціонування D -тригера наведений в таблиці переходів (табл. 10.5). З таблиці видно, що і при $C = 0$ тригер зберігає свій попередній стан, тобто зберігає інформацію. Спрацює ж тригер тільки від фронту синхросигналу C , коли його рівень змінюється від 0 до 1 (“1”). D -тригер не сприймає зміну на вході D при постійних сигналах $C = 0$ та $C = 1$, а також при зрізі, коли синхросигнал C змінюється від 1 до 0.

За відсутності синхроімпульсів на вході C тригер знаходиться в стані зберігання інформації Q^n і на зміну сигналу D -входу не реагує. Останнє зумовлює високу завадостійкість тригера за інформаційним входом D .

D -тригер, як і будь-який синхронний, може працювати у роздільному запуску та лічильному запуску.

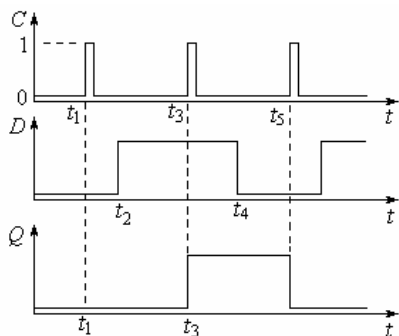


Рис. 10.9. Часова діаграма роботи D -тригера в роздільному запуску

У момент t_1 з надходженням фронту C на виході $D2$ діє логічна одиниця, яка установлює на виході $D4$ нуль ($Q = 0$).

Проте на входах і виході $D3$ нулі, через що стан $D5$ не змінюється, тобто тригер знаходиться в нульовому стані $Q = 0$, а $\bar{Q} = 1$. Так інформаційний вхід $D = 0$ скидає тригер ($Q = 0$) тільки з надходженням фронту C . (У момент t_1 нульовий стан підтверджується).

Нехай в момент t_2 до входу D надійшов одиничний сигнал ($D = 1$). Тригер на нього не реагує, бо в момент t_2 стан $C = 0$ запирає схеми $D2$ та $D3$. На їхніх виходах нулі, які не змінюють станів $D4$, $D5$.

Проте при $D = 1$ схема $D3$ підготовлена до спрацювання і в момент t_3 фронтом C на її виході установлюється одиниця, яка схемою $D5$ забезпечує $\bar{Q} = 0$. Тоді на обох входах $D4$ логічні нулі, через що $Q = 1$. Отже, при $D = 1$ з надходженням фронту C тригер переходить у стан $Q = 1$; $\bar{Q} = 0$, тобто одиничний (зводиться). Так інформаційний вхід $D = 1$ зводить тригер ($Q = 1$) тільки з надходженням фронту C .

Таким чином, щоб записати в D -тригер логічний нуль, треба до D -входу підвести нуль і подати на C -вхід фронт. Щоб записати логічну одиницю, слід до D -входу підвести одиницю і подати на C -вхід фронт.

Слід зауважити, що для роботи з D -тригером у роздільному запуску слід виконувати часові погодження надходження сигналів на його входи. Щоб копіювання стану входу D пройшло без помилок, необхідно установлювати рівні на вході D до надходження фронту (або зрізу) синхроімпульсу C . Це означає, що всі зміни стану D -входу разом з перехідними процесами мають закінчитися за деякий час до приходу фронту (або зрізу) синхроімпульсу C . Цей час носить назву *часової підготовки*. Тому всі зміни рівнів на входах тригера можна починати не раніше закінчення цього часу.

Роздільний запуск здійснюється тим, що D -вхід перебуває під зовнішнім сигналом. D -тригер у роздільному запуску працює наступним чином.

Нехай до моменту t_1 (рис. 10.9) тригер був скинутий ($Q^n = 0$). При $D = 0$ на виході інвертора $D1$ (рис. 10.8) діє логічна одиниця, яка готує до спрацювання схему $D2$. Якщо $C = 0$, то схеми $D2$ та $D3$ заперті і можуть спрацювати лише в моменти t_1 , t_2 , t_3 і т.д., коли на C -вхід надійдуть фронти (рис. 10.9).

Бувають випадки, коли необхідні D -тригери, які синхронізуються низьким рівнем, тобто зведення та скидання тригера виконується під час дії на синхровході C зрізу, тобто переходу синхронізуючого імпульсу на вході C з одиниці в нуль. Такий тригер має умовне позначення, що наведено на рис. 10.10, і носить назву D -тригера зі зворотним динамічним входом.

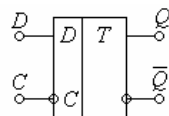


Рис. 10.10. D -тригер зі зворотним динамічним входом

Розглянемо лічильний запуск D -тригера.

У лічильному запуску D -тригер з кожним імпульсом на синхровході C змінює свій стан на протилежний. Це здійснюється з'єднанням входу D з інверсним виходом \bar{Q} . Схема D -тригера з лічильним запуском та часова діаграма його роботи наведені на рис. 10.11.

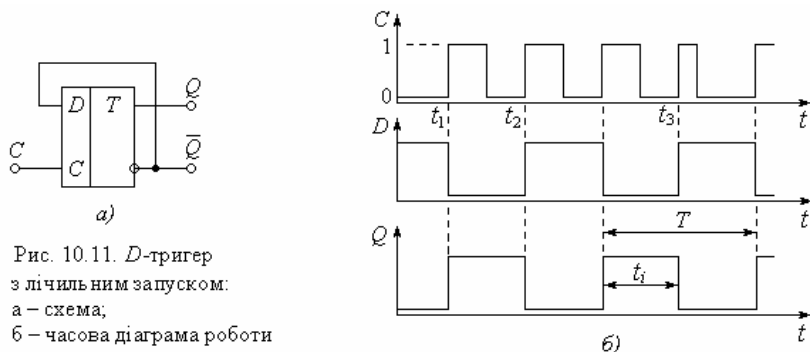


Рис. 10.11. D -тригер з лічильним запуском:
а - схема,
б - часова діаграма роботи

D -тригер з лічильним запуском працює наступним чином.

Нехай до моменту t_1 тригер перебував у нульовому стані ($Q = 0$, $\bar{Q} = 1$). Оскільки вхід D закорочений з інверсним виходом \bar{Q} , то в нульовому стані тригера $D = \bar{Q} = 1$, тобто стан входу D одиничний і готує тригер до зведення.

У момент t_1 фронтом C тригер зводиться ($Q = 1$, $\bar{Q} = 0$).

Починаючи з моменту t_1 тригер перебуває в одиничному стані, через що $D = 0$, тобто стан входу D нульовий і готує тригер до скидання, яке здійснюється фронтом C у момент t_2 і т.д.

З діаграми роботи видно, що в лічильному запуску з кожним фронтом C стан тригера змінюється на протилежний.

Результатом роботи D -тригера з лічильним запуском є наступне:

- поділення частоти слідування вхідних імпульсів C на два;
- забезпечення щільності вихідних імпульсів, яка дорівнює двом.

Щодо поділу частоти на два, то з діаграми роботи видно, що період вихідних імпульсів Q вдвічі більший за період вхідних імпульсів C . Забезпечення ж щільності "два" пояснюється наступним.

Щільністю імпульсів є відношення їхнього періоду T до тривалості t_i :

$$N = \frac{T}{t_i}. \quad (10.4)$$

Як видно з діаграми, тривалість імпульсів t_i зберігається навіть тоді, коли щільність імпульсів C відрізняється від двох (момент t_3). Тому щільність “два” вихідних імпульсів тригера з лічильним запуском гарантована.

10.1.5. JK-тригер

JK-тригер має два інформаційні входи J і K та вхід синхросигналу C .

JK-тригер, як і *CRS-* та *D-*тригери є синхронним, але має ту перевагу, що на відміну від *CRS-*тригера, не має заборонених (невизначених) станів. Ця перевага стала основою для побудови цілої низки синхронних тригерів в інтегральному виконанні.

Найбільшого практичного застосування в інтегральній схемотехніці знайшли синхронні одноступеневі *JK-*тригери.

Одноступеневий синхронний JK-тригер будується за аналогією синхронного *CRS-*тригера.

Схема *JK-*тригера (рис. 10.12) побудована на *RS-*тригері і двох логічних схемах збігу $D1$ та $D2$.

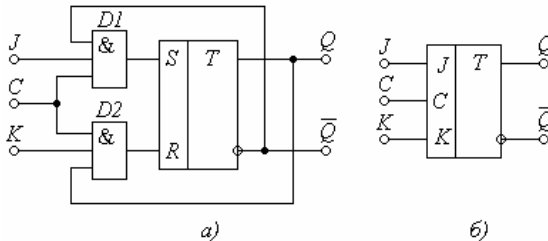


Рис. 10.12. *JK-*тригер: а – схема; б – умовне позначення

Роботу тригера віддзеркалюють табл. 10.6 та часова діаграма роботи в роздільному запуску (рис. 10.13), звідки видно, що одноступеневий *JK-*тригер спрацьовує лише за наявності фронту “Г” на вході синхронізації C .

У скинутому (нульовому) стані тригера ($Q = 0$, $\bar{Q} = 1$) з виходу \bar{Q} до входу $D1$ подається одиничний рівень, готуючи саме тим зведення тригера.

Тригер зведеться, коли $J = 1$, $K = 0$ і до входу C надійде фронт “Г”.

У зведеному (одиничному) стані тригера ($Q = 1$, $\bar{Q} = 0$) з виходу Q одиничний рівень подається до входу $D2$, готуючи саме тим скидання тригера. Тригер скинеться, коли $K = 1$, $J = 0$ і до входу C надійде фронт “Г”.

За відсутності синхроімпульсу, коли $C = 0$, входи J і K блокуються і тригер залишається в попередньому стані, зберігаючи інформацію Q^n .

Комбінація сигналів на J - і K -входах визначає стан, в якому перебуває

тригер після надходження фронту на вхід C . Отже, до моменту t_1 (рис. 10.13) тригер знаходиться в нульовому стані ($Q = 0$).

Таблиця 10.6
Стани JK -тригера

Q^n	C	J^n	K^n	Q^{n+1}
0	0	X	X	0
1	0	X	X	1
0	1	0	0	0
1	1	0	0	1
X	1	0	1	0
X	1	1	0	1
X	1	1	1	\bar{Q}^n

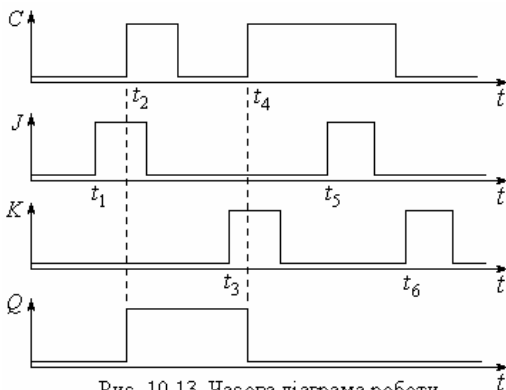


Рис. 10.13. Часова діаграма роботи одноступеневого JK -тригера

У момент t_1 комбінація $J = 1$, $K = 0$ готує тригер до переходу в одиничний стан ($Q = 1$), але це відбудеться тільки в момент t_2 з надходженням фронту C .

У момент t_3 комбінація $J = 0$, $K = 1$ готує тригер до переходу в нульовий стан ($Q = 0$), який установиться фронтом C у момент t_4 .

Після моменту t_4 , коли на вході C немає фронтів, як би не змінювались сигнали на входах J і K (моменти t_5 , t_6), тригер не спрацює.

З табл. 10.6 видно, що при $J = 1$ та $K = 1$ стан JK -тригера змінюється на протилежний з приходом кожного синхроімпульсу C , тобто здійснюється лічильний запуск. Отже для здійснення лічильного запуску слід подати логічну одиницю одночасно на входи J і K ($J = 1$ і $K = 1$). У цьому режимі одноступеневий JK -тригер працює в лічильному запуску, здійснюючи поділ частоти на два.

На базі одноступеневих синхронних JK -тригерів можна комутацією зовнішніх виводів будувати різні типи тригерів, наприклад, D -тригер (рис. 10.14).

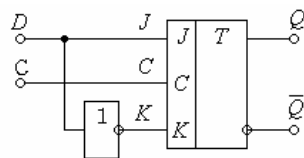
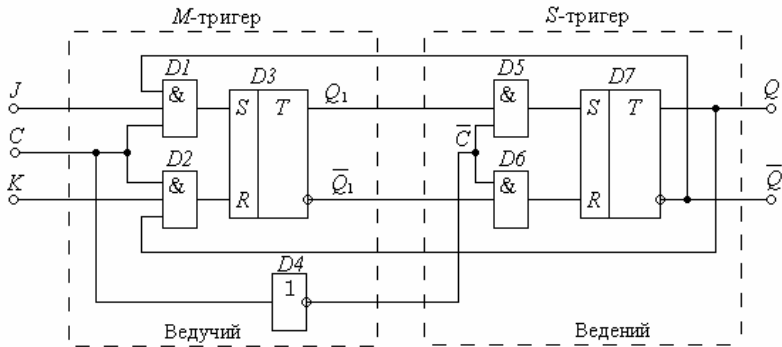


Рис. 10.14. D -тригер на базі JK -тригера

10.1.6. MS -тригер

MS -тригер містить два касадно з'єднані RS -тригери: основний і допоміжний. Звідси назва MS (скорочено від англійських слів *master* – господар і *slave* – раб, невільник). Ці тригери працюють за принципом “ведучий – ведений” (рис. 10.15).

У MS -тригері для приймання (записування) і передавання (зчитування) інформації використовуються два параметри синхросигналу: і фронт, і зріз.

Рис. 10.15. MS -тригер

Тому тригери цього типу є двоступеневими синхронними тригерами. Їх ще називають тригерами з внутрішньою затримкою. Основною перевагою двоступеневих синхронних тригерів перед одноступеневими є їхня підвищена завадостійкість. Ця перевага досягається тим, що спрацьовування MS -тригера в цілому відбувається двома етапами:

- при переході синхроімпульсу в стан $C = 1$ здійснюється записування інформації тільки в M -тригер відповідно станам входів J і K з одночасним блокуванням (запиранням) інформаційних входів S -тригера;

- при зворотному переході в стан $C = 0$ синхроімпульсу стан M -тригера записується в S -тригер з одночасним блокуванням (запиранням) інформаційних входів M -тригера.

Таким чином, на відміну від одноступеневого тригера, в якому записування інформації та її передавання збігаються, в двоступеневому тригері вони рознесені в часі, причому, під час записування інформації в один тригер блокуються інформаційні входи іншого, вилучаючи вплив завад.

Двоступеневий синхронний JK -тригер побудований на базі каскадного з'єднання двох одноступеневих синхронних RS -тригерів та схеми блокування на інверторі $D4$ (рис. 10.15). Перший тригер ($D1, D2, D3$) називається M , а другий – S ($D5, D6, D7$). Особливістю запуску S -тригера є те, що в його коло синхросигналу включений інвертор $D4$, який не припускає передачу стану тригера M в S під час запису в M -тригер. Для M -тригера активним сигналом запису інформації є $C = 1$, а для S -тригера $(\bar{C}) = 1$, тобто $C = 0$. Тоді стан M -тригера змінюється в момент переходу синхросигналу C з нуля в одиницю (фронтом імпульсу), а стан S -тригера – в момент переходу синхросигналу з одиниці в нуль (зрізом імпульсу). У цілому MS -тригер запускається зрізом.

Так наявність інвертора $D4$ забезпечує рознесення спрацьовування M - і S -тригерів, що підвищує завадостійкість

У MS -тригері існує небезпека хибного спрацьовування через перегони між моментами записування в M - і S -тригери. Запобігання цього недоліку здійснюється вибором порогів спрацьовування інвертора $D4$ та елементів $D1$

і $D2$. Співвідношення згаданих порогів ілюструє часова діаграма роботи тригера (рис. 10.16).

Тут:

$U_{1,2}$ – поріг спрацьовування елементів $D1$ і $D2$;

U_4 – поріг спрацьовування інвертора $D4$;

$U_{\text{вих } 1,2}$ – вихідна напруга елементів або $D1$, або $D2$.

Спрацьовування MS -тригера без впливу завад вихідних кіл Q та \bar{Q} відбувається наступним чином.

Поріг U_4 спрацьовування інвертора $D4$ нижчий за поріг $U_{1,2}$ спрацьовування елементів $D1$ і $D2$, тобто $U_4 < U_{1,2}$. Тому на початку появи напруги синхроімпульсу C входи S і R тригера $D3$ закриті (заблоковані) елементами $D1$ і $D2$ і лишатися заблокованими, доки напруга C не перевищить поріг $U_{1,2}$.

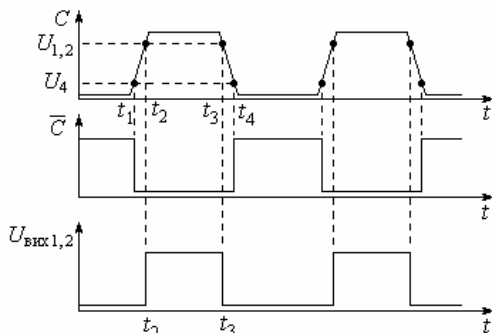


Рис. 10.16. Часова діаграма формування синхросигналів MS -тригера

Коли напруга C в момент t_1 досягне порогу U_4 , спрацьовує інвертор $D4$, через що синхроімпульс C стає нульовим $\bar{C} = 0$. Тоді елементи $D5$ і $D6$ заблоковані і закривають входи S - і R -тригера $D7$. При $\bar{C} = 0$ стан S -тригера ні в якому разі змінитися не може.

У момент t_2 напруга C досягає порогу $U_{1,2}$ спрацьовування елементів $D1$ і $D2$, через що розблоковуються елементи $D1$ і $D2$ і на одному з їхніх виходів, в залежності від стану входів J і K , з'являється напруга $U_{\text{вих } 1,2}$, яка забезпечує спрацьовування M -тригера. При цьому S -тригер спрацювати не може, бо синхроімпульс $\bar{C} = 0$ блокує його входи.

У момент t_3 напруга $U_C < U_{1,2}$, через що блокуються входи M -тригера і тому його стан ні в якому разі змінитися не може.

У момент t_4 напруга U_C стає менша за поріг спрацьовування інвертора $D4$, через що його вихідна напруга стає одиничною ($\bar{C} = 0$), розблоковуючи входи S -тригера. Тоді стан M -тригера переписується в S -тригер.

Таким чином, запис в один з M - або S -тригерів відбувається лише тоді, коли інший заблокований. При цьому вихідні кола Q та \bar{Q} функціонально ізольовані від ведучого M -тригера, чим зумовлене підвищення завадостійкості.

Роботу двоступеневого синхронного JK -тригера, або MS -тригера можна пояснити за допомогою часової діаграми роботи, що наведена на рис. 10.17.

При $J = 1$; $K = 1$ в інтервалі моментів $t_1 \dots t_5$ тригер працює в лічильному запуску, аналогічно випадку одноступеневого JK -тригера (див. табл. 10.5). Різниця лише в тому, що в двоступеновому тригері зміна стану тригера

в лічильному запуску відбувається за зрізом, а не за фронтом синхроімпульсів C (моменти t_2, t_4, t_6, \dots).

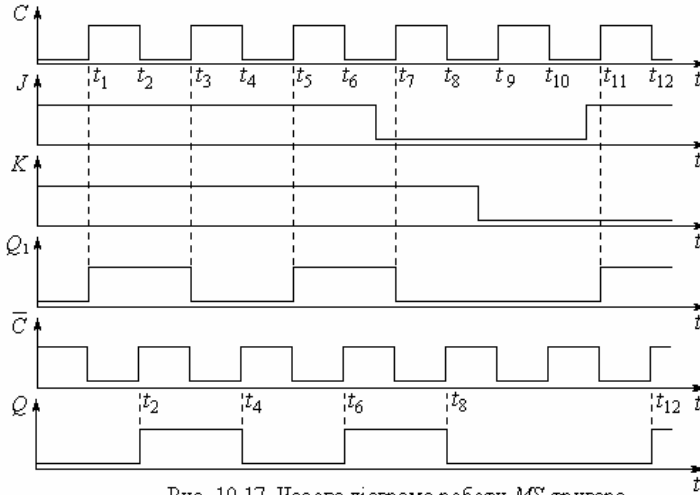


Рис. 10.17. Часова діаграма роботи MS -тригера

Якщо, наприклад, $J = 0$ і $K = 1$ ($t_7 - t_8$), то тригер переходить в стан $Q^{n+1} = 0$ в момент t_8 , коли синхросигнал на вході C змінюється з одиниці на нуль, бо лише в цей момент на синхровході \bar{C} S -тригера діє фронт.

Записування інформації в M -тригер здійснюється в момент t_7 , коли синхросигнал C на вході MS -тригера переходить з нуля в одиницю, а зчитування – в момент t_8 , тобто на наступному такті періоду синхроімпульсів.

Якщо $J = 0$, $K = 0$ (моменти t_9, t_{10}), то тригер перебуває в режимі зберігання попереднього біта інформації.

Якщо на момент t_{11} стани входів $J = 1$, $K = 0$, то M -тригер переходить у стан 1. У наступний такт t_{12} S -тригер переходить у стан 1 і при цьому на виході Q установлюється рівень логічної одиниці, що відповідає процесу зчитування одиничної інформації з виходу MS -тригера. Так в цілому, інформація записується в MS -тригер за два такти.

Важливою перевагою двоступеневого JK -тригера є те, що інформаційні входи за період синхроімпульсів функціонально ізольовані від вихідних кіл. Така своєрідна властивість MS -тригера забезпечує стійке переключення тригера. Завдяки таким властивостям на двоступеневих JK -тригерах можна будувати завадостійкі цифрові пристрої.

Умовне позначення MS -тригера наведено на рис. 10.18.

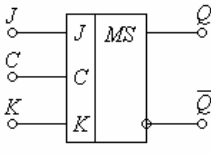


Рис. 10.18. Умовне позначення MS -тригера

У мікросхемотехніці широке застосування має універсальний JK -тригер, що крім інформаційних J - та K -входів і входу синхронізації C , має також

настановні несинхронізовані входи S і R або \bar{S} і \bar{R} . Під час переключення тригера з одного стану в інший під дією сигналів на інформаційних входах J і K та синхронізуючому вході C , слід подати на прямі входи S і R нульові рівні, тобто $S = 0, R = 0$ або на інверсні входи – одиничні $\bar{S} = 1, \bar{R} = 1$.

На базі двоступеневого JK -тригера можна будувати інші схеми тригерів шляхом комутації зовнішніх входів J, K, C, S та R .

10.1.7. Підвищення завадостійкості тригерів

Підвищення завадостійкості тригерів має свої особливості, які вимагають захисту від завад не тільки по входах, а й по виходах. Це пояснюється тим, що виходи тригера через кола зворотного зв'язку зв'язані з входами.

Дійсно, якщо на лінії зв'язку, підключеної до виходу Q тригера (див. рис. 10.2,а), з'явиться одинична завада, то вона впливатиме і на вхід протилежного елемента тригера (схема I), що може викликати переключення усього тригера, як від звичайного вхідного сигналу.

Тому, якщо тригер будь-якого типу $D1$ (рис. 10.19) працює на лінії, де можливі завади, то його слід підключати до лінії через буфер $D2$, яким може бути RS -тригер.

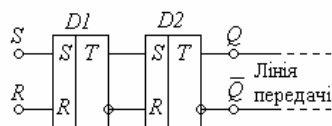


Рис. 10.19. Тригер $D1$ з буфером $D2$

Оскільки на входах буферного тригера завжди присутній або R -, або S -сигнал, то цей тригер не може запам'ятовувати заваду, яка діє на виході Q або \bar{Q} . Після кінця дії завади буферний тригер обов'язково повертається в попередній стан.

При запусках будь-яких тригерів по входах R і S треба зауважити, що вони є настановними і тому мають пріоритет у своєму впливі на стан тригера при порівнянні з усіма іншими входами. Тобто, входи R і S установлюють стан тригера в залежності від власних рівнів незалежно від сигналів, що діють у цей час на інших входах, в тому числі і на синхровході C , коли він є. Із закінченням дії асинхронних сигналів входів R і S установлений ними стан тригера залишається до приходу фронту C .

Щодо напруги завад, то їх джерелом можуть бути контакти, тумблери, кнопки, реле, імпульсні сигнали різноманітних імпульсних схем тощо, здебільшого відрізняються за своїми характеристиками від сигналів, що потрібні для запуску тригера. Це дає змогу шляхом формування сигналів зробити тригер нечутливим до завад.

Досить значними умовами є такі, які пред'являють вимоги до часових параметрів сигналів. Такими суттєвими вимогами є забезпечення тривалості фронтів вхідних сигналів та усунення впливу *деренчання контактів*. Тут не обійти застосування формувачів.

10.2. Формувачі тривалості фронтів

Формувачі тривалості фронтів призначені для підвищення крутості фронтів, тобто зменшення їхньої тривалості. Це необхідно, наприклад, для надійного запуску тригерів по входах синхронізації C , бо вхід C реагує на fronti лише тієї тривалості, яка не перевищує певного часу.

До тривалості фронтів критичні не тільки тригери, а й, наприклад, схеми збігу I та АБО. Дійсно, якщо на двох входах схеми $2I$ діють відповідно два одиничні прямокутні імпульси з різними тривалостями фронтів, то на межі цих імпульсів з'явиться непередбачений логічний нуль на час, який дорівнює згаданій різниці тривалості фронтів. Це явище називають змаганням фронтів або перегонами.

Отже в багатьох випадках треба зменшити тривалість фронтів (зрівів). Взагалі, за цілою низкою обставин необхідно збільшувати крутість фронтів вихідних імпульсів.

Для перетворення пологих фронтів на круті найчастіше використовують тригер Шмітта.

Тригер Шмітта – це несиметричний тригер, який є пороговим пристроєм. Він змінює свою вихідну напругу стрибком, коли вхідна напруга досягає заданого порогу. Тому він використовується для формування з вхідної напруги, яка змінюється повільно, прямокутних імпульсів вихідної напруги з крутими фронтами. Умовне позначення тригера Шмітта наведено на рис. 10.20,а, а його типова передавальна характеристика $U_{\text{вих}} = f(U_{\text{вх}})$ – на рис. 10.20,б.

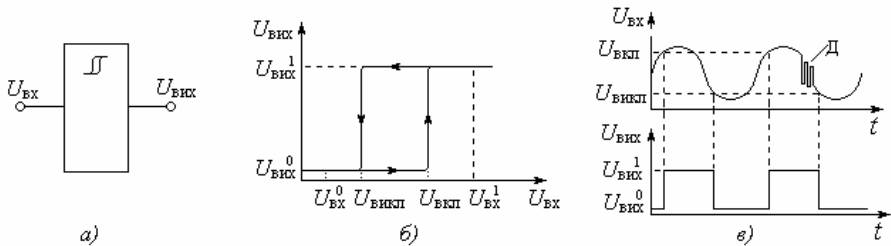


Рис. 10.20. Тригер Шмітта:

а – умовне позначення; б – передавальна характеристика; в – діаграма роботи

Основною властивістю тригера Шмітта є наявність *гістерезису переключення*, тобто двох *рознесених* порогів: верхній поріг включення $U_{\text{вкл}}$ та нижній поріг виключення $U_{\text{вкл}}$ (рис. 10.20,б; рис. 10.20,в).

Коли вхідна напруга $U_{\text{вх}}$ перевищить верхній поріг $U_{\text{вкл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком підвищується до рівня логічної одиниці $U_{\text{вих}}^1$. Коли ж $U_{\text{вх}}$ стане менше нижнього порогу $U_{\text{вкл}}$, то вихідна напруга $U_{\text{вих}}$ стрибком зменшиться від $U_{\text{вих}}^1$ до рівня логічного нуля $U_{\text{вих}}^0$. Таким чином, прямокутна передавальна характеристика тригера Шмітта дозволяє використовувати його

за формувач прямокутної вихідної напруги з повільної вхідної (рис. 10.20,в).

Отже, переходи тригера з одного сталого стану в інший відбуваються за різних значень вхідної напруги $U_{\text{вкл}}$ та $U_{\text{викл}}$.

Гістерезис захищає тригер від впливу деренчання Д (рис. 10.20,в), а також від повторного спрацьовування, коли на вхідний сигнал накладені високочастотні шуми (в межах гістерезису).

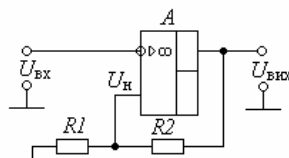


Рис. 10.21. Тригер Шмітта

Щодо схеми тригера Шмітта, то одна з них наведена на рис. 10.21. Вона побудована на операційному підсилювачі А, який охоплений додатним ЗЗ (резистори R_1 , R_2) для забезпечення гістерезису, тобто рознесення порогів $U_{\text{вкл}}$ та $U_{\text{викл}}$, яке визначається співвідношенням опорів резисторів R_1 та R_2 .

Тригер працює наступним чином.

У початковому стані при $U_{\text{вх}} = 0$ вихідна напруга нульова $U_{\text{вих}} = U_{\text{вих}}^0$ (див. рис. 10.20,б).

З повільним підвищенням вхідної напруги $U_{\text{вх}}$ тригер залишається в цьому нульовому стані, доки $U_{\text{вх}}$ не перевищить поріг включення $U_{\text{вкл}}$. При $U_{\text{вх}} > U_{\text{вкл}}$ вихідна напруга, завдяки додатному ЗЗ, стрибком змінюється на одиничну $U_{\text{вих}} = U_{\text{вих}}^1$, формуючи крутий фронт, не зважаючи на повільну вхідну напругу. Подальше збільшення $U_{\text{вх}}$ не впливає на вихідну напругу, залишаючи її одиничною $U_{\text{вих}}^1$. Вихідна одинична напруга $U_{\text{вих}}^1$ підвищує потенціал неінвертуючого входу $U_{\text{н}}$. Це підвищення $U_{\text{н}}$ підтримує тригер в одиничному стані навіть коли $U_{\text{вх}}$ стане менше за поріг $U_{\text{вкл}}$, бо при підвищеному $U_{\text{н}}$ зменшується поріг до $U_{\text{викл}}$. Коли вхідна напруга зменшиться до $U_{\text{вх}} < U_{\text{викл}}$, то вихідна напруга стрибком змінюється на нульову, збільшуючи при цьому поріг включення до $U_{\text{вкл}}$.

Таким чином, тригер Шмітта формує прямокутну вихідну напругу з повільної вхідної. Ширина петлі гістерезису $U_{\text{викл}} - U_{\text{вкл}}$ визначається співвідношенням опорів R_1 , R_2 . Збільшення R_2 звужує петлю гістерезису $U_{\text{викл}} - U_{\text{вкл}}$.

Щодо застосування тригера Шмітта, то воно досить широке, але в основному зводиться до необхідності формування прямокутної форми напруги, придушення впливу деренчання та завад у межах гістерезису.

Одним із прикладів застосування тригера Шмітта є запуск будь-якого тригера по синхровходу від віддаленого джерела сигналу (рис. 10.22).

Сигнал від джерела U_c набуває на трасі завад і втрачає крутості фронтів, через що надійний запуск послідовнісного пристрою по синхровходу стає

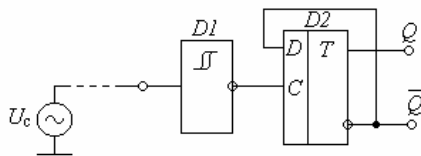


Рис. 10.22. Запуск D-тригера від віддаленого джерела сигналу

неможливим. Тому слід мати за правило, що будь-який послідовнісний пристрій має запускатися по синхровходу тільки від місцевого тригера. Таким місцевим тригером і є тригер Шмітта $D1$, через який запускається по синхровходу C тригер $D2$.

Тригери Шмітта використовують і в інших схемах для надійної роботи приладів, особливо при надходженні вхідного сигналу від зовнішніх приладів, або від іншої плати.

10.3. Методи боротьби з впливом деренчання контактів

Деренчанням називають процес вібрації контактів, які викликають удари при їхньому замиканні. Після першого доторкання контакт розмикається, після чого знов замикається і так декілька разів.

Деренчання спостерігається у будь-яких контактах: реле, тумблерах, кнопках. Частота комутації деренчання лежить в межах 100 Гц ... 10 КГц. Якщо пристрій запускається від згаданих контактів, то на такі повторювання він може реагувати як на окремі вхідні сигнали. Наприклад, додавання одиниці у лічильник може повторюватися декілька разів.

Ліквідувати вплив деренчання контактів можна за допомогою тригера Шмітта (див. рис. 10.22).

Якщо контакт перекидаючий, то доцільно використати $\overline{R}\overline{S}$ -тригер (рис. 10.23).

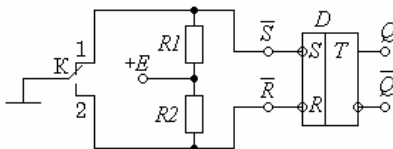


Рис. 10.23. Схема захисту від впливу деренчання контактів

При спрацьовуванні реле, кнопки тощо рухомий контакт K починає рухатися від контакту 1 до контакту 2. За час цього руху на обох входах тригера резистори $R1$ та $R2$ підтримують високі рівні, через що тригер зберігає попередній стан, в якому він був до початку руху контакту.

При першому доторканні точки 2 тригер, інерційність якого на порядок менша за контакт, перекидається в новий стан. Відрив контакту при деренчанні не перекидає тригер назад, бо під час відриву контакту K потенціали входів \overline{S} і \overline{R} залишаються одиничними, зберігаючи стан тригера.

10.4. Лічильники імпульсів

Лічильники імпульсів – це пристрої, які виконують операцію підрахування числа імпульсів, що надійшли до їхніх входів.

У загальному випадку лічильником є каскадне з'єднання тригерів з лічильним запуском, кожний з яких утворює двійковий розряд. З надходженням вхідних імпульсів лічильник перебирає стани згаданих тригерів у визначеному для даної схеми порядку. Якщо лічильник має рахувати до 10

імпульсів, то він повинен мати 10 різноманітних станів тригерів. При цьому кожний 10-й імпульс повинен повертати схему до початкового стану.

10.4.1. Параметри лічильника

Число станів є основним параметром лічильника і носить назву *коефіцієнта перерахунку* K_n або *модуля лічби* M .

Найпростішим лічильником є тригер з лічильним запуском, який виконує лічбу імпульсів за модулем $M = 2$, тобто він має два стани 0 та 1, що змінюються по чергово під дією вхідних імпульсів.

У загальному виді модуль лічби двійкового лічильника визначається формулою

$$M = 2^m, \quad (10.5)$$

де m – число двійкових розрядів лічильника.

Отже, модуль лічби визначає число стійких станів лічильника (у тому числі і нульовий стан) або кількість імпульсів, яку треба підвести до входу лічильника, щоб він повернувся у початковий стан, утворюючи при цьому на своєму виході імпульс переповнення.

Поруч з модулем лічби лічильник характеризується його *місткістю*

$$K = M - 1, \quad (10.6)$$

тобто максимальним числом одиниць, яке він може накопичити (підрахувати).

10.4.2. Класифікація лічильників

Різноманітність типів лічильників дозволяє будувати їхні схеми на синхронних та асинхронних тригерах RS -; D -; JK -типів, на регістрах, на кінцевих схемах тощо. У цифрових пристроях використовується значне число типів лічильників, які відрізняються цілою рядом параметрів. Найбільш значного поширення набули лічильники, що побудовані на синхронних тригерах різних типів.

Для заданого модуля лічби M кількість тригерів, яка необхідна для побудови лічильників, визначається з умови найближчого більшого цілого числа формулою

$$m = \text{int} [\log_2 M]. \quad (10.7)$$

Залежно від модуля лічби M лічильники бувають *двійковими* (за модулем $M = 2^m$) та з *довільним модулем* ($M \neq 2^m$), в яких число m округлене до більшого цілого числа. За цією класифікаційною ознакою лічильники можуть працювати у двійковому та іншому кодах.

Назву лічильникам, як правило, дають за видом кодування його станів,

тобто за кодом, в якому працює лічильник. Найбільш поширені двійкові лічильники. Тому далі розглядаються тільки *двійкові лічильники*.

За цільовим призначенням лічильники поділяють на три типи:

- підсумовувальні лічильники;
- віднімальні лічильники;
- реверсивні лічильники.

У *підсумовувальному* лічильнику з кожним вхідним імпульсом число, що містить лічильник, зростає на одиницю, а у *віднімальному* – зменшується на одиницю. Отже, підсумовувальний лічильник виконує прямий, а віднімальний – обернений підрахунок числа одиниць, що надійшли до його входу.

Реверсивні лічильники працюють в режимі або прямої, або оберненої лічби.

За способом установлення стану розрядів лічильники поділяються на синхронні та асинхронні.

До *синхронних* лічильників відносяться такі, в яких процес установлення будь-якого нового стану розрядів виконується одночасно в усіх розрядах лічильника. В асинхронних лічильниках стани розрядів установлюються не одночасно, а послідовно.

За способом утворення сигналів переносу, лічильники поділяються на три групи: з послідовним, паралельним та послідовно-паралельним переносом. За цією ознакою лічильники відрізняються способами подавання вхідних імпульсів.

У лічильнику з *послідовним переносом* або *послідовному лічильнику* вхідні імпульси подаються тільки на вхід першого тригера, а у *паралельному* – одночасно на синхровходи тригерів усіх розрядів. Різновидом паралельних лічильників є кільцеві лічильники, що будуються на базі регістрів зсуву.

Послідовно-паралельні лічильники будують за принципом послідовного з'єднання кількох паралельних лічильників.

Одним із основних часових параметрів лічильника є роздільна здатність та час реєстрації. Ці параметри характеризують швидкодію лічильників.

Роздільна здатність лічильників – це мінімальний період надходження вхідних імпульсів, за якого забезпечується надійна робота лічильника.

Час реєстрації – це максимальний часовий інтервал між моментами закінчення подачі вхідного імпульсу та моментом установлення числа на виходах розрядів лічильника.

10.4.3. Послідовні лічильники

Послідовні лічильники будуються, як правило, на базі декількох тригерів з лічильним запуском, кожен з яких працює як лічильник за модулем 2. При цьому послідовне з'єднання тригерів виконується таким чином, що вихід тригера i -го розряду підключається безпосередньо до лічильного входу наступного тригера $i + 1$.

Послідовні лічильники відносяться до класу асинхронних, бо стани розрядів в таких пристроях установлюються послідовно після приходу чергового фронту чи зрізу синхроімпульсу C . Послідовні лічильники будуються на базі D - або JK -тригерів.

На рис. 10.24 наведена схема послідовного підсумовувального лічильника, розрядні тригери якого виконані на базі синхронних D -тригерів з лічильним запуском.

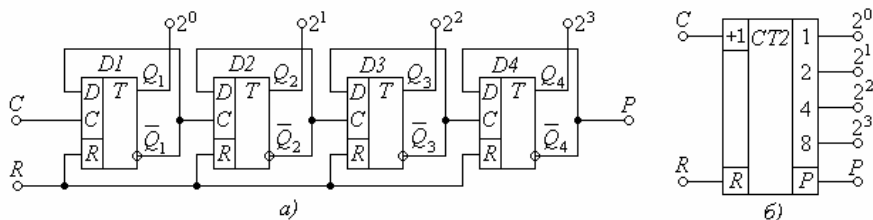


Рис. 10.24. Послідовний підсумовувальний лічильник на D -тригерах:
а – схема, б – умовне позначення

Тут: C – лічильний вхід;

R – вхід скидання лічильника;

P – вихід переповнення лічильника.

Лічильний запуск роботи тригерів забезпечується з'єднанням інформаційного D -входу з інверсним виходом власного тригера.

Тригери $D1, D2, D3, D4$, що входять до складу лічильників, повинні мати входи скиду R , які з'єднуються між собою, й утворюють вхід скиду лічильника R . За необхідності, наприклад, перед початком роботи на вхід скиду подається одиничний імпульс, за допомогою якого всі тригери скидаються, після чого треба забезпечити наявність на цьому вході нульового потенціалу.

Кожний тригер $D1, D2, D3, D4$ лічильника є двійковим розрядом, який характеризується так званим *ваговим коефіцієнтом*. Ваговий коефіцієнт визначається як 2^{n-1} , де n – порядковий номер тригера (розряду).

Так, перший тригер має ваговий коефіцієнт $2^0 = 1$, другий тригер з ваговим коефіцієнтом $2^1 = 2$, третій тригер має ваговий коефіцієнт $2^2 = 4$, четвертий $2^3 = 8$ і т.д.

Вхід C першого тригера носить назву підсумовувального входу лічильника. В підсумовувальному лічильнику наступний тригер запускається фронтом інверсного виходу \bar{Q} попереднього тригера.

Принцип дії підсумовувального лічильника ілюструє діаграма його роботи (рис. 10.25).

Підсумовувальний лічильник працює наступним чином. До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подачею на вхід R короткочасного одиничного імпульсу (інтервал моментів $t_1 \dots t_2$). При цьому всі тригери, незалежно від їхніх попередніх станів (показані хрестиками), скидаються.

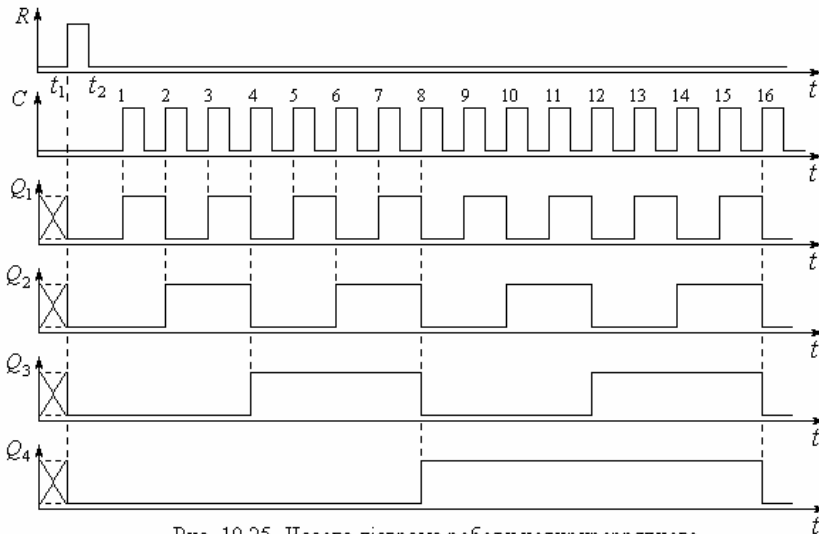


Рис. 10.25. Часова діаграма роботи чотирирозрядного підсумовувального лічильника

Вміст лічильника дорівнює нулю (див. табл. 10.7).

Починати лічбу, тобто подавати імпульси C , можна лише після моменту t_2 , коли зникне імпульс скидання R .

Таблиця 10.7
Стани 4-розрядного
підсумовувального лічильника

Номер вхідного імпульсу	Виходи				Число в лічиль- нику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	1	0	1	0	10
11	1	0	1	1	11
12	1	1	0	0	12
13	1	1	0	1	13
14	1	1	1	0	14
15	1	1	1	1	15
16	0	0	0	0	0

З надходженням першого фронту імпульсу лічби 1 зводиться перший тригер $D1$, який є самим молодшим розрядом лічильника. На його виході Q_1 з'являється 1, а потенціал на інверсному виході \bar{Q}_1 змінюється з 1 на 0, тобто формується зріз. Тому стан тригера $D2$ не змінюється, бо тригер спрацьовує від фронту. На виходах лічильника Q_1 , Q_2 , Q_3 і Q_4 фіксується число 0001 (табл. 10.7).

2-й вхідний імпульс своїм фронтом 2 скидає тригер $D1$. На виході Q_1 тригера $D1$ з'являється логічна одиниця 1, яка є так званим імпульсом переносу. При цьому фронт \bar{Q}_1 зводить тригер $D2$. На виходах лічильника з'являється число 0010.

Фронт 3-го імпульсу зводить перший тригер $D1$, не змінюючи при цьому одиничний стан другого

тригера $D2$, тобто вміст лічильника дорівнює числу 0011.

З приходом 4-го імпульсу переходять у стан нуля обидва тригери $D1$ та $D2$, а виникаючий при цьому імпульс переносу \bar{Q}_2 зводить тригер $D3$. Отже, на виходах лічильника з'явиться число 0100.

Заповнення розрядів лічильника з кожним імпульсом буде продовжуватися доти, доки лічильник не відрахує максимальне число 1111 на 15-му імпульсі, що надходить на вхід C першого тригера $D1$. При цьому всі тригери є зведеними.

16-й імпульс переводить своїм фронтом тригер $D1$ у нульовий стан, а імпульси переносу \bar{Q}_1 , \bar{Q}_2 та \bar{Q}_3 скидають тригери $D2$, $D3$ та $D4$, повертаючи лічильник у нульовий стан 0000.

При поверненні тригера $D4$ у нульовий стан 16-м імпульсом на виході \bar{Q}_4 виникає так званий імпульс переповнення P , який призначений для зведення наступного розряду $D5$ (якщо він є). Зведенням наступного розряду $D5$ фіксується в лічильнику число 10000_2 , тобто 16_{10} .

Таким чином, з надходженням кожного вхідного імпульсу на підсумовувальний вхід лічильника його вміст збільшується на одиницю, як показано в таблиці станів (табл. 10.7).

На рис. 10.26 наведена схема віднімального чотирирозрядного двійкового лічильника.

Зіставляючи рис. 10.25 з рис. 10.26, переконуємося в тому, що схема віднімального лічильника (рис. 10.26) відрізняється від підсумовувального лише тим, що запуск наступного тригера здійснюється не з інверсного

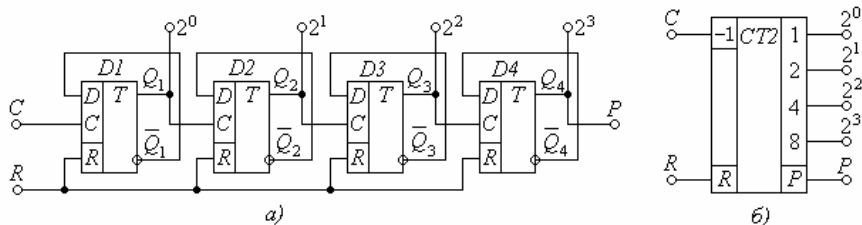


Рис. 10.26. Послідовний віднімальний лічильник на D -тригерах:
а – схема, б – умовне позначення

виходу \bar{Q}_i попереднього тригера, а з прямого Q_i .

Принцип дії віднімального лічильника ілюструє часова діаграма його роботи, яка наведена на рис. 10.27.

До початку лічби необхідно скинути лічильник, тобто установити всі тригери в нульовий стан. Це здійснюється подаванням на вхід R короткочасного (інтервал моментів $t_1 \dots t_2$) одиничного імпульсу. При цьому всі тригери, незалежно від їхніх попередніх станів, скидаються.

Віднімальний лічильник працює наступним чином.

Починати лічбу, тобто подавати імпульси C , можна лише після моменту t_2 , коли зникне імпульс скидання R .

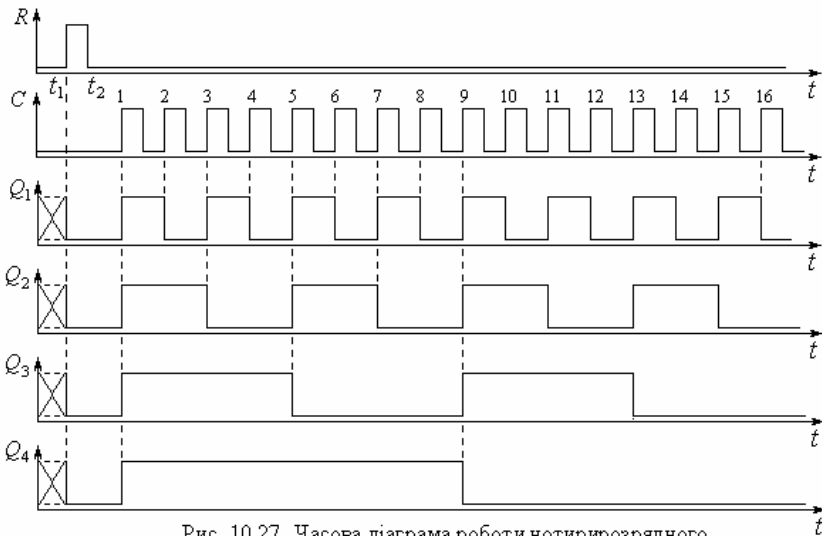


Рис. 10.27. Часова діаграма роботи чотирирозрядного віднімального лічильника

З приходом першого фронту імпульсу лічби 1 зводиться перший тригер $D1$, який є самим молодшим розрядом лічильника. Зі зведенням тригера $D1$

Таблиця 10.8
Стани 4-розрядного віднімального лічильника

Номер вхідного імпульсу	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	1	1	1	1	15
2	1	1	1	0	14
3	1	1	0	1	13
4	1	1	0	0	12
5	1	0	1	1	11
6	1	0	1	0	10
7	1	0	0	1	9
8	1	0	0	0	8
9	0	1	1	1	7
10	0	1	1	0	6
11	0	1	0	1	5
12	0	1	0	0	4
13	0	0	1	1	3
14	0	0	1	0	2
15	0	0	0	1	1
16	0	0	0	0	0

на його пряму вихіді Q_1 з'являється фронт, яким зводиться наступний тригер $D2$.

Одночасно фронт виходу Q_2 зведе тригер $D3$ і в цей же самий момент надходження першого імпульсу фронтом Q_3 зводиться четвертий тригер $D4$.

Таким чином, у віднімальному лічильнику з надходженням першого імпульсу зводяться всі тригери.

Вміст лічильника становить 1111, тобто 15. Так з урахуванням позики двійкового числа 10000 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

Далі з кожним черговим вхідним імпульсом вміст лічильника зменшується на одиницю (табл. 10.8).

2-й вхідний імпульс C скине перший тригер $D1$. Інші тригери не

спрацьовують, бо на виході Q_1 зріз. Вміст лічильника становить 1110, тобто $16 - 2 = 14$.

Вхідний імпульс 3 зведе тригер $D1$, фронт виходу Q_1 якого скине тригер $D2$. Інші тригери не спрацьовують, бо на виході Q_2 зріз. У лічильнику залишиться число 1101, тобто $16 - 3 = 13$ і т.д. З кожним вхідним імпульсом C вміст лічильника зменшується на одиницю.

Після 15-го імпульсу C у лічильнику залишиться зведеним лише перший тригер $D1$.

Вміст лічильника становить 0001.

16-й імпульс скидає тригер $D1$, після чого лічильник обнуляється, а імпульс переповнення P передається в наступний розряд.

Для підвищення завадостійкості послідовних лічильників їх виконують на двоступеневих тригерах MS -типу.

На рис. 10.28 наведена схема підсумовувального лічильника за модулем 16, який побудований на чотирьох двоступеневих JK -тригерах, тобто на тригерах MS -типу.

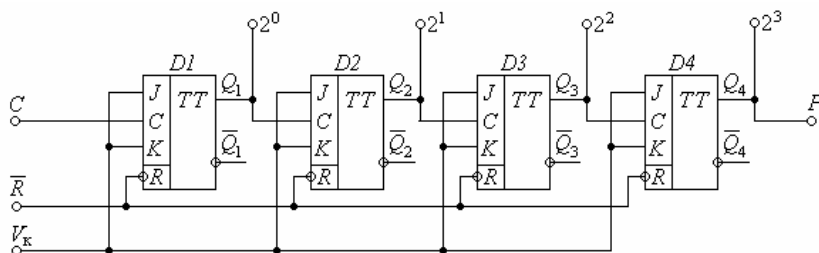


Рис. 10.28. Послідовний підсумовувальний лічильник на JK -тригерах

Тут C – вхід лічильника;

\bar{R} – вхід скидання лічильника;

V_k – керуючий вхід;

P – вихід переповнення.

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника закритий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає. Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба лічити.

Роботу лічильника пояснюють часова діаграма (рис. 10.29) і таблиця станів (див. табл. 10.7).

Діаграма роботи побудована за тих умов, що двоступеневий тригер MS -типу спрацьовує у два етапи, тобто з приходом фронту синхроімпульсу спрацьовує його ведучий тригер M , а від зрізу того ж імпульсу спрацьовує введений тригер S . Тому в цілому MS -тригер запускається від зрізу.

Лічильник працює наступним чином.

В нульовий стан, в якому $Q_1 = 0$, $Q_2 = 0$, $Q_3 = 0$, $Q_4 = 0$, лічильник скидається по входу \bar{R} (інтервал моментів $t_1 \dots t_2$). Лише після моменту t_2 , тобто після закінчення скидання можна починати лічув імпульсів C .

З приходом фронту імпульсу C вихідний рівень Q_1 тригера $D1$ не змінюється, бо фронтом запускається (зводиться або скидається) лише ведучий тригер M , а ведений тригер S спрацьовує теж від фронту, але він надходить лише після закінчення імпульсу, тобто в цілому перший тригер, як і решта тригерів, запускається від зрізу. Тому надалі розглядається запуск будь-якого тригера від зрізу на його вході C .

Після закінчення 1-го імпульсу, тобто з надходженням його зрізу 1, на виході $Q_1 = 1$, тобто фронт. Тому тригер $D2$ залишається в попередньому стані.

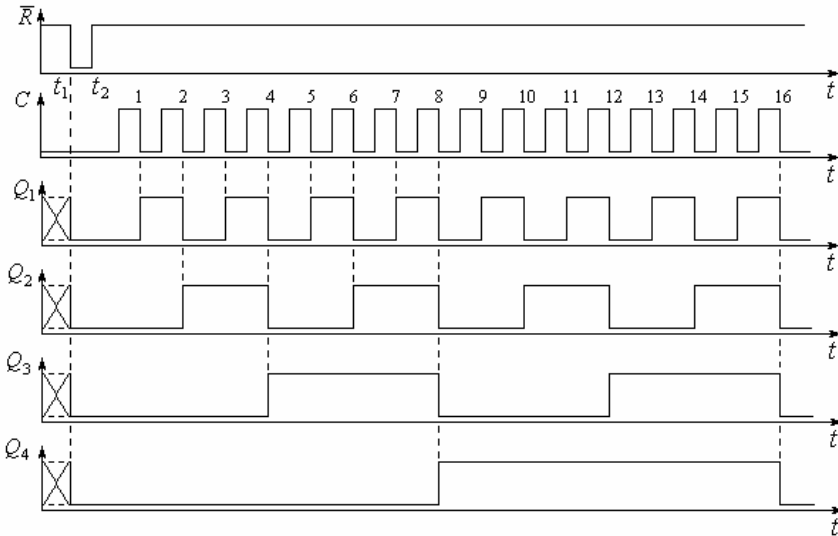


Рис. 10.29. Часова діаграма роботи підсумовувального лічильника на JK-тригерах

Вміст лічильника становить 0001, тобто 1. Так фіксується надходження на вхід лічильника одного імпульсу.

З надходженням 2-го імпульсу зрізом C скидається перший тригер $D1$. На виході Q_1 зріз, через що зводиться тригер $D2$. Вміст лічильника становить 0010, тобто 2. Так фіксується надходження на вхід лічильника двох імпульсів і т.д. З кожним зрізом на вході C лічильника його вміст збільшується на одиницю. Після надходження зрізу 15 зведені всі тригери. Вміст лічильника дорівнює 1111, тобто 15.

Зріз 16 скидає перший тригер $D1$. На виході Q_1 зріз, через що скидається тригер $D2$. Зрізом Q_2 скидається тригер $D3$, а виходом Q_3 скидається тригер $D4$. Так 16-й імпульс скидає всі чотири тригери і через вихід Q_4 передає одиницю P до наступного розряду $2^5 = 16$. З урахуванням розряду 2^5 число в лічильнику дорівнює 10000, тобто 16. Якщо тригера п'ятого розряду немає, то число в лічильнику після 16-го імпульсу становить 0000. Так фіксується надходження на вхід лічильника 16 імпульсів.

Послідовні віднімальні лічильники будуються за такими самими схемами, але при з'єднанні розрядів використовуються інверсні виходи

попередніх тригерів (рис. 10.30). За такої комутації виходів імпульси перенесу від розряду до розряду будуть утворюватися при переході відповідального тригера зі стану 0 у стан 1.

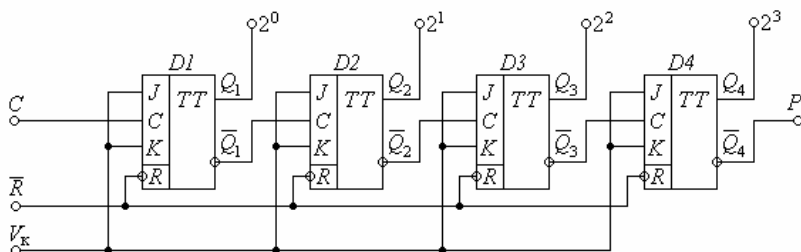


Рис. 10.30. Послідовний віднімальний лічильник на JK -тригерах

Роботу віднімального послідовного лічильника ілюструють часова діаграма, що наведена на рис. 10.31, та таблиця станів (див. табл. 10.8).

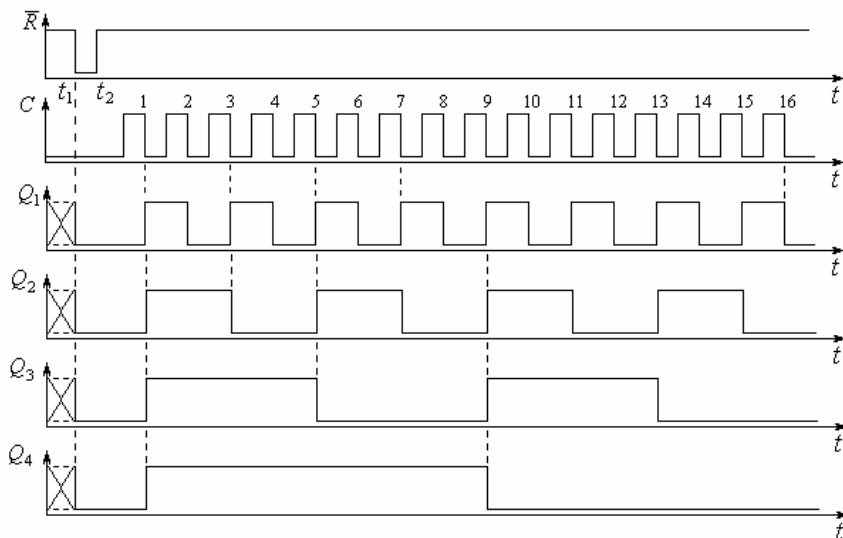


Рис. 10.31. Часова діаграма роботи віднімального лічильника на JK -тригерах

Початковий стан віднімального лічильника визначається вихідним числом 0000, яке забезпечується скиданням лічильника в нульовий стан по входу R в інтервалі моментів $t_1 \dots t_2$.

З приходом першого імпульсу на вхід C лічильника зводиться перший тригер $D1$. На його виході $Q_1 = 1$, тобто фронт. Тоді на виході \bar{Q}_1 буде зріз, яким зводиться другий тригер $D2$. При цьому зрізом \bar{Q}_2 зводиться третій тригер $D3$, а зрізом \bar{Q}_3 зводиться четвертий тригер $D4$. Таким чином, після надходження першого імпульсу на вхід C віднімального лічильника зво-

дяться всі його тригери. При цьому всі прямі виходи тригерів, Q_1, Q_2, Q_3, Q_4 будуть одиничними. Так з урахуванням позики числа 16 виконується операція віднімання двійкових чисел $10000 - 0001 = 1111$, тобто $16 - 1 = 15$.

2-й імпульс на вході C скине перший тригер $D1$, на інверсному виході \bar{Q}_1 якого створюється фронт, яким другий тригер $D2$ не запускається.

Тому всі тригери, крім першого, залишаються в одиничному стані: $Q_1 = 0, Q_2 = 1, Q_3 = 1, Q_4 = 1$. Так виконується операція віднімання двійкових чисел $1111 - 0001 = 1110$, тобто $16 - 2 = 14$ і т.д.

З кожним вхідним імпульсом вміст лічильника зменшується на одиницю, тобто здійснюється віднімання.

Після 15-го імпульсу стан лічильника буде $Q_1 = 1, Q_2 = 0, Q_3 = 0, Q_4 = 0$ і вміст лічильника дорівнюватиме 0001.

16-й імпульс скидає 1-й тригер $D1$, установлюючи лічильник у нульовий стан: $Q_1 = 0, Q_2 = 0, Q_3 = 0, Q_4 = 0$.

Таким чином, на виходах віднімального лічильника буде фіксуватися число в оберненому коді, як наведено в таблиці станів (див. табл. 10.8).

10.4.4. Швидкодія лічильників

Швидкодія лічильника визначається частотою слідування вхідних імпульсів

$$f_{\text{сл}} = \frac{1}{\tau_i + t_{\text{уст}}}, \quad (10.8)$$

де τ_i – тривалість лічильного імпульсу;

$t_{\text{уст}}$ – час установлення числа в лічильнику.

Для схеми лічильника, що має n розрядів, час установлення числа визначається як

$$t_{\text{уст max}} = n \cdot \tau_t, \quad (10.9)$$

де τ_t – тривалість перехідних процесів.

Після підстановки (10.9) у (10.8) одержуємо формулу, яка визначає максимальну частоту слідування вхідних імпульсів без урахування часу на зчитування числа з його виходів

$$f_{\text{сл max}} = \frac{1}{\tau_{i \text{ min}} + n \tau_t}. \quad (10.10)$$

Якщо час на зчитування числа визначити як $\tau_{3ч}$, то формула (10.10) буде мати скінчений вигляд

$$f_{\text{сл max}} = \frac{1}{\tau_{i \text{ min}} + n \tau_t + \tau_{3ч}}. \quad (10.11)$$

Послідовні лічильники використовуються також як *подільники частоти*.

Дійсно, з часової діаграми роботи, що наведена на рис. 10.31, видно, що на виході першого тригера Q_1 лічильника частота вхідних імпульсів C ділиться на 2, на виході другого тригера Q_2 імпульси надходять з частотою, яка у чотири рази менше за вхідні C . Кожний 4-й вхідний імпульс змінює стан виходу третього тригера Q_3 , тобто частота слідування імпульсів на виході Q_3 у вісім разів нижча за вхідну C . З виходу Q_4 останнього тригера знімаються імпульси, частота яких у 16 разів менша за вхідну C . Якщо лічильник використовується як подільник частоти, то сигнал знімається лише з одного виходу.

Основним параметром подільника частоти є коефіцієнт ділення 2^n , де n – порядковий номер тригера.

Максимальний коефіцієнт ділення частоти дорівнює модулю лічби $M = 2^m$ і вихід такого подільника береться зі старшого розряду лічильника.

Гранична частота слідування лічильних імпульсів у послідовних лічильниках визначається максимальною частотою переключення тригера першого розряду за формулою

$$f_{n \max} = \frac{1}{\tau_q + \tau_t}. \quad (10.12)$$

Розглянуті асинхронні послідовні лічильники мають загальний недолік – значний час реєстрації підрахованої кількості вхідних імпульсів, тобто мають відносно малу швидкодію. Цей недолік зумовлений втратою часу на послідовне формування імпульсу переносу в кожному розряді лічильника. У найбільш несприятливому випадку перенос, що виник у молодшому розряді, викличе по черзі переноси в усіх інших розрядах лічильника і час установлення числа при цьому дорівнюватиме $n\tau_t$.

Зменшення часу установлення числа, тобто реєстрації вмісту лічильника, досягається при застосуванні паралельних лічильників або лічильників з паралельним переносом біта з молодшого розряду в старші.

10.4.5. Паралельні лічильники

Паралельні – це синхронні лічильники, в яких лічильні імпульси надходять одночасно на синхровходи C усіх тригерів. Перевагою паралельних лічильників є підвищена швидкодія.

Синхронні лічильники будуються, як правило, на базі двоступеневих багатовходових RS -, D - та JK -тригерів. Число інформаційних входів тригерів паралельних лічильників за модулем $M = 2^m$ дорівнює $(m - 1)$. Так, для чотирирозрядного двійкового лічильника кожен тригер повинен мати потроєні J - і K -входи.

Схема паралельного лічильника за модулем $M = 2^4 = 16$ на синхронних двоступеневих JK -тригерах з потроєними входами J і K наведена на рис. 10.32.

\overline{U} – вхід лічильника;

R – вхід скидання лічильника;

V_k – керуючий вхід;
 P – вихід переповнення.

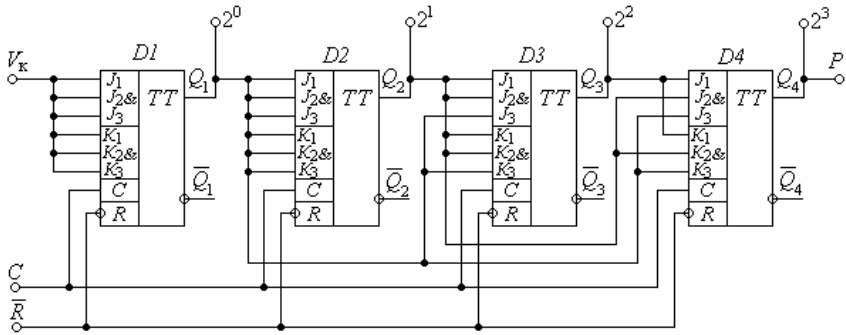


Рис. 10.32. Схема паралельного лічильника за модулем 16

Схема працює наступним чином.

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника закритий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає.

Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба рахувати.

З приходом 1-го лічильного імпульсу одночасно на всі входи C чотирьох тригерів зводиться лише перший тригер $D1$, бо входи J і K тригерів $D2$, $D3$ і $D4$ мають нульові потенціали. Вміст лічильника дорівнює числу 0001. Одиничний потенціал виходу Q_1 надходить до інформаційних входів J і K 2-го тригера $D2$, дозволяючи йому змінити свій стан з приходом наступного імпульсу C .

2-й лічильний імпульс перекине тригер $D2$ в одиничний стан і одночасно скине 1-й тригер $D1$. Тому вміст лічильника буде дорівнювати двійковому числу 0010. При цьому 3-й $D3$ і 4-й $D4$ тригери свій стан не змінюють.

Лише після 3-го лічильного імпульсу, коли в лічильнику установлюється число 0011, тобто $Q_1 = 1$, $Q_2 = 1$, $Q_3 = 0$, $Q_4 = 0$, дозвіл на зміну стана одержує 3-й тригер $D3$. Цей дозвіл надходить до його входів J і K з виходів Q_1 та Q_2 .

4-й імпульс C зведе 3-й тригер $D3$ і скине тригери $D1$ і $D2$.

Після 8-го імпульсу число в лічильнику зміниться на 0111, тобто $Q_1 = 1$; $Q_2 = 1$; $Q_3 = 1$, $Q_4 = 0$. Через це 4-й тригер $D4$ одержує дозвіл на зведення.

8-й імпульс C зведе 4-й тригер у стан 1 і скидає в нуль перші три тригери. При цьому число в лічильнику дорівнюватиме 1000.

Подальші спрацювання лічильника будуть відбуватися з кожним імпульсом C , збільшуючи число на одиницю доти, доки лічильник не відрахує максимальне число 1111.

16-й імпульс переводить своїм зрізом усі тригери в стан 0, повертаючи лічильник у нульовий стан 0000. Часова діаграма підсумовувального паралельного лічильника не відрізняється від часової діаграми послідовного лічильника, яка наведена на рис. 10.29.

Для побудови віднімального паралельного лічильника необхідно у розглянутій схемі (рис. 10.32) змінити запуск усіх тригерів з прямих Q_i на інверсні \overline{Q}_i .

Швидкодія роботи паралельних лічильників значно вища, ніж послідовних. Час установа числа дорівнює тривалості переключення одного тригера

$$t_{\text{уст max}} = \tau_t. \quad (10.13)$$

З урахуванням (10.13) максимальна частота слідування вхідних імпульсів визначається формулою

$$f_{\text{сл max}} = \frac{1}{\tau_i + \tau_t}, \quad (10.14)$$

де τ_i – тривалість імпульсу.

Недоліками паралельних лічильників є такі:

- застосування тригерів з великим числом інформаційних входів зумовлює значну складність, що приводить до зниження надійності;
- суттєва залежність навантажувальної здатності розрядних тригерів по виходах від числа розрядів лічильника; найбільш навантаженим є перший тригер $D1$.

Тому розрядність паралельних лічильників не перевершує чотирьох.

Для одержання великих значень модуля лічби M застосовують каскадне з'єднання лічильників. Для цього їх розбивають на групи. Такі лічильники носять назву лічильників з груповим переносом або *паралельно-послідовних* лічильників. Вони швидкодіючі, але при цьому не потребують багаточисленних інформаційних входів, і тому набули широкого розповсюдження.

10.4.6. Паралельно-послідовні лічильники

У *паралельно-послідовних лічильниках* усі розряди розбивають на групи і використовують два види зв'язків між розрядами; у середині групи – паралельний зв'язок, а між групами – послідовний. За допомогою такого з'єднання розрядів забезпечується одночасне спрацьовування розрядів у групах і послідовне спрацьовування між групами.

На рис. 10.33 наведена схема чотирирозрядного паралельно-послідовного лічильника на синхронних MS -тригерах JK -типу. Лічильник поділений на дві групи по два розряди в кожній: перша група на тригерах $D1$, $D2$ і друга – на тригерах $D3$, $D4$.

\overline{T} – вхід лічильника;

R – вхід скидання лічильника;

V_k – керуючий вхід;

P – вихід переповнення, яким передається двійкове число 10000, тобто 16 до наступного розряду.

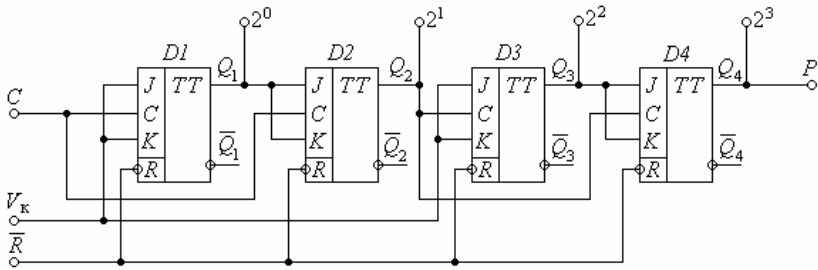


Рис. 10.33. Схема паралельно-последовного лічильника за модулем 16

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника закритий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає. Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба рахувати.

Процес спрацьовування розрядів у групі відповідає послідовності роботи розрядів паралельних лічильників, а процес спрацьовування груп відповідає порядку спрацьовування лічильників послідовного типу.

Швидкодія паралельно-последовного лічильника визначається максимальною частотою слідування імпульсів

$$f_{\text{слmax}} = \frac{1}{\tau_u + t_{\text{уст}}} = \frac{1}{\tau_c + n_{\text{гр}} \cdot \tau_t}, \quad (10.15)$$

де $n_{\text{гр}}$ – число груп у лічильнику.

Швидкодія паралельно-последовних лічильників декілька менша за паралельні, але набагато більша за послідовні лічильники.

Як видно з рис. 10.33, незважаючи на підвищення швидкодії, паралельно-последовні лічильники не потребують потроєння інформаційних входів, як паралельні, через що забезпечують достатню надійність.

10.4.7. Реверсивні лічильники

Реверсом лічильників називається зміна напрямку лічби. Реверс здійснюється перемиканням прямих та інверсних виходів попереднього тригера, з якого запускається наступний.

Реверсивними є лічильники, які можуть виконувати як додавання, так і віднімання імпульсів, що надходять на вхід C . Схема керування реверсивним лічильником дозволяє класифікувати їх за двома ознаками:

- з одним лічильним і двома керуючими входами;
- з двома лічильними входами.

Реверсивні лічильники бувають двох типів.

Реверсивні лічильники *першого типу* мають керуючі входи і виконують додавання або віднімання імпульсів у залежності від активного сигналу на його керуючих входах.

Коли на вході дозволу додавання одиничний рівень, то лічильник підсумовує імпульси, тобто збільшує на одиницю свій вміст з приходом кожного синхроімпульсу C .

При подачі високого рівня на вхід дозволу віднімання лічильник віднімає одиницю з кожним синхроімпульсом C .

У реверсивних лічильниках *другого типу* використовуються два входи синхросигналу: по одному з них (+1) подаються імпульси для підсумовування, а по іншому (-1) – для віднімання. Для таких лічильників не треба організовувати додаткові кола керування.

На рис. 10.34 наведена схема реверсивного лічильника першого типу.

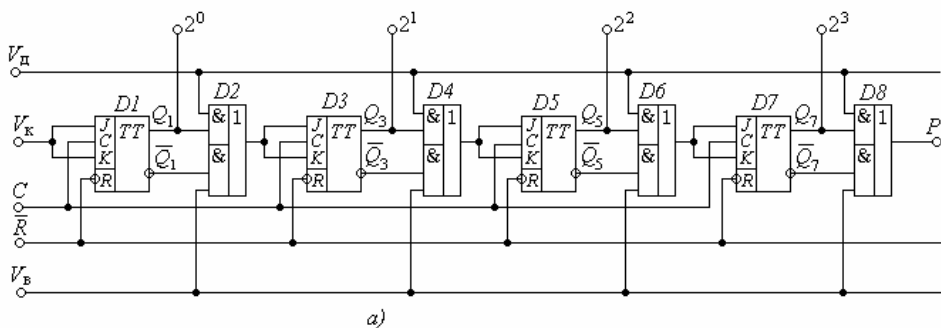
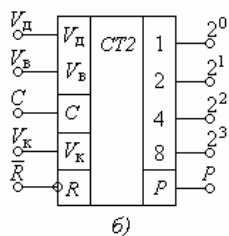


Рис. 10.34. Реверсивний лічильник з двома керуючими входами:
а – схема; б – умовне позначення



Тут C – лічильний вхід;

R – вхід скидання;

V_d – вхід дозволу додавання;

V_b – вхід дозволу віднімання;

V_k – керуючий вхід;

P – вихід переповнення.

Лічильник працює наступним чином.

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника закритий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає. Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба рахувати.

Вхід R короткочасним імпульсом $R = 1$ скидає лічильник в нуль.

Рівні входів дозволу $V_d = 1$ і $V_v = 0$ забезпечують режим додавання, в якому з кожним вхідним імпульсом C вміст лічильника збільшується на одиницю.

Рівні $V_d = 0$ і $V_v = 1$ забезпечують режим віднімання, в якому з кожним вхідним імпульсом C вміст лічильника зменшується на одиницю.

Реверс лічильника здійснюється перемиканням прямих Q_i або інверсних $\overline{Q_i}$ виходів за допомогою чотирьох логічних схем 2І-2АБО: $D2$; $D4$; $D6$; $D8$. Реверсування досягається передачею або сигналу переносу з прямих виходів Q_i , або сигналу позички з інверсних виходів $\overline{Q_i}$ тригерів.

Керуючий вхід $V_k = 1$ забезпечує лічильний режим лічильника, а $V_k = 0$ закриває вхід лічильника, чим здійснює зберігання попередньої інформації.

Лічильник працює наступним чином.

Режим додавання устанавлюється подачею високого рівня логічної одиниці на вхід дозволу додавання та низького рівня – на вхід дозволу віднімання ($V_d = 1$, $V_v = 0$). При цьому нижні кон'юнктори елементів $D2$, $D4$, $D6$, $D8$ закриті і не пропускають сигнали позички з інверсних виходів $\overline{Q_i}$, забороняючи саме тим режим віднімання. Верхні ж кон'юнктори елементів $D2$, $D4$, $D6$, $D8$ відкриті і пропускають сигнали переносу з прямих виходів Q_i до лічильних входів C тригерів, створюючи саме тим режим додавання.

Вихід переповнення P здійснює в режимі додавання передачу в наступний розряд числа 10000, тобто 16, після 16-го імпульсу C та позику цього числа в режимі віднімання після 1-го імпульсу C .

Режим віднімання устанавлюється подачею високого рівня логічної одиниці на вхід дозволу віднімання та низького рівня – на вхід дозволу додавання ($V_v = 1$; $V_d = 0$). При цьому верхні кон'юнктори елементів $D2$, $D4$, $D6$, $D8$ закриті і не пропускають сигнали переносу з прямих виходів Q_i , забороняючи саме тим режим додавання. Нижні ж кон'юнктори елементів $D2$, $D4$, $D6$, $D8$ відкриті і пропускають сигнали позички з інверсних виходів $\overline{Q_i}$ до лічильних входів C тригерів, створюючи саме тим режим віднімання.

П р и м і т к а. Одночасна подача одиниць на входи V_d та V_v заборонена.

Схема реверсивного лічильника з двома входами (синхровходами) та одним керуючим входом наведена на рис. 10.35.

Тут C_d – шина додавання;

C_v – шина віднімання;

V_k – керуючий вхід;

\overline{R} – вхід скидання;

P – вихід переповнення.

Лічильник працює наступним чином.

Шини C_d та C_v створюють синхровходи, до яких надходять вхідні імпульси. У режимі додавання імпульси слід подавати на шину C_d , а в режимі віднімання – на шину C_v . При цьому вільна шина повинна мати нульовий рівень.

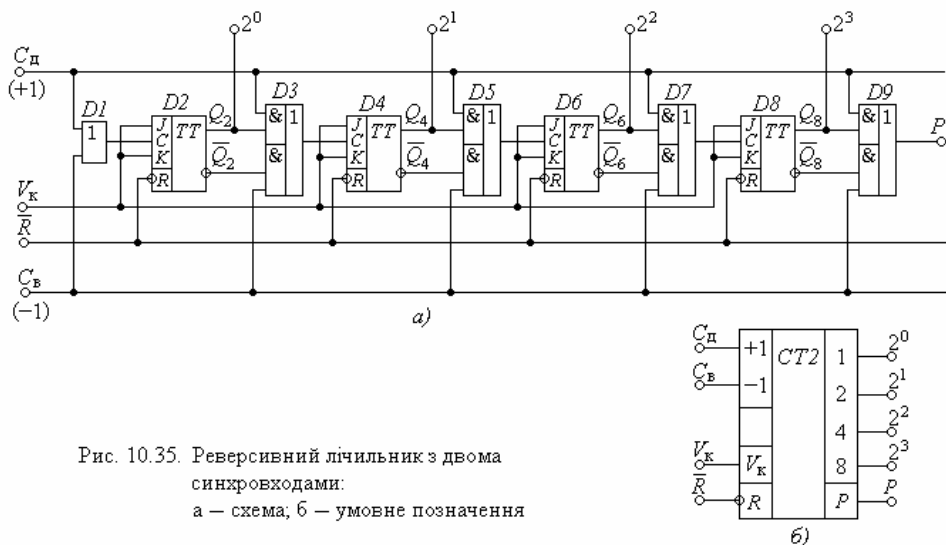


Рис. 10.35. Реверсивний лічильник з двома синхровходами:
а – схема, б – умовне позначення

Якщо на керуючому вході $V_k = 0$, то вхід C лічильника закритий, через що лічильник знаходиться в режимі зберігання інформації і вхідні імпульси C не сприймає.

Коли ж $V_k = 1$, то вхід C лічильника відкритий для вхідних імпульсів C , які треба рахувати.

Реверс здійснюється за допомогою п'яти логічних схем 2І-2АБО: $D1$, $D3$, $D5$, $D7$, $D9$.

Тригери $D2$, $D4$, $D6$, $D8$ надають відповідно схемам $D3$, $D5$, $D7$, $D9$ дозвіл на проходження імпульсів з шин або додавання C_d , або – віднімання C_b .

Для здійснення режиму додавання необхідно на шину C_b подати нульовий рівень, а до шини C_d підвести імпульси, які треба рахувати.

При $C_b = 0$ нижні кон'юнктори схем $D3$, $D5$, $D7$, $D9$ будуть закриті і тому не пропустять сигнали позички з інверсних виходів $\overline{Q_2}$, $\overline{Q_4}$, $\overline{Q_6}$, $\overline{Q_8}$. Верхні ж кон'юнктори схем $D3$, $D5$, $D7$, $D9$ будуть пропускати імпульси до входів C , якщо попередній тригер знаходиться в одиничному стані. У решті схема працює так само, як і звичайний двійковий підсумовувальний лічильник.

Для здійснення режиму віднімання необхідно на шину C_d подати нульовий рівень, а до шини C_b підвести імпульси, які треба рахувати.

У решті схема працює також, як і звичайний двійковий віднімальний лічильник.

Розглянуті тут схеми лічильників не вичерпують їхньої різноманітності. Крім розглянутих схемних рішень можуть бути й інші. У схемотехніці використовується досить значна кількість різноманітних схем, на яких реалізовані реверсивні лічильники.

10.4.8. Лічильники з довільним модулем лічби

У цифровій схемотехніці дуже часто виникає необхідність будувати лічильники з довільним модулем лічби $M \neq 2^m$. Так, наприклад, до таких лічильників відносяться досить розповсюджені десяткові, де $M = 10$. Такі лічильники використовуються частіше у тих випадках, коли з машиною спілкується людина, бо людина звикла до десяткової системи числення.

Розрядність лічильника за модулем $M \neq 2^m$ визначається за умови:

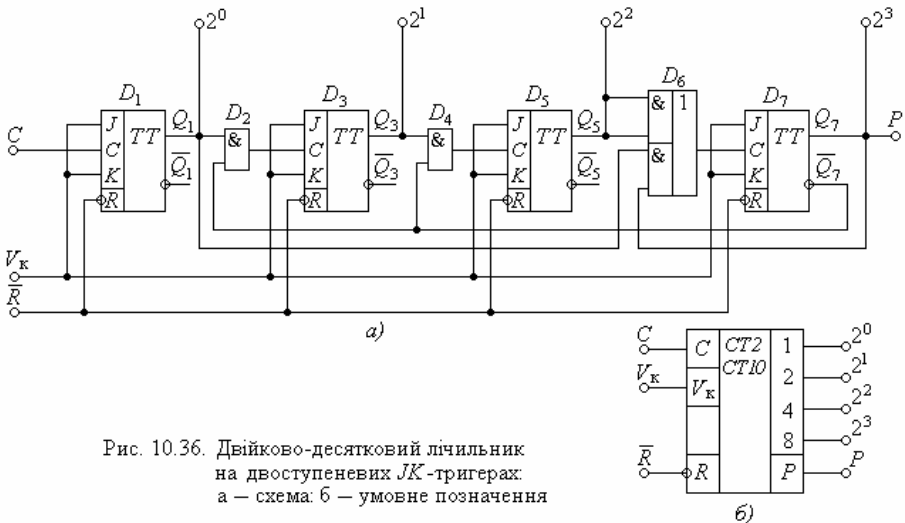
$$2^{m-1} < M < 2^m. \quad (10.16)$$

Так для десяткового лічильника з модулем лічби $M = 10$ потрібно $m = 4$ тригера, бо $2^3 < 10 < 2^4$. Отже, лічильник з модулем $M = 10$ має чотири розряди і при появі на його виходах числа $1010_2 = 10_{10}$ він скидається в нуль.

Такий лічильник має невикористані надлишкові стани. Дійсно, для двійкового чотирирозрядного лічильника $M = 2^4 = 16$. Тоді число надлишкових станів визначається як $n = 16 - 10 = 6$.

Щоб позбутися цих надлишкових для десяткового лічильника станів, застосовують зворотні зв'язки між виходами останнього тригера лічильника і входами тригерів тих розрядів, які у двійковому коді складають число надлишкових станів, тобто у нашому прикладі $n = 6_{10} = 0110_2$. Отже, сигнал зворотного зв'язку слід подавати на відповідні входи тригерів другого і третього розрядів. У синхронних лічильниках такий принцип побудови внутрішніх зв'язків називається *блокуванням переносу*.

На рис. 10.36 наведена схема асинхронного (последовного) двійково-десятькового підсумовувального лічильника, який побудований на синхронних двоступеневих *JK*-тригерах.



Тут зворотний зв'язок здійснюють логічні елементи $D2$, $D4$, $D6$. Елементи $D2$ та $D4$ забороняють зведення тригерів $D3$ та $D5$ після 8-го імпульсу, а $D6$ забороняє зведення тригера $D7$ до 8-го імпульсу.

Лічильник працює наступним чином.

Як видно з часової діаграми (рис. 10.37) і таблиці станів (табл. 10.9), підрахунок числа імпульсів до 8-го включно виконується в двійковому коді: 0000, 0001, 0010, ..., 1000.

Дійсно, доки тригер старшого розряду $D7$ перебуває у нульовому стані, на його виході $Q_7 = 1$. Це дає дозвіл на проходження імпульсів через логічні схеми $2I$ $D2$ та $D4$ з тригерів $D1$ та $D3$ відповідно на входи C тригерів $D3$ і $D5$.

Після надходження 8-го імпульсу повертаються в нульовий стан тригери перших трьох розрядів $D1$, $D3$ і $D5$ і зводиться тригер $D7$. При зведеному тригері $D7$ спрацьовування логічних елементів $D2$ і $D4$ заборонене подачею з виходу Q_7 логічного нуля, але з'являється дозвіл на спрацьовування нижнього логічного елемента $2I$ -АБО $D6$.

Після 9-го імпульсу зводиться тригер $D1$, який готує до проходження імпульсу скидання через схему $D6$ на тригер $D7$.

10-й лічильний імпульс скидає перший тригер $D1$, який скидає тригер $D7$ у нульовий стан. При цьому тригери $D3$ і $D5$ свій стан не змінюють і таким чином усі тригери лічильника знаходяться в нульовому стані.

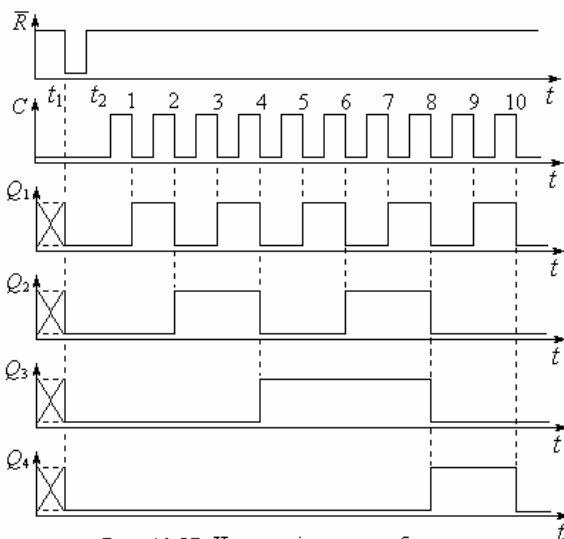


Рис. 10.37. Часова діаграма роботи двійково-десятькового лічильника

Таблиця 10.9
Стани тригерів двійково-десятькового лічильника

Число вхідних імпульсів	Виходи				Число в лічильнику
	Q_4	Q_3	Q_2	Q_1	
0	0	0	0	0	0
1	0	0	0	1	1
2	0	0	1	0	2
3	0	0	1	1	3
4	0	1	0	0	4
5	0	1	0	1	5
6	0	1	1	0	6
7	0	1	1	1	7
8	1	0	0	0	8
9	1	0	0	1	9
10	0	0	0	0	0

Імпульс переповнення лічильника з'являється після кожного десятого вхідного синхроімпульсу. З приходом 11-го імпульсу лічильник починає працювати з початку.

Роботу послідовного підсумовувального двійково-десятькового лічильника можна пояснити за допомогою станів тригерів (див. табл. 10.9).

Принципів побудови лічильників з довільним модулем лічби багато, але всі вони основані на вилученні надлишкових станів двійкового лічильника.

10.4.9. Збільшення розрядності лічильників. Подільники частоти

На практиці часто виникає необхідність використання модуля лічби понад 64. Це необхідно для лічильників великої місткості та дільників частоти з великим коефіцієнтом ділення.

Дійсно, лічильник з модулем лічби M одночасно є подільником частоти з таким же коефіцієнтом ділення M тому, що на виході останнього тригера лічильника сигнал буде мати частоту в M разів меншу за вхідну.

Проте промисловість випускає мікросхеми різноманітних лічильників, але з обмеженим модулем лічби. Їхній максимальний модуль лічби не перевищує $M = 64$.

Для збільшення модуля лічби стандартні лічильники з'єднують каскадно. Для каскадного з'єднання двох або більшого числа лічильників треба вибирати такі стандартні мікросхеми, які мають виходи переповнення P .

Коли на вхід лічильника надійде кількість імпульсів, яка дорівнює M , то на виході P з'являється імпульс переповнення, який передається в наступний лічильник. Так модуль лічби n каскадно з'єднаних лічильників дорівнює M^n .

На рис. 10.38 наведено каскадне з'єднання двох лічильників $D1$ та $D2$ з модулем лічби $M = 16$ кожного. Спільний модуль лічби становить $M_c = M^2 = 16^2 = 256$.

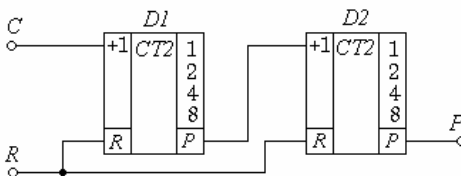


Рис. 10.38. Каскадне з'єднання лічильників

Схема працює наступним чином.

На 15-му імпульсі, що подається на вхід C першого лічильника $D1$, в ньому буде число 1111.

16-й імпульс повертає всі розряди $D1$ до нульового стану

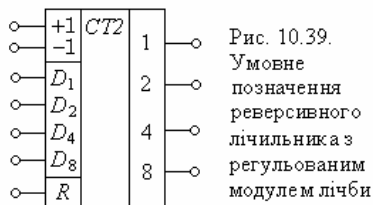
і формує імпульс переповнення на виході P , який використовується як вхідний імпульс другого лічильника $D2$. У лічильнику $D2$ буде число $1111 + 0001 = 10000_2 = 16_{10}$.

Таким чином, вхідний синхроімпульс для спрацьовування другого лічильника виникає з кожним 16-им вхідним імпульсом.

Каскадне з'єднання також може бути подільником частоти. При цьому метою є не тільки збільшення модуля лічби. Наприклад, в цифрових годинниках основним елементом є подільник частоти на 60.

Для реалізації такого подільника потрібно послідовно з'єднати лічильник за модулем 10 та лічильник за модулем 6. Так виникає потреба в лічильниках з довільним модулем лічби.

Для цього випускаються стандартні інтегральні схеми лічильників, які мають входи D_n установлювання необхідного модуля лічби (коефіцієнта ділення). Умовне позначення таких лічильників показано на рис. 10.39.



Установлюючи на входах $D1$, $D2$, $D3$, $D4$ двійкове число, можна одержувати модуль лічби лічильника (коефіцієнта ділення подільника частоти) від 2 до 16 з дискретністю в одиницю. Щодо серійних подільників частоти, то вони мають лише лічильний вхід та вихід переносу без виводів виходів тригерів лічильника.

10.5. Регістри

10.5.1. Класифікація регістрів

Регістри називаються послідовнісні пристрої, які виконують функцію приймання, запам'ятовування і передавання інформації. Інформація в регістрі зберігається за видом числа (слова), зображеного комбінацією сигналів 0 та 1. Кожному розряду числа, що записане в регістр, відповідає свій розряд, побудований, на базі тригерів *RS*-, *D*- або *JK*- типу.

На регістрах можна виконувати операції перетворення інформації з одного виду на інший, наприклад, послідовного коду на паралельний. Регістри можуть використовуватися для виконання деяких логічних операцій, наприклад, логічне порозрядне множення або ділення.

Основною класифікаційною відзнакою, за якою відрізняють регістри, є спосіб запису і зчитування двійкової інформації. За цією відзнакою розрізняють три типи регістрів: послідовні, паралельні та паралельно-послідовні.

У *послідовних регістрах* запис і зчитування інформації здійснюються послідовно за часом, тобто почергово. Вони можуть мати як послідовні виходи, так і паралельні. Інформація записується шляхом послідовного зсуву числа синхроімпульсами. Тому регістри послідовного типу носять назву *регістрів зсуву*.

У *паралельних регістрах*, які мають паралельні входи та виходи, запис інформації виконуються одночасно в усіх розрядах за один такт керування. Такі регістри називають *регістрами пам'яті*.

Паралельно-послідовні регістри мають або паралельний вхід та послідовний вихід, або послідовний вхід та паралельний вихід. У перших регістрах інформація записується одночасно по паралельних входах, а зчитується почергово, в других – записується почергово, а зчитується

паралельно. Паралельно-послідовні регістри можуть бути як регістрами зсуву, так і регістрами пам'яті.

За способом приймання та передавання інформації послідовні, паралельні та послідовно-паралельні регістри поділяються на чотири типи:

- регістри типу *SISO* – з послідовним входом та послідовним виходом;
- регістри типу *SIPO* – з послідовним входом та паралельним виходом;
- регістри типу *PISO* – з паралельним входом та послідовним виходом;
- регістри типу *PIPO* – з паралельними входом і виходом.

Найбільш універсальними є регістри, які мають у своєму складі разом послідовні і паралельні входи й виходи. Такі регістри називаються регістрами з *послідовно-паралельним прийманням* інформації та *послідовно-паралельним передаванням*.

10.5.2. Послідовні регістри

Послідовні регістри, або регістри зсуву, призначені для виконання операцій зсуву двійкової інформації під дією зовнішніх синхроімпульсів.

Основною класифікаційною відзнакою регістрів зсуву є спосіб керування зсувом числа. Ця відзнака припускає поділ регістрів зсуву за числом тактових синхроімпульсів, необхідних для виконання операції зсуву інформації на один розряд.

Бувають регістри зсуву одноктактової та багатотактової дій. Особливість перших полягає в тому, що зсув числа на один розряд виконується за допомогою одного синхроімпульсу. У багатотактних регістрах зсув числа на один розряд здійснюється, як мінімум, за два імпульси зсуву.

У свою чергу обидва види регістрів класифікуються за трьома ознаками: видом електричного зв'язку між розрядами, напрямом зсуву та способом приймання і передавання інформації.

За *видом електричного зв'язку* між розрядами послідовні регістри поділяються на *однопровідні*, *двопровідні* та регістри зі *змішаним типом зв'язків*. Однопровідні регістри будуються на тригерах *D*-типу, двопровідні – на *RS*- або *JK*-тригерах, а треті – на сумісно використаних тригерах *RS*- і *D*- або *JK*- і *D*- типів.

За напрямом зсуву регістри відрізняються за трьома ознаками:

- регістри, що виконують зсув числа від молодших до старших розрядів називаються регістрами *зсуву вправо*;
- регістри, що виконують зсув числа від старших до молодших розрядів називаються регістрами *зсуву вліво*;
- регістри, що виконують зсув як вправо, так і вліво – *реверсивні регістри зсуву*.

Основне призначення регістрів послідовної дії – це зсув інформації, яка подається на вхід у двійковому коді. В якості таких регістрів можна використовувати типи *SISO* та *SIPO*, тобто регістри з послідовними входами.

На рис. 10.40 наведені схема та умовне позначення чотирирозрядного одноктактового регістра зсуву вправо на *D*-тригерах.

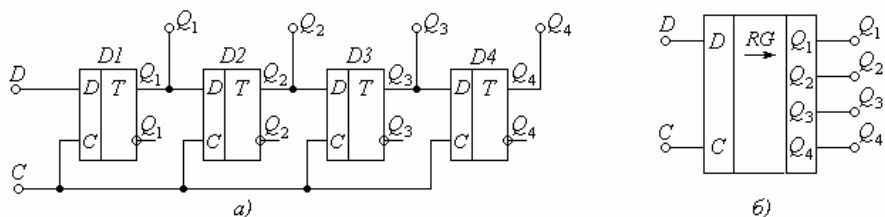


Рис. 10.40. Однотактовий регістр зсуву вправо: а – схема; б – умовне позначення

Регістр має один інформаційний вхід D , на який надходить інформація у вигляді послідовності імпульсів, і тактовий вхід C , на який подаються синхронізуючі імпульси.

Регістр зсуву вправо працює наступним чином.

На паралельних виходах регістра $Q_1 \dots Q_4$ інформація з'являється одночасно, а на послідовному виході, яким є Q_4 , тільки по черзі по одному біту.

Перший тригер $D1$ відповідає за молодший розряд кожного слова інформації, а $D4$ – за старший, якщо вважати, що інформація надходить, починаючи з молодшого розряду.

З надходженням черги синхронізуючих імпульсів одночасно на тактові входи C усіх D -тригерів з кожним фронтом C вихід кожного наступного тригера набуватиме стану попереднього тригера.

Регістр, що має чотири тригера або чотири розряди, може прийняти інформацію, яка складається з чотирьох бітів.

Принцип дії регістра зсуву вправо ілюструє часова діаграма його роботи (рис. 10.41).

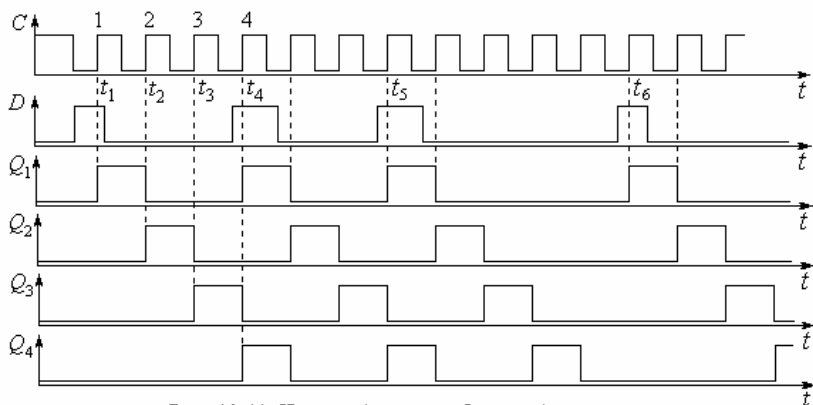


Рис. 10.41. Часова діаграма роботи регістра зсуву вправо

Для записування і зчитування інформації у даному регістрі потрібно мати чотири такти синхроімпульсів (за числом розрядів регістра).

Зчитування інформації з регістра, яка після припинення подавання тактових імпульсів зберігатиметься на його виходах Q_1 , Q_2 , Q_3 , і Q_4 , можна

виконати в паралельному коді одночасно з чотирьох означених виходів або в послідовному коді, з виходу останнього тригера $D4$.

Нехай на момент t_1 на інформаційний вхід D регістра надійшла одиниця. Вона підготує до зведення тільки тригер 1-го молодшого розряду $D1$. Входи D тригерів $D2$, $D3$ і $D4$ залишаються під нульовими потенціалами.

Фронт 1-го синхроімпульсу C в момент t_1 зводить тригер $D1$ і на його виході буде $Q_1 = 1$. Ця інформація передається до входу D тригера $D2$ і одиничний потенціал на вході D готує $D2$ до зведення.

2-й синхроімпульс в момент t_2 зводить тригер $D2$ і змінює потенціал на його виході Q_2 з нуля на одиницю.

3-й приходом 3-го синхроімпульсу в момент t_3 на виході Q_3 з'являється рівень логічної одиниці.

4-й синхроімпульс в момент t_4 зводить тригер $D4$ і на його виході Q_4 потенціал дорівнює 1.

Таким чином, у розглянутій схемі (див. рис. 10.40) здійснюється зсув логічної одиниці, що надійшла на вхід D регістра з молодшого розряду до старшого, тобто вправо.

Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли до входу D регістра в моменти t_4 , t_5 , t_6 . Такий регістр носить назву регістра зсуву вправо.

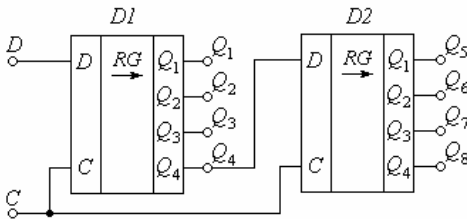


Рис. 10.42. Каскадування регістрів зсуву вправо

Для збільшення місткості регістрів використовують їхнє каскадування (рис. 10.42), в якому вихід останнього розряду попереднього регістра $D1$ з'єднують з входом D наступного регістра $D2$, а входи C об'єднують у шину. При цьому ті ж самі виходи наступного регістра

Q_1 ; Q_2 ; Q_3 ; Q_4 мають у з'єднанні іншу розрядність Q_5 ; Q_6 ; Q_7 ; Q_8 , тобто після розряду Q_4 буде розряд Q_5 , потім Q_6 і т.д.

Розглядаючи типи регістрів, слід зауважити на те, що зсув інформації може бути як вправо, так і вліво. Це залежить від того, як надходить інформація послідовного двійкового числа на вхід D регістра: починаючи з молодшого або зі старшого розряду.

На рис. 10.43 наведена схема чотирирозрядного регістра зсуву вліво. Для здійснення зсуву вліво вхід D регістра надходить до останнього тригера $D4$, а вихід кожного наступного тригера з'єднаний з D -входом попереднього.

Принцип дії регістра зсуву вліво ілюструє часова діаграма його роботи (рис. 10.44).

Регістр зсуву вліво працює наступним чином.

Нехай на момент t_1 до інформаційного входу D регістра надійшла одиниця. Вона підготує до зведення тільки тригер старшого розряду $D4$. Входи D тригерів $D1$, $D2$, $D3$ залишаються під нульовими потенціалами.

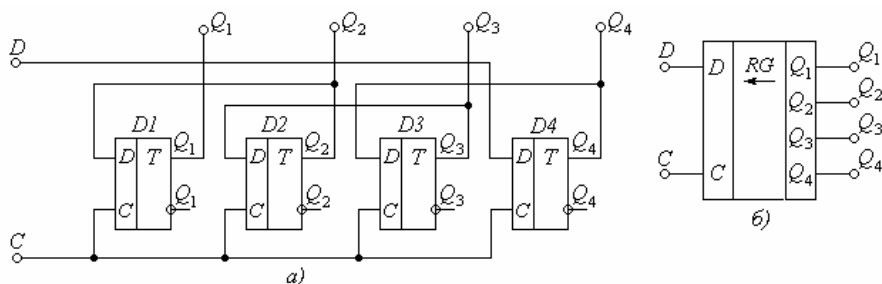


Рис. 10.43. Однотактовий регістр зсуву вліво: а — схема, б — умовне позначення

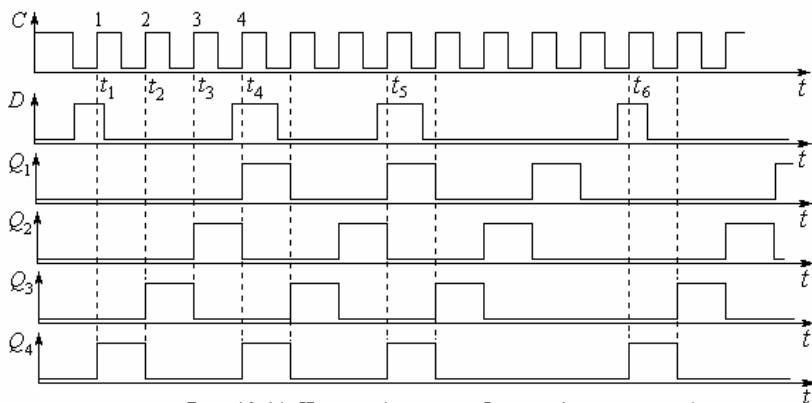


Рис. 10.44. Часова діаграма роботи регістра зсуву вліво

Фронт першого синхроімпульсу C в момент t_1 зводить тригер старшого розряду $D4$ і на його виході буде $Q_4 = 1$. Ця інформація передається до входу D тригера $D3$ і одиничний потенціал на вході D підготує $D3$ до зведення.

2-й синхроімпульс в момент t_2 зводить тригер $D3$ і змінює потенціал на його виході Q_3 з нуля на одиницю.

З приходом 3-го синхроімпульсу в момент t_3 на виході Q_2 з'являється рівень логічної одиниці.

4-й синхроімпульс в момент t_4 зводить тригер $D1$ і на його виході Q_1 потенціал дорівнює 1.

Таким чином, у розглянутій схемі (рис. 10.43) здійснюється зсув логічної одиниці, що надійшла на вхід D регістра зі старшого розряду до молодшого, тобто вліво.

Аналогічним чином записуються та зсуваються логічні одиниці, що надійшли до входу D регістра в моменти t_4, t_5, t_6 .

Щодо каскадування регістрів зсуву вліво (рис. 10.45), то збільшення їхньої місткості здійснюється нарощуванням молодших розрядів, тобто підключенням до регістра $D2$ регістра $D1$.

При цьому вхід D регістра $D1$ підключається до виходу молодшого розряду Q_5 регістра $D2$.

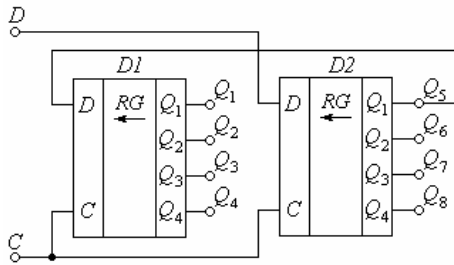


Рис. 10.45. Каскадування регістрів зсуву вліво

відбуваються одночасно. Це може привести до того, що попередній тригер вже спрацював, а переписати з нього інформацію наступний тригер ще не встиг. Тому функціональна надійність *однотактового* регістра зсуву в деяких випадках (наприклад, наявність завад) може бути недостатньою. Цей недолік зумовлений спільною шиною синхроімпульсів C , через що запуск усіх тригерів здійснюється одночасно.

Згаданий недолік усунений в регістрах зсуву *багатотактової* дії, в яких кожний тригер запускається своїм окремим синхроімпульсом C_i . Тому і запис інформації наступним тригером з попереднього, і спрацювання попереднього тригера рознесені за часом. Завдяки цьому функціональна надійність багатотактового регістра зсуву вища однотактового.

Схема багатотактового трирозрядного регістра зсуву вправо на тригерах D -типу наведена на рис. 10.46.

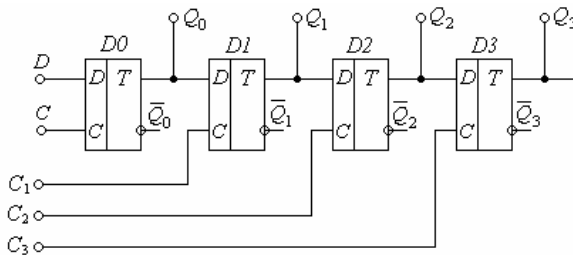


Рис. 10.46. Багатотактовий регістр зсуву вправо

Крім розрядних тригерів $D1$, $D2$, $D3$ регістр містить додатковий тригер $D0$ зі своїм синхровходом C для запису інформації D .

Кожний з розрядних тригерів $D1$, $D2$, $D3$ запускається своїм синхровходом відповідно C_1 , C_2 , C_3 , через що записування і зчитування інформації рознесені за часом і не зумовлюють розрядних перегонів. Записування відбувається з приходом першого синхроімпульсу на вхід синхронізації C_1 першого тригера $D1$. Регістр трирозрядний, бо має три основних тригери: $D1$, $D2$, і $D3$.

Зсув відбувається в наступному такті за допомогою послідовно сфор-

Перевагою обох розглянутих однотактних регістрів зсуву є відносна простота, бо на один двійковий розряд крім єдиного тригера нічого більше не треба.

Недоліком є явище між каскадних перегонів, яке полягає в тому, що запис інформації в наступний розряд (тригер) і спрацювання попереднього тригера, з якого переписується інформація,

мованих синхроімпульсів, які такт за тактом з'являються на синхровходах C_1, C_2, C_3 .

Перший розряд інформації зсувається до тригера $D3$ за три такти. Загальне число синхроімпульсів для зсуву першого розряду інформації дорівнює 4 (1 запис + 3 зсуви). Другий розряд інформації другим синхроімпульсом C записується у додатковий тригер $D0$, а за допомогою двох синхроімпульсів (C_0 та C_1) пересувається в тригер $D1$.

Пересув другого розряду інформації виконується за дією трьох синхроімпульсів, а третього – чотирьох синхроімпульсів.

Аналіз кількості імпульсів дозволяє зробити висновок, що для записування повного n -розрядного слова або зсуву n -розрядів в регістрах даного типу потрібно мати імпульсів зсуву:

$$n * n = n^2. \quad (10.17)$$

Підвищити швидкодію регістрів багатотактової дії можна шляхом розбивки регістра на окремі групи.

Недоліком регістрів зсуву багатотактової дії є не тільки мала швидкодія, а й складна схема керування зсувом. Однак наявність багатотактової схеми зсуву виключає явище міжкаскадних перегонів і збільшує функціональну надійність регістра.

Існують *двонаправлені* або *реверсивні* регістри зсуву, які здатні зсувати записану інформацію і вправо, і вліво.

Промисловістю випускаються також універсальні регістри, які мають і паралельні, і послідовний входи.

На рис. 10.47 наведене умовне позначення універсального регістра.

Тут:

D_0 – послідовний вхід, використання якого зумовлює зсув;

$D_1 \dots D_4$ – паралельні входи, через які інформація записується паралельно;

C_1 – вхід керування типом регістра (паралельний або регістр зсуву);

C_2 – тактовий вхід;

V – керуючий вхід, рівнем якого (0 або 1) устанавлюється напрям зсуву;

$Q_1 \dots Q_4$ – паралельні виходи.

Інформацію з виходів можна знімати або в паралельному коді з виходів $Q_1 \dots Q_4$, або в послідовному коді з виходу Q_4 .

Щодо застосування регістрів зсуву, то воно досить різноманітне. На їхній базі можна будувати функціональні вузли. Зсув інформації на один розряд вправо або вліво виконує арифметичні операції відповідно або ділення, або множення на два.

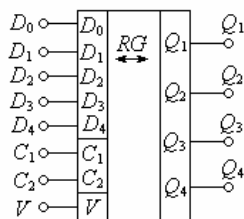


Рис. 10.47. Умовне позначення універсального регістра зсуву

Регістр зсуву може виконувати функцію лічильника, якщо на його послідовний вхід D подавати чергу одиниць. На базі регістрів зсуву можна будувати цифрові лінії затримки.

Регістри зсуву можуть виконувати роль лічильника, який відображує число імпульсів у коді “1 із n ”, які надійшли на його вхід, станом одиниці на лінійній шкалі. Це, наприклад, лампочка, яка світиться, вказуючи номер поверху в ліфті. Якщо на вхід зсуву такого лічильника подати імпульси тактового генератора, то можна одержати прилад, який розподіляє опорні тактові імпульси по декількох фазах синхронізації.

У системах радіозв'язку та радіолокації регістри зсуву застосовують для множення та ділення двійкових чисел, в розподільниках і формувачах імпульсів та в інших пристроях РЕА.

10.5.3. Паралельні регістри

Паралельні регістри або *регістри пам'яті* – це багаторозрядні регістри типу *PIPO* паралельної дії з паралельними входами та паралельними виходами, в яких кількість розрядів визначається числом тригерів, на яких будується регістр.

Регістри пам'яті – це накопичувальні регістри. Їхнє основне призначення – збирання двійкової інформації невеликого обсягу.

Перший молодший розряд числа записується та зберігається у першому молодшому розряді регістра, другий – у другому розряді і т.д. Старший розряд регістра приймає старший розряд числа.

Регістри пам'яті будуються на тригерах різноманітних типів.

Однофазні паралельні регістри одноктактової дії можна побудувати, наприклад, на D -тригерах, кількість яких залежить від числа входів регістра.

На рис. 10.48 наведена схема 4-розрядного одноктактового паралельного регістра пам'яті, яка побудована на чотирьох D -тригерах.

Запис числа $A (a_1, a_2, a_3, a_4)$ виконується за наявності синхро-імпульсу

C без попереднього скидання тригерів у стан нуля.

Кожен розряд двійкового числа $A (a_1, a_2, a_3, a_4)$ подається на інформаційний вхід D окремого тригера $D_1 \dots D_4$.

Інформація записується в регістр тільки з появою фронту синхроімпульсу C , а зчитувати її з виходів Q кожного тригера можна в будь-який час після завершення процесу запису.

Якщо на вхід синхроімпульсів C поданий рівень логічного нуля, то регістр знаходиться

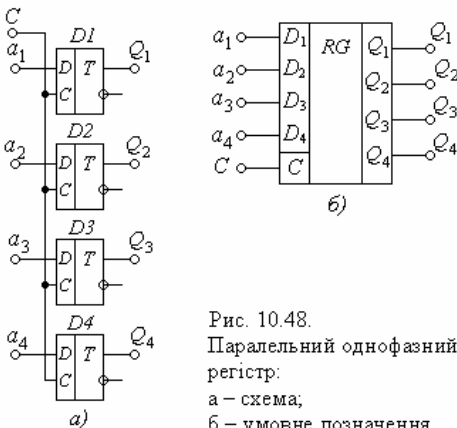


Рис. 10.48.
Паралельний однофазний
регістр:
а – схема;
б – умовне позначення

в стані збереження записаної інформації.

Синхронізуються регістри рівнями 1 або 0, фронтом чи зрізом синхросигналу, залежно від застосованого тригера. Інформацію про полярність імпульсу синхронізації можна одержати у довідниках. У нашому випадку при застосуванні D -тригерів синхронізація відбувається фронтом імпульсу C .

Існують регістри, в яких зчитування інформації з виходів також синхронізується. Однак при цьому запис та зчитування обов'язково мають бути рознесені за часом.

Досить часто виникає задача запису двох і більше чисел. У цьому разі треба мати додаткову ємність регістра, додаткові інформаційні входи і додаткові входи для синхроімпульсів.

Класифікація регістрів пам'яті здійснюється за трьома ознаками:

- однофазні паралельні регістри одноктактової дії;
- однофазні паралельні регістри двотактової дії;
- парафазні паралельні регістри.

Однофазні паралельні регістри одноктактової дії досить економічні та надійні. Швидкодія цих регістрів більша приблизно вдвічі за однофазні регістри двотактової дії, але при цьому ж порівнянні апаратні втрати на реалізацію одноктактних регістрів більші.

Серед регістрів двотактової дії найбільш економічними за числом компонентів вважаються регістри, що побудовані на синхронних тригерах CSR -типів або двотактових D -тригерах.

Регістри даного типу обов'язково мають вхід R (або V) установлення тригерів у стан 0. Тому для запису числа треба сформувати два синхросигнали: перший подається на вхід R (або V) для скидання всіх тригерів, а другий – на вхід C для запису інформації, що присутня на інформаційних входах D . Умовне позначення такого регістра наведено на рис. 10.49.

Парафазні паралельні регістри за принципом дії є одноктактовими і будуються на синхронних тригерах CSR -типу. Число подається на регістр одночасно по двох каналах: прямому та інверсному.

Синхроімпульс запису C відкриває одно-часно вентиля запису прямого та інверсного входів. Попереднє скидання тригерів такого регістра в нуль вимагає додаткового часу, що зменшує швидкодію регістра. Парафазні паралельні регістри не відрізняються широкою різноманітністю схем. Усі парафазні паралельні регістри є одноктактовими і виконуються на однакових тригерах. При порівнянні однофазних та парафазних регістрів слід відзначити, що однофазні вважаються найбільш ефективними в інтегральному виконанні тому, що мають у два рази менше інформаційних входів.

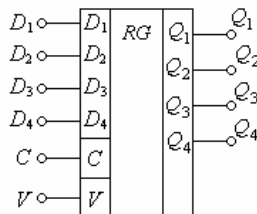


Рис. 10.49. Умовне позначення однофазного регістра двотактової дії

Розрядність регістрів нарощують збільшенням числа тригерів у схемі регістра. Розрядність регістрів можна збільшити їхнім каскадуванням.

Контрольні питання

- 10.1. Що таке тригер?
- 10.2. Який тригер називається синхронним, а який – асинхронним?
- 10.3. Що таке інформаційні та керуючі входи тригера?
- 10.4. Що таке *RS*-тригер і на яких елементах його можна реалізувати?
- 10.5. Що таке *D*-тригер і на яких елементах його можна реалізувати?
- 10.6. Роздільний запуск *D*-тригера.
- 10.7. Лічильний запуск *D*-тригера.
- 10.8. Одноступеневий *JK*-тригер.
- 10.9. Двоступеневий *JK*-тригер. Від яких фронтів вхідного імпульсу спрацьовує кожний ступінь двоступеневих тригерів?
- 10.10. Тригер Шмітта.
- 10.11. Захист тригерів буфером від дії завад.
- 10.12. Захист тригерів від впливу деренчання контактів, що запускають тригери.
- 10.13. Що таке лічильник?
- 10.14. Що таке модуль лічби?
- 10.15. Які лічильники називаються послідовними.
- 10.16. Що таке реверсивний лічильник?
- 10.17. Як перетворити підсумовувальний лічильник на віднімальний?
- 10.18. Підсумовувальний та віднімальний лічильники на *D*-тригерах.
- 10.19. Підсумовувальний та віднімальний лічильники на *JK* –тригерах.
- 10.20. Що таке подільник частоти?
- 10.21. Паралельні лічильники та їхні переваги і недоліки за порівнянням з послідовними.
- 10.22. Паралельно-послідові лічильники.
- 10.23. Реверсивні лічильники з двома керуючими входами.
- 10.24. Реверсивні лічильники з двома синхровходами.
- 10.25. Лічильники з довільним модулем лічби та їх застосування.
- 10.26. Збільшення розрядності лічильників.
- 10.27. Призначення регістрів зсуву.
- 10.28. Регістри зсуву вправо.
- 10.29. Регістри зсуву вліво.
- 10.30. Паралельні регістри.

Рекомендована література

- 10.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 228 – 275.
- 10.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 97 – 387.

10.3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 540 – 569.

10.4. Рицар Б.Є. Цифрова техніка / Б.Є. Рицар – К.: НМК ВО, 1990. – 371 с.

10.5. Букреев И.Н. Микроэлектронные схемы цифровых устройств / И.Н. Букреев, В.И., Горячев, Б.М. Мансуров– М.: Радио и связь, 1990. – 414 с.

Розділ 11

КОМБІНАЦІЙНІ ПРИСТРОЇ

11.1. Загальні відомості

Комбінаційні пристрої – це автомати без пам'яті. В комбінаційних пристроях кожний символ на виході (логічний нуль або логічна одиниця) визначається станом входів тільки у цю мить і не залежить від того, які рівні діяли раніше, тобто комбінаційні пристрої не зберігають відомості про їхню минулу роботу.

До комбінаційних пристроїв належать логічні елементи з різними логічними та функціональними властивостями, починаючи від самих простих до самих складних. Здебільшого розповсюдження знайшли наступні:

- шифратори;
- дешифратори;
- перетворювачі кодів;
- арифметико-логічні пристрої;
- цифрові суматори;
- мультиплексори;
- демультимплексори;
- цифрові компаратори;
- програмовані логічні матриці;
- драйвери.

11.2. Шифратори

Шифратори виконують перетворення (шифрування) алфавітно-цифрової або символної інформації, яку подано кодом "1 з n ", наприклад, десятковим у більш компактний код, наприклад, двійковий. Кодова комбінація на вході шифратора має тільки *один* активний стан однієї змінної x_i вхідного набору $\{x_1, x_2, \dots, x_{n-1}\}$. Вихід шифраторів, як правило, паралельний і складається з m розрядів. Число виходів m однозначно зв'язане з числом входів n . Якщо $n = 2^m$, тобто використаний повний набір вихідних і вихідних комбінацій, то такий шифратор називають *повним*. Наприклад, шифратор 8 – 3 є повним, бо він реалізує повний набір можливих комбінацій змінних x_i ($n = 8$) у повний вихідний набір y_i ($m = 3$), при цьому виконується рівність $2^3 = 8$.

У неповному шифраторі число входів n не відповідає числу всіх можливих вихідних комбінацій 2^m , причому завжди $n < 2^m$, що відповідно утворює певне число невикористаних вихідних наборів. Наприклад, шифратор 10 – 4, що використовується для кодування десяткового коду у двійково-десятиковий код 8-4-2-1, є неповним, бо з можливого числа комбінацій $2^4 = 16$ використовується лише 10, а саме (0 – 9).

Шифратори поділяються на *прості* та *пріоритетні*.

Прості шифратори реалізують обов'язкову відповідність m -розрядного числа від тільки одного активного входу. Вони не допускають одночасної активізації декількох входів, що може мати місце, наприклад, при натисканні декількох клавіш на клавіатурі, яка підключена до входу шифратора. Щоб шифратор реагував тільки на один активний вхід навіть при кількох активних входах, його схему будують за пріоритетним принципом.

Пріоритетний принцип побудови шифратора дозволяє одночасно активізувати декілька входів. Реакція шифратора при цьому може бути різною, бо будуються вони за трьома пріоритетними принципами.

Перші шифратори реагують лише на перший за часом сигнал, який надходить з будь-якого входу раніше за усіх.

Другі шифратори мають програмовані пріоритетні входні комбінації. Якщо на вхід такого шифратора надходить група символів серед яких один задовольняє умовам пріоритету, то шифратор буде працювати за алгоритмом, який означений пріоритетним символом. На зайві комбінації шифратор не реагує.

У пріоритетному шифраторі третього типу вихідне число завжди відповідає тому активному входу, який має найбільший номер набору. Наприклад, при входному числі $\{0111\}$, коли рівень логічної одиниці одночасно присутній на перших трьох входах $x_1 = 1$, $x_2 = 1$, $x_3 = 1$, на виході пріоритетного шифратора установиться двійкове число $\{0100\}$, що відповідає змінній $x_3 = 1$, а активні входи x_1 та x_2 ігноруються.

За принципом побудови схеми прості шифратори поділяються на лінійні та пірамідалні. Лінійні шифратори будуються за лінійним принципом, коли всі однойменні входи логічних елементів підключають до однієї спільної шини. Тому для реалізації лінійного шифратора потрібно мати багатовходові логічні елементи, число входів яких дорівнює розрядності m . Лінійні шифратори мають досить високу швидкодію.

Розглянемо принцип побудови лінійного повного шифратора 8-3, стани входів і виходів якого описує таблиця станів (табл. 11.1).

Таблиця 11.1

Стани повного лінійного шифратора 8-3

Число	Входи							Виходи			
	x_0	x_1	x_2	x_3	x_4	x_5	x_6	x_7	y_3	y_2	y_1
0	1	0	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	1
2	0	0	1	0	0	0	0	0	0	1	0
3	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	1	0	0	0	1	0	0
5	0	0	0	0	0	1	0	0	1	0	1
6	0	0	0	0	0	0	1	0	1	1	0
7	0	0	0	0	0	0	0	1	1	1	1

З табл. 11.1 видно, що шифратор має бути побудованим за трьома (за кількістю виходів y) схемами логічного додавання АБО. Ці схеми повинні мати стільки входів, скільки логічних одиниць у відповідному стовпчику у табл. 11.1. Оскільки в кожному стовпчику виходів по чотири логічних одиниці, то схеми АБО мають бути чотиривихідними.

Для складання схеми знайдемо рівняння кожного виходу y_1 , y_2 , y_3 за допомогою табл. 11.1 наступним чином. Стан кожного виходу наведемо у вигляді суми станів тих входів x_i , які мають значення 1 у рядку з одиничним виходом y_k .

$$\begin{aligned} y_1 &= x_1 \vee x_3 \vee x_5 \vee x_7 = x_1 + x_3 + x_5 + x_7 \\ y_2 &= x_2 \vee x_3 \vee x_6 \vee x_7 = x_2 + x_3 + x_6 + x_7 \\ y_3 &= x_4 \vee x_5 \vee x_6 \vee x_7 = x_4 + x_5 + x_6 + x_7 \end{aligned} \quad (11.1)$$

Дійсно одиницю містять чотири двійкові числа: $001_2 = 1_{10}$; $011_2 = 3_{10}$; $101_2 = 5_{10}$; $111_2 = 7_{10}$.

Для розробки схеми шифратора використовуємо матрицю, тобто систему ортогональних ліній (рис. 11.1). Матрична схема досить наочна, бо позбавлена від перегонів ліній зв'язку.

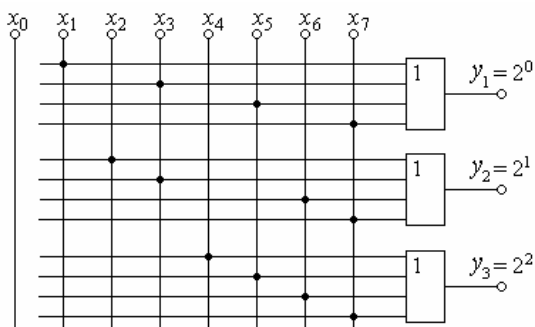


Рис. 11.1. Схема повного шифратора 8-3

Схема працює наступним чином.

При вхідному числі 0 одиничним є лише один вхід шифратора $x_0 = 1$. При цьому решта входів нульова. Підставляючи всі $x_i = 0$ у рівняння (11.1), знаходимо, що $y_3 = 0$; $y_2 = 0$; $y_1 = 0$, тобто вихідне число дорівнює 000.

При вхідному числі 1 одиничним є вхід шифратора $x_1 = 1$. При цьому решта входів нульова, через що $y_3 = 0$; $y_2 = 0$; $y_1 = 1$, тобто вихідне число дорівнює 001.

Як видно з рівнянь (11.1), табл. 11.1 і схеми (рис. 11.1), взагалі на першому виході шифратора $y_1 = 2^0$ сигнал логічної одиниці з'являється тоді, коли на один з входів або x_1 , або x_3 , або x_5 , або x_7 подано логічну одиницю.

Другий вихід $y_2 = 2^1 = 1$ шифратора буде одиничним тоді, коли логічна одиниця присутня на одному із входів або x_2 , або x_4 , або x_6 , або x_7 .

Самий старший вихідний розряд $y_3 = 2^2 = 4$ буде одиничним, якщо на одному з входів шифратора або x_4 , або x_5 , або x_6 , або x_7 діє логічна одиниця.

Входи саме шифратора зображені вертикальними лініями, а входи логічних схем АБО – горизонтальними.

Входи кожної схеми АБО мають бути з'єднані з тими входами шифратора, які є в функціях (11.1).

Роботу схеми шифратора пояснюють таблиця станів (табл. 11.1) і рівняння (11.1).

Для лінійних шифраторів характерна незадіяна змінна x_0 . Це означає, що за будь-якого сигналу на вході x_0 , на виході шифратора не буде жодних змін. Однак, така ситуація на практиці завжди враховується і тому передбачається обов'язкова наявність активного входу x_0 , хоча він не використовується.

Для розглянутого шифратора (рис. 11.1) присутність двох або більшого числа активних входів заборонена, бо він перетворює код "1 із n " і відноситься до типу простих неперіоритетних лінійних шифраторів.

Шифратори широко використовуються в цифрових системах для перетворення вхідних десяткових чисел у двійкову форму. За допомогою шифраторів кодуються різні символи (в тому числі й літери). Серійні шифратори можна зустріти в складі мікросхем багатьох серій. Періоритетні шифратори найбільш поширені, бо на них, крім основних, можна виконувати функції простих шифраторів.

В інтегральній схемотехніці частіше зустрічаються шифратори, що перетворюють сигнали низького рівня на одному з інформаційних входів \bar{x}_i в обернений двійковий код на виході. Це дає можливість діагностики шифратора в початковому стані, в якому на виходах мають бути тільки логічні одиниці. Поява на будь-якому виході логічного нуля свідчить про несправність шифратора.

Щодо неповного шифратора, то його умовне позначення наведено на рис. 11.2.

Крім інформаційних входів $\bar{x}_0 \dots \bar{x}_9$ шифратор має вхід дозволу \bar{E}_1 . При $\bar{E}_1 = 1$ можна змінити комбінацію на входах без зміни числа на виходах. \bar{E}_0 – вихід сигналу дозволу. При $\bar{E}_0 = 0$ фіксуються високі рівні на всіх інформаційних виходах.

Вихід групового сигналу \overline{GS} свідчить про наявність хоча б одного активного низького рівня на виході. За допомогою виходу \bar{E}_1 та виходу \bar{E}_0 можна нарощувати розрядність шифратора. При каскадному з'єднанні шифраторів слід вихід \bar{E}_0 попереднього каскаду з'єднати зі входом \bar{E}_1 наступного каскаду.

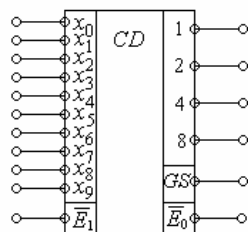


Рис. 11.2. Умовне позначення неповного шифратора 9-4

11.3. Дешифратори

Дешифраторами називаються комбінаційні логічні структури, які призначені для перетворення (дешифрації) коду, що надходить до входу, в символну або алфавітно-цифрову інформацію, тобто в код "1 з n ", в якому сигнал з'являється лише на одному із виходів. Дешифратори за порівнянням з шифраторами виконують обернене перетворення.

Дешифратори, як і шифратори, бувають повними та неповними.

Розглянемо принцип побудови повного лінійного дешифратора 2 – 4 на логічних схемах І. Такий дешифратор має 4 двовходові схеми логічного множення І, які виявляють одиничні стани всіх входів.

Якщо вхідне число подається двійковим кодом, то на входах різних схем І буде комбінація прямих та інверсних вхідних змінних. Через це входи дешифратора повинні мати інвертори.

Знайдемо логічний вислів кожного виходу.

Вхідне число $x_2 = 0$; $x_1 = 0$ схема І може виявити, якщо до її входів підвести інверсні значення \bar{x}_2 та \bar{x}_1 . Тоді $y_0 = \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1$. Таким чином, рівняння станів виходів дешифратора є логічними добутками станів входів, у які підставляємо прямий стан входу, якщо він одиничний, та – інверсний, якщо він нульовий.

Отже, стани дешифратора 2 – 4 на схемах І описуються наступними висловленнями:

$$\begin{aligned} y_0 &= \bar{x}_2 \wedge \bar{x}_1 = \bar{x}_2 \cdot \bar{x}_1, \\ y_1 &= \bar{x}_2 \wedge x_1 = \bar{x}_2 \cdot x_1, \\ y_2 &= x_2 \wedge \bar{x}_1 = x_2 \cdot \bar{x}_1, \\ y_3 &= x_2 \wedge x_1 = x_2 \cdot x_1. \end{aligned} \quad (11.2)$$

Схему дешифратора розробляємо у виді матриці (рис. 11.2). Входи схем 2І $D3...D6$ з'єднуємо з тими входами дешифратора, які є в рівняннях (11.2).

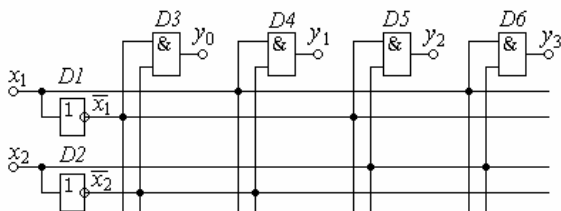


Рис. 11.12. Схема лінійного дешифратора 2-4

Для пояснення роботи дешифратора наведемо таблицю його станів (табл. 11.2).

Дешифратор працює наступним чином.

Таблиця 11.2

Стани повного дешифратора 2-4

Число	Входи		Виходи			
	x_2	x_1	y_0	y_1	y_2	y_3
0	0	0	1	0	0	0
1	0	1	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1

Інвертори $D1$ та $D2$ здійснюють інверсію \bar{x}_1 та \bar{x}_2 .

Підставляючи стани входів з табл. 11.2 у рівняння (11.2), перекоонуємося у наступному.

При вхідному числі 0 обидва входи нульові: $x_2 = 0$ та $x_1 = 0$. Підставляючи ці значення в рівняння (11.2), одержуємо, що тільки на

виході схеми $D3$ вихід одиничний: $y_0 = 1$. Це пояснюється тим, що при $x_1 = 0$ та $x_2 = 0$ їхні інверсні стани одиничні, що й виявляє схема $D3$. На входах усіх інших схем $D4, D5, D6$ хоча б один із входів нульовий, через що $y_1 = 0; y_2 = 0; y_3 = 0$.

При входньому числі 1 стани входів дешифратора $x_2 = 0; x_1 = 1$. Підставляючи ці значення в рівняння (11.2), переконуємося в тому, що тільки на виході схеми $D4$ вихід одиничний: $y_1 = 1$ і т.д.

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при обох одиничних входах на виході відповідної схеми буде логічний нуль.

Якщо дешифратор виконати на схемах 2АБО, то прямі та інверсні їхні входи слід змінити на протилежні. Тоді на виході схеми з двома входними нулями буде логічний нуль. На виходах інших трьох схем будуть логічні одиниці.

Щодо неповних дешифраторів, то в них є певне число невикористаних входних наборів. Досить розповсюдженим прикладом є неповний дешифратор 4-10, який виконує перетворення двійково-десятькового коду в десятковий.

Розглянемо принцип побудови неповного дешифратора 4-10 на схемах логічного додавання АБО. Такий дешифратор має 10 чотиривхідних схем логічного додавання АБО, кожна з яких виявляє нульові стани всіх своїх чотирьох входів. Тому рівняння кожного виходу є сумою станів входів, у яку підставляємо прямий стан входу, якщо він нульовий, та – інверсний, якщо він одиничний.

Щоб активний рівень виходів дешифратора був одиничним, слід кожну згадану суму проінвертувати, для чого використовуємо логічні схеми АБО-НЕ.

Отже логічний вислів станів дешифратора наступний:

$$\begin{aligned}
 y_0 &= \overline{x_4 \vee x_3 \vee x_2 \vee x_1} = \overline{x_4 + x_3 + x_2 + x_1}, \\
 y_1 &= \overline{x_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + x_2 + \bar{x}_1}, \\
 y_2 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + x_3 + \bar{x}_2 + x_1}, \\
 y_3 &= \overline{x_4 \vee x_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + x_3 + \bar{x}_2 + \bar{x}_1}, \\
 y_4 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + x_2 + x_1}, \\
 y_5 &= \overline{x_4 \vee \bar{x}_3 \vee x_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + x_2 + \bar{x}_1}, \\
 y_6 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee x_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + x_1}, \\
 y_7 &= \overline{x_4 \vee \bar{x}_3 \vee \bar{x}_2 \vee \bar{x}_1} = \overline{x_4 + \bar{x}_3 + \bar{x}_2 + \bar{x}_1}, \\
 y_8 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee x_1} = \overline{\bar{x}_4 + x_3 + x_2 + x_1}, \\
 y_9 &= \overline{\bar{x}_4 \vee x_3 \vee x_2 \vee \bar{x}_1} = \overline{\bar{x}_4 + x_3 + x_2 + \bar{x}_1}.
 \end{aligned}
 \tag{11.3}$$

Схему дешифратора розробляємо у виді матриці (рис. 11.3). Входи схем 4АБО-НЕ, які мають виходи $y_0 \dots y_9$, з'єднуємо відповідно з тими входами дешифратора, які є в рівняннях (11.3).

Дешифратор працює наступним чином.

Як видно з табл. 11.3, при скинутому лічильнику на його входах нулі: $x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$. Підставляючи ці значення та їхні інверсії в усі рівняння (11.3) переконаємося в тому, що $y_0 = 1$ тільки при скинутому лічильнику. Це пояснюється тим, що схема АБО-НЕ виявляє тільки нульові стани входів. Тому при $x_1 = 0, x_2 = 0, x_3 = 0, x_4 = 0$ під нулями тільки входи схеми y_0 , через що $y_0 = 1$. Решта усіх інших виходів нульова, бо хоча б один з виходів інших схем АБО-НЕ одиничний.

Якщо лічильник містить число 1, то нульовими будуть усі входи схеми АБО-НЕ y_1 , через що тільки цей вихід буде одиничним: $y_1 = 1$ і т.д. Будь-якому вмісту лічильника в межах $0 \dots 9$ відповідає тільки одна одиниця на виходах y_0, \dots, y_9 .

Дешифратори можна здійснити і на інших логічних схемах, наприклад І-НЕ. Різниця полягає лише в тому, що при всіх одиничних входах на виході відповідної схеми буде логічний нуль.

Промисловість випускає дешифратори як повні (рис. 11.4,а), так і неповні (рис. 11.4,б).

Існування неповного дешифратора виправдано, наприклад, перетворенням двійково-десятькового коду в десятковий (рис. 11.4,б).

Слід зауважити, що в інтегральних дешифраторах формування інверсій входних змінних виконується в самому дешифраторі і тому додаткові інвертори на їхніх входах ставити не треба.

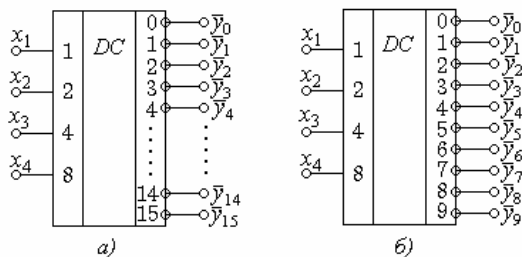


Рис. 11.4. Умовне позначення дешифраторів:
а — повного 4-16; б — неповного 4-10

11.4. Перетворювачі кодів

Перетворювачі кодів призначені для перетворення кодової комбінації одного коду в кодову комбінацію іншого коду.

Виходом перетворювачів є довільний код, а не код “1 з n ”, який має місце в дешифраторах. На відміну від шифраторів на входи перетворювача коду теж може надходити будь-який набір. Різновидів цифрових кодів дуже багато і тому й перетворювачів кодів існує довільна множина.

Прикладом може бути перетворювач коду для керування цифровим індикатором. Досить поширеним цифровим індикатором є семисегментний (рис. 11.5).

Кожний сегмент такого індикатора A, B, C, D, E, F, G є світлодіодом і може світитися в залежності від комбінації логічних змінних на виході перетворювача. Викликаючи висвітлення сегментів у певних комбінаціях, можна здобути зображення десяткових цифр $0, 1, \dots, 9$.

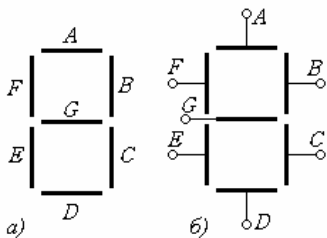


Рис. 11.5. Семисегментний індикатор:
а – конфігурація, б – схема

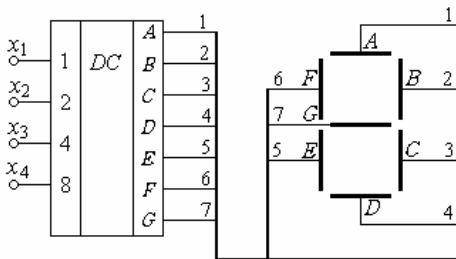


Рис. 11.6. Схема з'єднання перетворювача коду з семисегментним індикатором

Для керування семисегментними індикаторами в інтегральній схемотехніці існують промислові перетворювачі *DC* (рис. 11.6), які перетворюють двійковий код 8-4-2-1 у семирозрядний, що спеціально призначений для керування семисегментним індикатором.

На рис. 11.6 з'єднання перетворювача *DC* з семисегментним індикатором показано скрутнем.

Роботу перетворювача видно з таблиці станів (табл. 11.4), яка складена за умови, що активним сигналом є логічна одиниця.

Перетворювач *DC* з індикатором працюють наступним чином.

Таблиця 11.4

Стани перетворювача коду 4-7

Число	Входи				Виходи						
	x_4	x_3	x_2	x_1	<i>A</i>	<i>B</i>	<i>C</i>	<i>D</i>	<i>E</i>	<i>F</i>	<i>G</i>
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Якщо на входи перетворювача надходить число 0000, то індикатор має висвітити цифру 0. Тому при числі 0 (див. табл. 11.4) усі сегменти одиничні, крім $G = 0$.

При входньому числі 1, тобто 0001 мають світитися тільки два сегменти: *B* і *C*. Тому $B = 1$ і $C = 1$. Усі інші сегменти нульові і т.д.

Якщо подане число 8, тобто 1000, то мають

світитися усі сегменти, для чого вони всі є одиничними.

Число 9 (1001) викликає одиницю на всіх сегментах, крім $E = 0$.

Промисловістю випускаються серійні перетворювачі також для інших типів індикаторів, наприклад, матриці 7 x 5 точок або матриці 7 x 4 точки; лінійних індикаторів амплітуди зі шкалами у вигляді світлового стовпця, рухомої точки, пари точок тощо.

За традиціями перетворювачі цієї групи іноді називають дешифраторами і мікросхеми, які реалізують ці функції, позначають символами ІД, як звичайні дешифратори.

Усе більшого поширення набувають перетворювачі двійково-десятичного коду в коди латинської та іншої абеток, а також у код додаткових символів-знаків.

Такий інтерес до цих мікросхем пояснюється розвитком виробництва комп'ютерів, де найбільш часто використовуються розглянуті перетворювачі.

11.5. Мультиплектори

Мультиплектори належать до пристроїв комутації цифрової інформації. Вони здійснюють комутацію одного з декількох інформаційних входів x_i до одного виходу y . Мультиплектори мають декілька інформаційних входів, адресні входи, вхід дозволу мультиплексування (стробуючий вхід) та один вихід.

Кожному з інформаційних входів мультиплектора відповідає номер, який називається адресою і подається двійковим числом до адресних входів.

На рис. 11.7 представлений варіант схеми мультиплектора 4-1, який виконує комутацію від чотирьох джерел сигналу x_0, x_1, x_2, x_3 до одного виходу y .

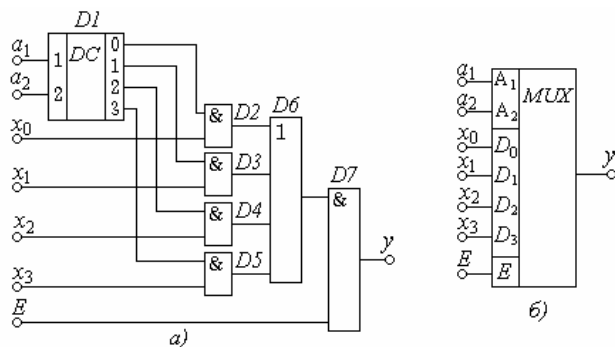


Рис. 11.7. Мультиплексор 4-1:

а – схема; б – умовне позначення

Очевидно, що число інформаційних входів $n_{\text{інф}}$ і число адресних входів $n_{\text{адр}}$ зв'язані співвідношенням: $n_{\text{адр}} = 2^{n_{\text{інф}}}$.

Комутація єдиного з усіх входів до виходу здійснюється тим, що кон'юнктори $D2 \dots D5$ виконують роль ключів. Такий ключ буде відкритий, якщо обидва його входи одиничні. Оскільки з усіх виходів дешифратора адреси $D1$ тільки один одиничний, то за будь-якої адреси відкрита тільки одна із схем $D2 \dots D5$.

Виходячи з цього, одержуємо логічний вислів мультиплектора

$$y = x_0 \cdot \bar{a}_2 \cdot \bar{a}_1 \vee x_1 \cdot a_2 \cdot \bar{a}_1 \vee x_2 \cdot \bar{a}_2 \cdot a_1 \vee x_3 \cdot a_2 \cdot a_1. \quad (11.4)$$

Т а б л и ц я 11.5
Стани мультимплектора
4-1

Адресні входи		Керуючий вхід E	Вихід Y
a_2	a_1		
X	X	0	0
0	0	1	x_0
0	1	1	x_1
1	0	1	x_2
1	1	1	x_3

Для пояснення роботи мультимплектора наведемо таблицю його станів (табл. 11.5).

Мультимплектор працює наступним чином.

Дозвіл на спрацьовування мультимплектора в цілому визначається станом керуючого входу E . При $E = 0$, незалежно від стану входів адреси a_2 та a_1 (в табл. 11.5 позначено хрестиками X), мультимплектор не спрацьовує. Якщо ж $E = 1$, то робота мультимплектора дозволяється. Тому надалі розглядаються тільки чотири нижні рядки табл. 11.5.

При адресному числі 00 стан адресних входів $a_2 = 0$ та $a_1 = 0$. Підставляючи ці значення в (11.4), одержуємо $y = x_0$, тобто до виходу передається тільки інформація x_0 . Це пояснюється тим, що рівень логічної одиниці устанавлюється тільки на виході 0 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D2$ має дозвіл на спрацьовування. При цьому на виході мультимплектора буде інформація $y = x_0$ (або 0, або 1).

При адресному числі 01 $a_2 = 0$ та $a_1 = 1$. Підставляючи ці значення в (11.4), одержуємо $y = x_1$, тобто до виходу передається тільки інформація x_1 . Це пояснюється тим, що рівень логічної одиниці устанавлюється тільки на виході 1 дешифратора $D1$, а на всіх інших виходах $D1$ він нульовий. Тому лише логічний елемент $D3$ має дозвіл на спрацьовування. При цьому на виході мультимплектора буде інформація $y = x_1$ (або 0, або 1) і т.д.

При комутації багаторозрядних слів використовують декілька мультимплекторів, виходи яких з'єднуються за схемою АБО. Для цієї мети випускаються декілька однотипних мультимплекторів в одному корпусі.

11.6. Демультимплектори

Демультимплектори, як і мультимплектори відносяться до пристроїв комутації цифрової інформації. Вони здійснюють комутацію одного інформаційного входу до одного з декількох виходів, адреса якого завдана. Демультимплектори мають один інформаційний вхід, декілька виходів та адресні входи.

Таким чином, на приймальному кінці мультимплексованої магістралі потрібно виконати зворотну операцію – *демультимплексування*.

Демультимплектор можна реалізувати за тією ж схемою, що й для мультимплектора (рис. 11.7), якщо всі інформаційні входи x_0, x_1, x_2, x_3 з'єднати в один вхід x .

Варіант побудови схеми демультимплектора 1 – 4 на базі дешифратора $D1$ та логічних елементів $21 D2...D5$ наведений на рис. 11.8.

Демультимплектор працює наступним чином.

Входи дешифратора a_1, a_2 є адресними. Тому в залежності від адресного числа лише на одному із виходів дешифратора з'являється логічна

одиниця, яка дає дозвіл на спрацьовування лише одного із чотирьох кон'юнкторів $D2\dots D5$.

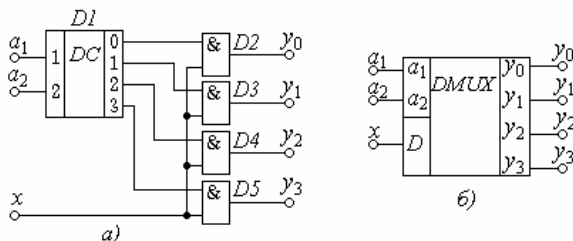


Рис. 11.8. Демультимплексор 1-4: а – схема, б – умовне позначення

На інші входи кожного кон'юнктора надходить шина вхідного сигналу x .

Вхідна інформація відтворюється на виході одного з чотирьох логічних елементів $D2\dots D5$, який одержав дозвіл відповідно адресному входу.

Виходячи з цього, одержуємо логічний вислів демультимплексора:

$$\begin{aligned} y_0 &= x\bar{a}_2\bar{a}_1, \\ y_1 &= xa_2\bar{a}_1, \\ y_2 &= x\bar{a}_2a_1, \\ y_3 &= xa_2a_1. \end{aligned} \quad (11.5)$$

Для пояснення роботи демультимплексора наведемо таблицю його станів (табл. 11.6)

Підставляючи в (11.5) з табл. 11.6 адресу $a_2 = 0; a_1 = 0$, переконуємося в тому що тільки $y_0 = x$, тобто вхідний сигнал x діє тільки на одному виході y_0 . Це пояснюється тим, що при адресі $a_2 = 0, a_1 = 0$ тільки вихід 0 дешифратора $D1$ одиничний. Тому для вхідного сигналу x відкритий тільки кон'юнктор $D2$.

При адресі $a_2 = 0; a_1 = 1$ таким же чином одержуємо $y_1 = x$ і т.д.

Стани виходів для інших адрес наведені в табл. 11.6.

Таблиця 11.6

Стани демультимплексора 1-4

Адресні входи		Виходи			
a_2	a_1	y_0	y_1	y_2	y_3
0	0	x	0	0	0
0	1	0	x	0	0
1	0	0	0	x	0
1	1	0	0	0	x

11.7. Цифрові компаратори

Цифрові компаратори – це пристрої, що призначені для порівняння двох чисел.

Розглянемо два цілих двійкових числа A і B . При їхньому порівнянні можуть бути два варіанти: $A = B$ або $A > B$ чи $A < B$.

Перший варіант ($A = B$) реалізується в найпростіших компараторах, які іноді носять назву нуль-органів. Такий компаратор виявляє лише факт рівності або нерівності двох поданих на його вхід чисел A і B і формує на виході сигнал рівності (логічну одиницю), або нерівності – логічний нуль. Функцію, яку реалізує компаратор у цьому випадку, можна визначити формулою

$$y(A = B) = \begin{cases} 1, & \text{коли } A = B, \\ 0, & \text{коли } A \neq B. \end{cases} \quad (11.6)$$

Числа A і B можуть мати n розрядів і подаватися відповідно значенням змінних a_1, \dots, a_n та b_1, \dots, b_n . Компаратор рівності порівнює окремі розряди за формулою (11.7), яка записана для варіанта $n = 2$.

$$y(A = B) = \bar{a}_1\bar{a}_2\bar{b}_1\bar{b}_2 \vee \bar{a}_1a_2\bar{b}_1b_2 \vee a_1\bar{a}_2b_1\bar{b}_2 \vee a_1a_2b_1b_2. \quad (11.7)$$

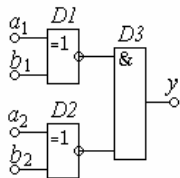


Рис. 11.9.
Компаратор
рівності

Найпростіший компаратор рівності реалізується за допомогою логічних схем “Вияткове АБО” (елементи $D1$ і $D2$) та багатомисливого кон'юнктора $D3$ (рис. 11.9).

На виході $D1$ і $D2$ (вияткове АБО з інверсією виходу) рівень логічної одиниці з'являється тоді, коли $a_1 = b_1$ та $a_2 = b_2$,

незалежно від порівняння логічних одиниць або логічних нулів.

Тому на виході y компаратора логічна одиниця присутня лише у випадку, коли набули рівності обидва розряди двійкових чисел A і B .

Таблиця 11.7

Стани компаратора рівності

Входи				Вихід
a_1	a_2	b_1	b_2	y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	0
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

Функціонування схеми (рис. 11.9) пояснюється таблицею станів (табл. 11.7).

У *другому варіанті* компаратори можуть відрізнити не тільки рівність чисел A і B , але й нерівність, коли $A > B$ або $A < B$. Такі компаратори будуються за більш складною схемою і мають два виходи: y_1 та y_2 . Стани виходів описуються системою нерівностей

$$y_1 = \begin{cases} 1, & \text{коли } A < B; \\ 0, & \text{коли } A \geq B; \end{cases} \quad (11.8)$$

$$y_2 = \begin{cases} 1, & \text{коли } A > B; \\ 0, & \text{коли } A \leq B. \end{cases}$$

Існують також *нерівнісні компаратори*, які мають також два виходи: y_1 та y_2 . Рівень логічної одиниці з'являється на виході y_1 при $A < B$, а на виході y_2 – при $A > B$.

Порівняння виконується порозрядно за формулами (11.9), які записані для дворозрядного компаратора ($n = 2$).

$$\begin{aligned}
 y_1(A < B) &= \bar{a}_1\bar{a}_2\bar{b}_1b_2 \vee \bar{a}_1\bar{a}_2b_1\bar{b}_2 \vee \bar{a}_1\bar{a}_2b_1b_2 \vee \bar{a}_1a_2b_1\bar{b}_2 \vee \\
 &\vee \bar{a}_1a_2b_1b_2 \vee a_1\bar{a}_2b_1b_2; \\
 y_2(A > B) &= \bar{a}_1a_2\bar{b}_1\bar{b}_2 \vee a_1\bar{a}_2\bar{b}_1\bar{b}_2 \vee a_1a_2\bar{b}_1\bar{b}_2 \vee \bar{a}_1a_2b_1\bar{b}_2 \vee \\
 &\vee a_1a_2\bar{b}_1b_2 \vee a_1a_2b_1b_2.
 \end{aligned}
 \tag{11.9}$$

Промисловість випускає цифрові повні багаторозрядні компаратори, які мають і вихід рівності $A = B$, і виходи нерівностей $A < B$ та $A > B$.

Умовне позначення такого компаратора наведено на рис. 11.10. Входи аналізу призначені для каскадування компараторів, тобто для збільшення розрядності. При каскадному з'єднанні компараторів входи аналізу з'єднуються з одинименними виходами попереднього компаратора.

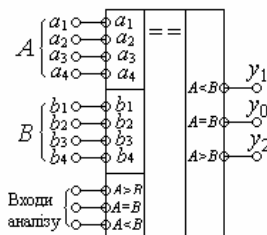


Рис. 11.10. Умовне позначення повного компаратора

11.8. Програмовані логічні матриці

11.8.1. Матрична схема

Матрична схема або *логічна матриця* являє собою сітку ортогональних провідників, у перетинах яких можуть бути установлені напівпровідникові елементи: діоди або транзистори, що реалізують необхідну схему.

Для можливості програмування матриці ці діоди або транзистори підключаються до відповідних провідників матриці через легкоплавкі перемички. Під час програмування ці перемички або перепалюють, або залишають в залежності від схеми, яку треба реалізувати за допомогою матриці. Матричні схеми орієнтовані на реалізацію булевих функцій вузлів великих інтегральних схем. Отже, з матричної структури шляхом її програмування одержують заданий комбінаційний пристрій. Тому такі структури називаються "*комбінаційні програмовані логічні матриці*" (ПЛМ).

ПЛМ, як правило, мають два схемотехнічних рівні: на першому з них утворюються потрібні кон'юнкції, а на другому – диз'юнкції. Іноді одна з матриць може бути фіксованою. Обидві матриці з'єднуються каскадно.

Існують також *послідовні* ПЛМ, які у своєму складі містять певне число вбудованих елементів пам'яті. Такі ПЛМ характеризуються розрядністю регістра пам'яті.

Розглянемо програмовану логічну матрицю, що наведена на рис. 11.11 і містить матриці M1 та M2.

Матриця М1 має три входи x_1, x_2, x_3 , шість горизонтальних і чотири вертикальних шин. Горизонтальні шини x_1, x_2, x_3 в М1 є вхідними, а вертикальні $P_1 - P_4$ – вихідними.

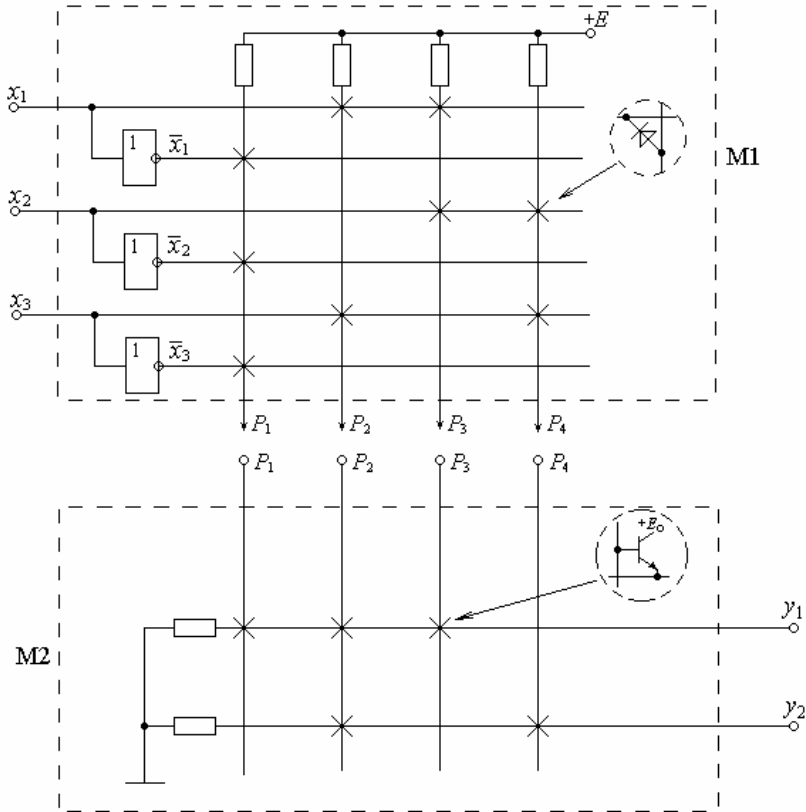


Рис. 11.11. Програмована логічна матриця.

М1 – матриця кон'юнкцій, М2 – матриця диз'юнкцій

Виходи P носять назву *ліній терм*.

Кожна вхідна шина x_1, x_2, x_3 зв'язана з однією горизонтальною шиною безпосередньо, а з іншою – через інвертор (шини $\bar{x}_1, \bar{x}_2, \bar{x}_3$).

Спосіб включення напівпровідникових елементів (наприклад, діодів) у перетинах, які позначені хрестиками, дозволяє реалізувати на будь-якому з виходів, будь-яку кон'юнкцію її вхідних змінних, тобто функцію І.

Матриця М1 працює як дешифратор, виходами якого є кон'юнктивні терми $P_1 - P_4$. Дійсно, при появі одиниці (високого рівня напруги) на одному із входів x_i , на виході відповідного інвертора з'являється \bar{x}_i (рівень логічного нуля). Якщо перемички на обох горизонтальних лініях x_i та \bar{x}_i присутні, то високий потенціал лінії x_i закриє "свій" діод і на відповідній вертикальній

лінії терм буде високий рівень напруги $\approx +E$, якщо на всіх інших горизонтальних лініях буде також рівень логічної одиниці.

Низький рівень лінії \bar{x}_i відкриє “свій” діод і практично весь струм вертикальної шини потече через горизонтальну лінію, залишаючи вертикальну шину без струму, що рівнозначно логічному нулю.

Зберегти високий рівень логічної одиниці на вертикальній шині P_N можна лише тоді, коли всі діоди на цій лінії будуть закриті, що можливо тільки при високих рівнях логічної одиниці на всіх горизонтальних лініях, до яких підключена вертикальна шина P_N .

Таким чином, на вертикальній лінії P_N реалізується кон’юнкція змінних. Матриця кон’юнкції M1 має перемички в місцях, позначених хрестиками, і реалізує функції кон’юнкції за формулами:

$$\begin{aligned} P_1 &= \bar{x}_1 \bar{x}_2 \bar{x}_3, \\ P_2 &= x_1 x_3, \\ P_3 &= x_1 x_2, \\ P_4 &= x_2 x_3. \end{aligned} \quad (11.10)$$

Матриця M2 має чотири вертикальні $P_1 - P_4$ шини і дві горизонтальні. Спосіб включення транзисторів у перетинах шин дозволяє реалізувати на будь-якому з її виходів будь-яку диз’юнкцію (функцію АБО) вхідних змінних. У матриці M2 вхідними є вертикальні шини, а вихідними – горизонтальні, на якій показаний приклад реалізації елементарних диз’юнкцій, що описується математичним виразом

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3; \\ y_2 &= P_2 \vee P_4. \end{aligned} \quad (11.11)$$

Дійсно, на матриці диз’юнкцій M2 транзистор на позначеному хрестиком перетині ортогональних ліній буде відкритим лише за наявності струму у вертикальній лінії, а за відсутності струму – закритий. Для матриці M2 характерно те, що на її горизонтальній лінії досить хоча б одного відкритого транзистора, щоб на виході y_j був високий рівень логічної одиниці. Тільки відсутність струмів на всіх горизонтальних лініях забезпечує на ній логічний нуль, що відповідає операції диз’юнкції. Отже, в наведеному прикладі (рис. 11.11) реалізується функція, яка описується формулами (11.11).

Якщо з’єднати обидві матриці M1 та M2, як показано на рис. 11.12, то одержана схема буде реалізовувати систему булевих функцій

$$\begin{aligned} y_1 &= P_1 \vee P_2 \vee P_3 = \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee x_1 x_3 \vee x_1 x_2, \\ y_2 &= P_2 \vee P_4 = x_1 x_3 \vee x_2 x_3. \end{aligned} \quad (11.12)$$

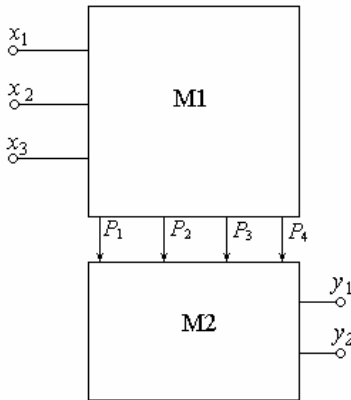


Рис. 11.12. – Дворівнева матриця

Таблиця 11.8
Таблиця програмування ПЛМ

Входи			Виходи	
x_1	x_2	x_3	y_1	y_2
0	0	0	1	.
1	-	1	1	1
1	1	-	1	.
-	1	1	.	1

Побудова схем з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені напівпровідникові прилади.

Реалізації системи функцій матрицями M_1 та M_2 можна зобразити у вигляді таблиці програмування (табл. 11.8).

У табл. 11.8, стовпці якої відзначені змінними x_1, \dots, x_L та функціями y_1, \dots, y_N , кожній проміжній шині P_1, \dots, P_B ставиться у відповідність рядок таблиці (B – кількість вертикалів).

На перетині j -го рядка і стовпця x_l ($l = \overline{1, L}$) записуються:

- 1, якщо змінна x_e входить в j -ту елементарну кон'юнкцію без інверсії;
- 0, якщо змінна x_e входить в j -ту елементарну кон'юнкцію з інверсією;
- риска (-), якщо змінна x_e не входить в j -ту елементарну кон'юнкцію.

На перетині j -го рядка і стовпця y_n ($n = \overline{1, N}$) записуються:

- 1, якщо j -та елементарна кон'юнкція входить в диз'юнкцію y_n ; крапка (.), якщо j -та елементарна кон'юнкція не входить в диз'юнкцію y_n .

Відповідним чином будь-яка система булевих функцій y_1, \dots, y_N вхідних змінних x_1, \dots, x_L може бути реалізована дворівневою матричною схемою, на першому рівні якої утворюються різні елементарні кон'юнкції P_1, \dots, P_B , а на другому – диз'юнкції y_1, \dots, y_N відповідних кон'юнкцій. В результаті побудова схеми з матричною структурою зводиться до визначення точок перетину шин, де повинні бути включені діоди або транзистори.

Складність матричної реалізації оцінюється сумарною смістю (площею) матриць. У загальному випадку в схемі, що має L входів, N виходів та B вертикалей площа становить

$$S(M) = S(M_1) + S(M_2) = 2LB + BN. \quad (11.13)$$

11.8.2. Дворівневі та тривірневі ПЛМ

На рис. 11.13 наведена дворівнева ПЛМ, яка складається з двох матриць: M1 та M2.

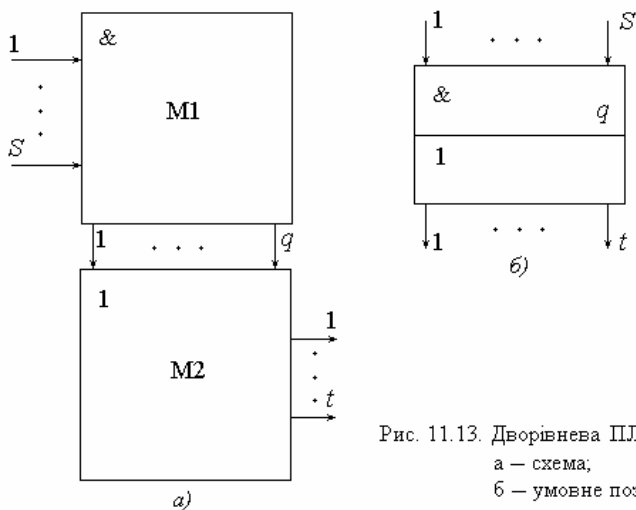


Рис. 11.13. Дворівнева ПЛМ:
а – схема,
б – умовне позначення

Матриця M1 має S входів і q виходів. Вона дозволяє реалізувати q елементарних кон'юнкцій P_1, \dots, P_q змінних x_1, \dots, x_S , що надходять на її входи.

Матриця M2 має q входів і t виходів. Вона дозволяє реалізувати t елементарних диз'юнкцій y_1, \dots, y_t змінних P_1, \dots, P_q , які надходять на її входи з виходів матриці M1.

Виходи матриці M1 з'єднані з входами матриці M2 й утворюють проміжні шини $1 - q$ ПЛМ. ПЛМ, що має S входів, t та q проміжних шин називається ПЛМ (S, t, q) .

Різновидом ПЛМ (S, t, q) є їхня удосконалена модель: ПЛМ (Z, q) . В ПЛМ (Z, q) фіксується лише два параметри: підсумоване число входів і виходів $Z = S + t$ та число проміжних шин q . Параметри S і t можуть набувати будь-яких конкретних значень при програмуванні.

Тривірнева ПЛМ комбінаційного типу (рис. 11.14) на відміну від дворівневої (рис. 11.13) має додатковий S -вхідний блок Д. Число виходів блока Д дорівнює числу h горизонтальних шин у матриці M1. Кожний i -й вихід з'єднаний з i -ю горизонтальною шиною цієї матриці ($i = \overline{1, h}$).

Блок Д може мати різноманітну внутрішню структуру. Наприклад, він може відігравати

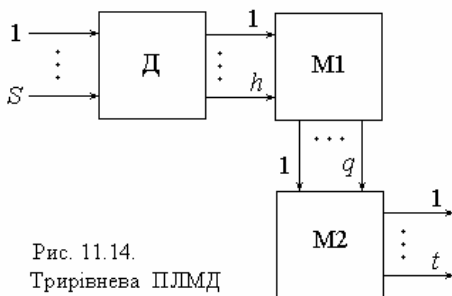


Рис. 11.14.
Тривірнева ПЛМД

роль матриці M_0 , яка дозволяє утворювати h елементарних диз'юнкцій змінних x_1, x_2, \dots , що надходять на її входи і може використовуватися або з інверсією, або без інверсії. Найбільш часто блок D складений з набору $S/2$ двовхідних повних дешифраторів. Такі матриці позначаються ПЛМД (S, t, q). Для ПЛМД (S, t, q) блок D має S входів і $2S$ виходів, а число горизонтальних шин матриці $M1$ кратне чотирьом.

Входи кожного дешифратора – це входи блока D , а чотири виходи кожного i -го з них з'єднані з відповідними чотирма горизонтальними шинами i -ї групи матриці. Використання ПЛМД на відміну від ПЛМ дозволяє значно зменшити число проміжних шин для реалізації заданої системи булевих функцій, тобто реалізувати більш складні системи. Площа матриць $M1$ і $M2$ за цього використовується значно раціональніше.

Подальша робота, яка спрямована на збільшення ефективності використання площі ПЛМ, привела до створення структури, яка має наступні чотири особливості:

- матриця поділена на дві частини – $M1'$ і $M1''$. Матриця $M1'$ розміщена над матрицею $M2$, а матриця $M1''$ – під матрицею $M2$. Це дозволяє за необхідності розрізати проміжні шини в матриці $M2$ та реалізувати на верхній та нижній частинах однієї проміжної шини різні елементарні кон'юнкції вхідних змінних;

- входи матриць $M1'$ та $M1''$ розміщені з двох боків ліворуч та праворуч; кожна горизонтальна шина $M1'$ або $M1''$ розрізається в одному місці і на одну її частину подається змінна з лівого боку матриці, а на іншу – з правого;

- виходи матриці $M2$ розміщені з двох боків (зліва та справа). Кожна горизонтальна шина $M2$ розрізається в одному місці і на першій її частині формується значення функції для лівого виходу $M2$, а на другій – для правого;

- на кристалі ВІС ПЛМ передбачена спеціальна система шин, яка дозволяє з'єднувати виходи першої матриці з входами другої.

Розріз шин і організація необхідних зв'язків між входами та виходами різних матриць виконується на етапі налагоджування ПЛМ на виробництві.

Завдяки значним успіхам інтегральної технології з'явилася можливість реалізації ВІС з *жорсткою* та *гнучкою* структурами. Особливий практичний інтерес виявляється до програмованих гнучких структур. Серед них розрізняють ВІС, які придатні до програмування на етапі виготовлення, і ВІС, які можуть бути програмовані користувачем.

Перші з них – це мікросхеми, які називають незавершеними логічними матрицями. Програмують такі ПЛМ програмою замовника на виробництві на стадії занесення програми в матриці в процесі її виготовлення шляхом металізації ділянок матриці через спеціальну маску-шаблон. Після виготовлення інтегральної схеми з використанням маскових технологій перепрограмування неможливе.

Другі ПЛМ поділяють на дві групи: ВІС, які можуть бути тільки одноразово запрограмовані замовником або користувачем – це прості програмовані логічні матриці, та ВІС з багаторазовим перепрограмуванням – це перепрограмовані логічні матриці.

Перепрограмовані ЛМ (ППЛМ) є більш зручними. Це стандартні готові мікросхеми-напівфабрикати, в яких активні елементи на початковій стадії включені на всіх перетинах матриць через ніхромові перемички. Такі ВІС програмують самі користувачі за допомогою спеціальних програматорів шляхом електродного випалювання перемичок імпульсом струму. При цьому, якщо змінна x_i входить у терм P_i в прямій формі, перепалюють тільки одну перемичку, що з'єднає терм P_i з її інверсією \bar{x}_i , і навпаки: якщо змінна x_i та її інверсія \bar{x}_i не входять у терм P_i , перепалюють обидві перемички.

На рис. 11.15 показано умовне позначення мікросхеми ППЛМ, де вхід FE використовується тільки при програмуванні і називається вхід дозволу перепалювання, а вхід \overline{CE} – дозвіл вибірки.

Якщо на вході цієї ВІС ПЛМ повне число можливих комбінацій складає $2^{16} = 65536$, то на виході буде лише 48 різних вихідних комбінацій. Тому з усіх вхідних комбінацій невикористаних буде $65536 - 48 = 65488$. Недоліком ПЛМ є обмежені функціональні можливості.

На базі ПЛМ можна будувати комбінаційні цифрові пристрої на досить простих принципах.

Основним етапом розробки є складання таблиці програмування ПЛМ, яка є інструкцією процедури перепалювань непотрібних перемичок у матрицях.

З метою розширення функціональних можливостей використання ПЛМ промисловістю випускаються її спрощені варіанти, наприклад, програмовані матриці вентилів, програмовані матриці логіки, програмовані мультиплексори і т.д.

Будь-яка система Q з N булевих функцій L змінних, що описує поведінку комбінаційної схеми, може бути тривіально реалізована на одній ПЛМ (s, t, q) , якщо виконуються вимоги $L < s$, $N < t$, $B < q$.

11.9. Особливості роботи комбінаційних пристроїв

Однією з особливостей роботи комбінаційних пристроїв є затримка ними вихідних сигналів відносно вхідних.

Дійсно, кожний логічний елемент, з яких складається будь-яка схема пристрою, має власну скінчену затримку. Тому сигнали на виході комбінаційного пристрою з'являються тільки через певний інтервал часу після подачі сигналів на вхід.

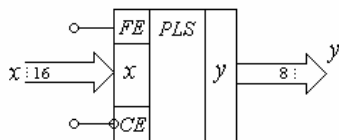


Рис. 11.15. Умовне позначення ППЛМ

На рис. 11.16 наведена часова діаграма роботи інвертора, з якої видно, що вихідний сигнал $U_{\text{вих}}$ зазнає часової затримки t_3 . Через неї по-перше, знижується швидкодія, бо тривалість вихідного сигналу більше за вхідного: $t_{\text{вих}} > t_{\text{вх}}$, а по-друге, створюються хибні сигнали.

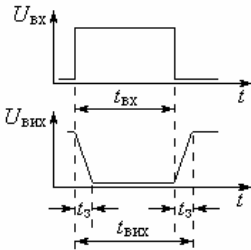


Рис. 11.16. Вхідний та вихідний сигнали інвертора

Поява хибних сигналів з'ясовується наступним фактором. Якщо на входи комбінаційного пристрою подаються одночасно кілька сигналів, то внаслідок часових затримок утворюються логічні змагання або перегони. На виході такого комбінаційного пристрою можуть з'являтися нерегламентовані сигнали. Хоча ці сигнали, як правило, короточасні, поява їх на виході призводить до збою працездатності схем, підключених до виходу цих приладів, наприклад, тригера, який зафіксує новий стан від хибного сигналу.

На рис. 11.17 наведені часові діаграми роботи логічної схеми 2І без затримки сигналів (рис. 11.17,а) та із затримкою (рис. 11.17,б).

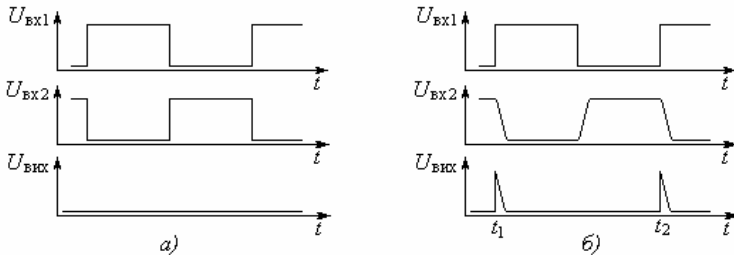


Рис. 11.17. Часова діаграма роботи логічної схеми 2І

а — без часової затримки; б — із часовою затримкою

З діаграми видно, що коли сигнали позбавлені часової затримки (рис. 11.17,а), то добуток цих сигналів $U_{\text{вих}} = U_{\text{вх1}} * U_{\text{вх2}} = 0$, тобто вихідний рівень завжди нульовий.

Коли ж один з сигналів $U_{\text{вх2}}$ зазнав часової затримки (рис. 11.17,б), то виникають перегони. Через це на виході замість нульового рівня в моменти t_1 та t_2 з'являються короточасні хибні сигнали, які називаються *голками*. Голки є найбільш небезпечними для працездатності асинхронних цифрових пристроїв.

Позбутися цих завад можна різноманітними способами, наприклад, у коло одного із сигналів увести штучну лінію затримки, яка виконана з кола потрібного числа буферів-повторювачів. Голки на виході комбінаційного пристрою можна зняти за допомогою включення конденсаторів малої ємності, але при цьому змінюються вихідні параметри схеми, що треба врахувати при подальшій роботі, особливо тоді, коли комбінаційний прилад навантажується послідовнісим приладом.

Контрольні питання

- 11.1. Що таке шифратор?
- 11.2. Що таке дешифратор?
- 11.3. Які шифратори (дешифратори) називаються повними, а які – неповними?
- 11.4. Що таке мультиплексор?
- 11.5. Що таке демультиплексор?
- 11.6. Які функції можуть виконувати компаратори?
- 11.7. Що таке програмовані логічні матриці ПЛМ?
- 11.8. Що таке дворівнева ПЛМ? Які функції виконує кожний її рівень?
- 11.9. Що таке перепрограмована логічна матриця ППЛМ?

Рекомендована література

- 11.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, ч.1. – С. 276 – 296.
- 11.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 318 – 331.
- 11.3. Хоровиц П. Искусство схемотехники / П. Хоровиц, У. Хилл – М.: Мир, 1983 – Т.1 – С. 528 – 539.
- 11.4. Рицар Б.Є. Цифрова техніка / Б.Є. Рицар – К.: НМК ВО, 1990. – 371 с.
- 11.5. Баранов С.И. Цифровые устройства на программируемых БИС с матричной структурой / С.И. Баранов, В.А. Скляр – М.: Радио и связь, 1986. – 269 с.

ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ

12.1. Класифікація запам'ятовувальних пристроїв

Для зберігання малих масивів кодових слів можуть використовуватися регістри пам'яті. Однак застосування регістрів призводить до невиправдано значних апаратних витрат. Тому для запам'ятовування великих масивів даних побудовані спеціальні мікросхеми, які здатні зберігати інформацію обсягом до декількох тисяч біт. Такі мікросхеми називаються *запам'ятовувальними пристроями* (ЗП) і слугують для *фіксування (запису), зберігання та зчитування (обміну) інформації*.

Основою будь-якого ЗП є *комірка пам'яті*, що здатна запам'ятовувати один біт інформації, тобто один двійковий розряд. Такою коміркою пам'яті є конденсатор з транзисторним ключем або тригер.

Існують два типи ЗП: динамічні та статичні.

Динамічні ЗП використовують у ролі запам'ятовувачів конденсатори. Ці ЗП мають той недолік, що через немінучі струми витікання конденсатора, останній після запису розряджається, а при зчитуванні зарядженого стану частина заряду розтікається по шині зчитування. Тому динамічну пам'ять час від часу треба поновлювати (регенерувати). Схема регенерації є досить складною. Через це застосування динамічних ЗП обмежене.

Статичні ЗП будуються на базі тригерів. Основною перевагою статичних ЗП є те, що записана інформація, тобто стан тригера, з часом експлуатації та при зчитуванні не руйнується. Тому статичні ЗП здобули найбільшого поширення.

ЗП будують, як правило, за матричним принципом. На відміну від ПЛМ, на перетинах шин включають запам'ятовувальні комірки або статичні, або динамічні, тому й ЗП носять назву або статичних, або динамічних. Найбільшого розповсюдження набули статичні ЗП. Тому динамічні ЗП далі не розглядаються.

За функціональною ознакою інтегральні ЗП розподіляють на два класи: оперативні та постійні.

Оперативні запам'ятовувальні пристрої (ОЗП) призначені для запису, тимчасового зберігання та зчитування інформації. ОЗП виконують операції запису й зчитування за наявності напруги живлення. Щодо зберігання інформації, то в одних ОЗП воно здійснюється під дією напруги, а в інших – енергонезалежно.

Постійні запам'ятовувальні пристрої (ПЗП) призначені для тривалого зберігання записаної інформації та її зчитування. Зміст запису в ПЗП не змінюється під час експлуатації і за відсутності напруги живлення не руйнується. ПЗП бувають двох типів: одноразового запису та такі, що допускають поновлення занесеної інформації декілька разів. Цей процес реалізують за допомогою спеціальних пристроїв – програматорів.

За способом звернення ЗП класифікують на адресні та безадресні.

Матриця безадресних ЗП має всього дві шини – запису і зчитування, тобто запис або зчитування може здійснюватись тільки для одного запам'ятовувача.

Щодо багатьох запам'ятовувачів, то для них організують адресну вибірку, згідно з якою шукану комірку знаходять за номером стовпчика і рядка, тобто за адресою, яка має вигляд комбінації n -розрядного двійкового числа. Такі ЗП є адресними.

Адресні ЗП мають спеціальні адресні входи і можуть бути з довільним або з послідовним зверненнями. У перших пошук інформації здійснюється шляхом безпосереднього звернення до перетину шин, адрес яких задається двійковим числом. У других – за допомогою послідовної вибірки при збільшенні або при зменшенні адресного числа.

У *безадресних ЗП* звернення виконується незалежно від координат запам'ятовувачів, тобто не за адресою, а за певними ознаками самої інформації, що міститься в запам'ятовувачі ЗП.

За технологією виконання ЗП поділяються на пристрої, де використовується схемотехніка ТТЛ, ЕЗЛ, МОН, КМОН та І²Л.

12.2. Параметри ЗП

Основні параметри ЗП залежать від технології виготовлення і визначаються так само, як і для інших мікросхем. Це наступні параметри: навантажувальна здатність, споживана потужність, завадостійкість, числова величина логічних рівнів. До найважливіших параметрів ЗП належать місткість і швидкодія.

Кількість інформації, що може зберігатися у ЗП, визначає його *місткість*. ЗП складається з декількох комірок пам'яті N , кожна з яких може зберігати слово з визначеним числом розрядів n . Отже, місткість задається або добутком числа запам'ятовувачів N на розрядність n слів: $M = N \cdot n$, або у розкритій формі M . Наприклад, для першого випадку позначення ЗП у формі 32×8 біт визначає, що ЗП здатний зберігати 32 слова по 8 розрядів, тобто 32 байти або 256 біт. Для другого випадку місткість ЗП визначається лише у вигляді 32 байти або 256 біт, не розкриваючи при цьому кількість слів та кількість розрядів.

Швидкодія ЗП характеризується часом повного циклу звернення і часом вибірки або часом доступу до пам'яті. Період звернення – це мінімально припустимий час між двома черговими зверненнями до ЗП. Цей параметр залежить від характеристики та властивостей ЗП.

Час вибірки – це інтервал часу між моментом подачі сигналу вибірки до появи інформації на виході ЗП. Для ВІС ЗП час вибірки наближається до пікосекундного діапазону.

Кожна мікросхема ЗП характеризується потужністю споживання, набором напруг живлення, типом корпусу. Мікросхеми ПЗП мають додаткові параметри: часову тривалість зберігання інформації, по закінченню якої

інформація може самовільно змінитися, та максимальну кількість циклів перезапису, після чого мікросхема визначається нездатною до використання.

12.3. Оперативні запам'ятовувальні пристрої

Оперативні ЗП (ОЗП) – це невіддільні елементи цифрових приладів, які використовуються для тимчасового зберігання інформації і без яких не може бути жодної ЕОМ. У цифрових системах зв'язку на ОЗП зберігають дані, які потрібні, наприклад, для перетворення кодів та іншої різноманітної обробки сигналів. ОЗП поділяють на статичні й динамічні, в залежності від запам'ятовувальної комірки, що включається на перетинах шин. ОЗП виконують з використанням практично усіх відомих технологій: ТТЛ, ТТЛШ, ЕЗЛ, МОН, КМОН, І²Л.

12.3.1. Статичні запам'ятовувачі ВІС ОЗП

Роль *статичних запам'ятовувачів* у ВІС ОЗП відіграють двостанові комірки пам'яті – тригери. Фізичний стан тригерних структур під час звернення не руйнується. Вони крім зберігання одного біта інформації (1 або 0) дозволяють здійснювати операцію запису (*WR*) або зчитування (*RD*). Такі запам'ятовувачі дозволяють будувати ВІС ОЗП, які є найбільш розповсюдженими в цифровій та мікропроцесорній техніці і застосовуються як реєстри оперативної та буферної пам'яті.

На рис. 12.1 наведена схема статичного запам'ятовувача на тригері *D3*.

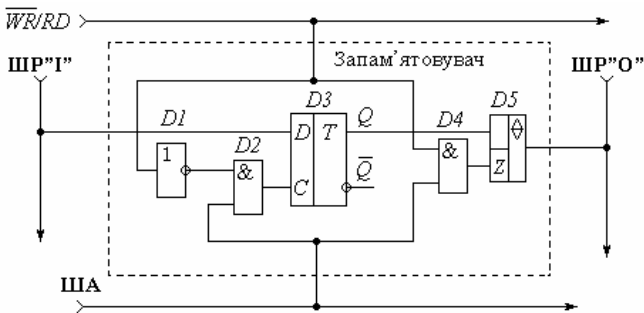


Рис. 12.1. Статичний запам'ятовувач

Тут ШП"І" – шина запису даних;

ШП"О" – шина зчитування даних;

$\overline{WR/RD}$ – шина запису-зчитування;

ША – шина адреси.

Запам'ятовувач працює в одному з трьох режимів: запису інформації, її зберігання та зчитування. Інвертор *D1* з ключем *D2* керують режимом запису. Ключ *D4* через драйвер *D5* керує режимом зчитування.

Ці режими здійснюються наступним чином.

Запам'ятовувач зберігає інформацію при ША = 0 за межами часу t_1 та t_2

(рис. 12.2), бо на виході ключа $D2$, тобто на вході синхронізації тригера $C = 0$, через що запис неможливий.

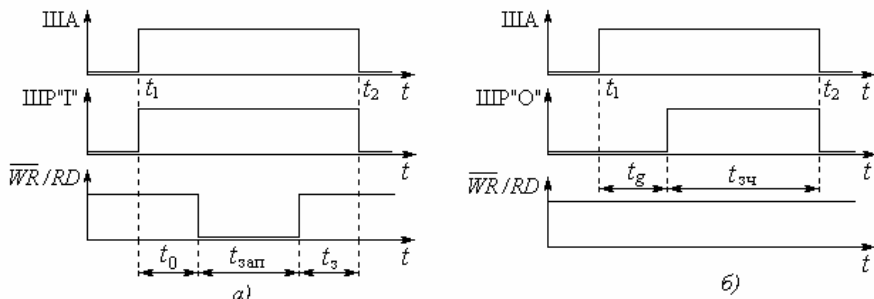


Рис. 12.2. Часова діаграма роботи запам'ятовувача: а – в режимі запису, б – в режимі зчитування

Зчитування при $\text{ША} = 0$ також неможливе, бо завдяки ключу $D4$ вхід дозволу драйвера $D5$ нульовий ($Z = 0$), через що на виході $D5$ високий опір, тобто розрядна шина вихідних даних ШП "О" від'єднується від прямого виходу Q тригера $D3$. Так здійснюється режим зберігання.

Режими запису та зчитування досягаються при одиничному стані шини адреси ($\text{ША} = 1$). При цьому через ключ $D2$ дається дозвіл на запис, а через ключ $D4$ – дозвіл на зчитування. Послідовність подачі сигналів у режимах запису та зчитування має бути такою, що наведена на рис. 12.2.

Запис досягається в активному стані запам'ятовувача ($\text{ША} = 1$) при $\overline{\text{WR}}/\text{RD} = 0$ протягом $t_{\text{зап}}$. За час t_0 до запису треба виставити дані ШП "Т". Протягом $t_{\text{зап}}$ обидва входи ключа $D2$ одиничні. Тому $C = 1$ і саме тим стан розрядної шини вхідних даних ШП "Т" через вхід тригера D записується в тригер. Запис слід припинити за час затримки t_3 до моменту t_2 .

Зчитування досягається в активному стані запам'ятовувача ($\text{ША} = 1$) при $\overline{\text{WR}}/\text{RD} = 1$. Цей рівень треба установити за час t_g до зчитування. При цьому ключ $D2$ запирається, припиняючи запис, а обидва входи ключа $D4$ одиничні. Тому вхід дозволу $Z = 1$ драйвера $D5$ здійснює з'єднання прямого виходу Q тригера $D3$ з розрядною шиною вихідних даних ШП "О".

12.4. Структура ВІС ОЗП

У структурі ВІС ОЗП запам'ятовувачі компонується у прямокутну матрицю, яку називають накопичувачем ЗП. Залежно від способу звернення ($\overline{\text{WR}}/\text{RD}$) до запам'ятовувачів розрізняють два найбільш поширених типи організації накопичувачів:

- з однокоординатною або послівною вибіркою;
- з двокоординатною або паралельною вибіркою.

Структурна схема накопичувача з однокоординатною вибіркою наведена на рис. 12.3.

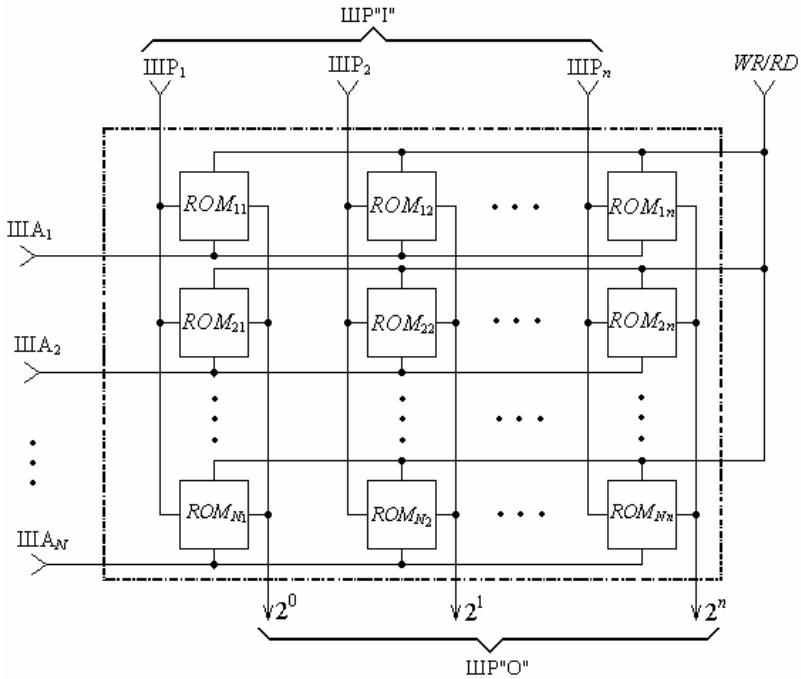


Рис. 12.3. Схема ОЗП з однокоординатною вибіркою

Кожний рядок накопичувача – це адресна шина ($ША_1, ША_2, \dots, ША_N$), а стовпець – дві розрядні шини: шина запису ШП “І” та шина зчитування ШП “О”.

У кожному перетині матриці ставиться запам’ятовувач, який може зберігати один біт інформації. Запам’ятовувачі, що згруповані по горизонталі, здатні запам’ятовувати n біт (розрядів) одного слова, бо з’єднані однією адресою. Кількість слів, яку може запам’ятовувати матриця, визначається числом горизонтальних рядків (адресних шин $ША_1, ША_2, \dots, ША_N$). Кожне слово вибирається шляхом ініціації відповідної адресної шини.

Матриця N слів, кожне з яких має розрядність n , визначається основним вузлом ЗП, який називають *накопичувачем інформації*. Накопичувач інформації з однокоординатною або послівною вибіркою характеризується тим, що має лише одну координату звернення до запам’ятовувачів, а саме – номер рядка накопичувача і тому має лише один дешифратор адреси.

Типова структурна схема ВІС ОЗП (накопичувача інформації) з *однокоординатною* вибіркою наведена на рис. 12.4.

З метою мінімізації кількості адресних входів ОЗП інформація щодо адреси надходить у вигляді двійкового числа і подається на дешифратор адреси DC , що входить до складу ОЗП. На виході дешифратора адреси ініціюється тільки одна шина, яка вибирає для запису або зчитування лише адреси один рядок, тобто одне слово.

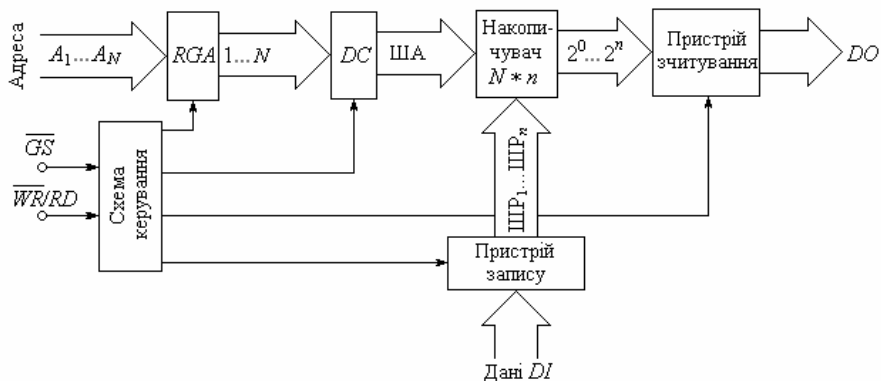


Рис. 12.4. Структурна схема ВІС ОЗП з однокоординатною вибіркою

ОЗП має число $N \cdot n$ запам'ятовуючих елементів ROM_{Nn} , які розміщені по N рядках та n стовпцях. Кожний рядок утворює слово з номером N .

При однокоординатній вибірці пошук кожного слова з номером i здійснюється відповідною однією шиною адреси $ША_i$, бо ОЗП має шини адреси $ША_1, ША_2, \dots, ША_i, \dots, ША_N$, що з'єднані відповідно з кожним запам'ятовувачем ROM_{ij} однойменного i -го слова.

Розрядні входні шини $ШП_i$ з'єднують входи запису кожного розряду усіх N слів. Вихідними є шини $2^0, 2^1, \dots, 2^n$, які з'єднують виходи зчитування кожного розряду усіх N слів.

Для всіх $N \cdot n$ запам'ятовувачів ROM_{ij} існує загальна шина звернення $\overline{WR/RD}$, сигнал на якій визначає режим запису або зчитування.

Схема працює наступним чином.

Сигнал вибірки адреси в кожний момент часу може з'явитися лише на одній з адресних шин $ША_i$. Запис або зчитування відбувається за наявності на вході $\overline{WR/RD}$ необхідного рівня (1 або 0). Зчитування RD (від англ. *Read* – читання) виконується при надходженні сигналу одиничного рівня, а запис WR (від англ. *Writ* – писати), коли на шині устатковлюється нульовий рівень.

Для запису слова в комірки запам'ятовувачів ROM_{ij} слід активізувати i -й рядок накопичувача, тобто адресну шину $ША_i$, а на шину $\overline{WR/RD}$ подати сигнал дозволу на запис інформації, яким є логічний 0, через що всі шини $ШП_1, ШП_2, \dots, ШП_n$ будуть підключені до входів запису i -го рядка.

Для зчитування слова з комірок запам'ятовувачів ROM_{ij} слід активізувати i -й рядок накопичувача, тобто адресну шину $ША_i$, а на шину $\overline{WR/RD}$ подати сигнал дозволу на зчитування інформації, яким є логічна одиниця 1, через що на всіх шинах $2^0, 2^1, \dots, 2^{n-1}$ устатковлюються відповідні значення логічного нуля або логічної одиниці зчитаного N -го слова.

Розглянутий тип накопичувача інформації має лише одну координату звернення до запам'ятовувачів, а саме – номер рядка накопичувача і тому має лише один дешифратор адреси. Такий накопичувач з однокоординатною

вибіркою називають ще двовимірним (типу $2D$), бо запам'ятовувачі в ньому розміщені на площині.

До складу ВІС ОЗП, крім основного вузла – накопичувача, входять регістр адреси RGA , дешифратор адресних шин DC , схема керування, пристрій запису даних DI і пристрій зчитування даних DO .

Інформаційні сигнали, які треба записувати, надходять по шині DI . Зчитування інформації відбувається за допомогою пристроїв, які комутуються до шин DO . Регістр адреси RGA може бути відсутнім. Тоді адресний вхід мікросхеми ВІС ОЗП безпосередньо зв'язаний з входом дешифратора DC .

Накопичувач з двокоординатною вибіркою (рис. 12.5) має дві адресні шини: горизонтальні по рядках (ШАХ) і вертикальні по стовпцях (ШАУ).

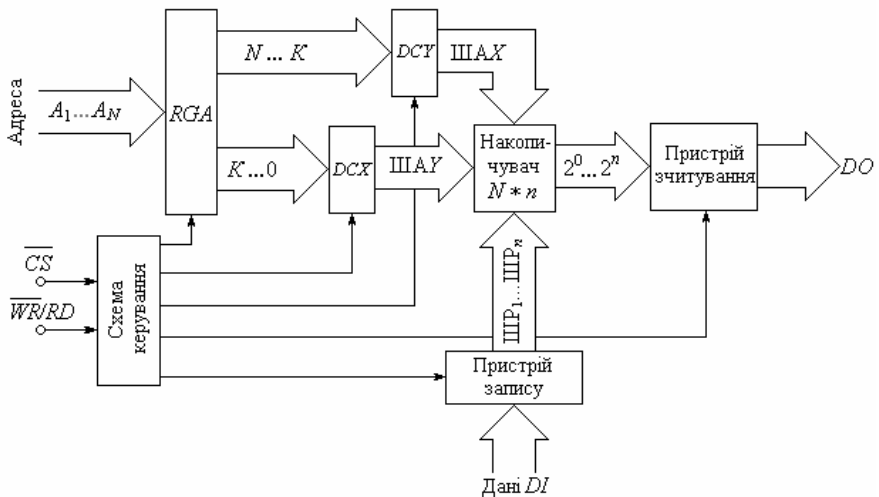


Рис. 12.5. Структурна схема ВІС ОЗП з двокоординатною вибіркою

Накопичувач з такою структурою має тривимірну будову і складається з n накопичувачів розрядів, кожний з яких містить N запам'ятовувачів. Тому кожний накопичувач відповідає тільки за один однойменний розряд усіх N слів, а кожне слово записується, зберігається і зчитується в усіх n накопичувачах за ідентичною двокоординатною адресою x_i, y_j .

Обидві структурні схеми відрізняються лише наявністю одного (рис. 12.4) дешифратора адреси, або двох (рис. 12.5), що носять назви: DCX – дешифратор адресних шин строк ШАХ; DCY – дешифратор адресних шин стовпців ШАУ.

Для запису слова у запам'ятовувач за адресою x_i, y_j на вході адресних дешифраторів ШАУ і ШАХ (рис. 12.5) подаються відповідні адреси.

Інформаційне двійкове слово надходить на спільні розрядні шини ШР через пристрій запису, а зчитування записаного слова здійснюється через пристрій зчитування.

Структурна схема має два керуючих входи: запис/зчитування \overline{WR}/RD та додатковий – \overline{CS} .

Керуючий вхід \overline{CS} , що носить назву “вибір мікросхеми” – це вхід дозволу проходження сигналу.

Вхідні схеми ВІС ОЗП – це формувачі на логічних елементах, що забезпечують узгодження накопичувача з вхідними зовнішніми пристроями за струмом та напругою.

Вихідні каскади ВІС ОЗП – це логічні елементи з відкритим колектором або тристанові буфери, які забезпечують каскадування ВІС у системах з шинною організацією передавання даних.

На рис. 12.6 показані умовні позначення статичних ВІС ОЗП з паралельними входами й виходами (рис. 12.6,*а*) та послідовними входом і виходом (рис. 12.6,*б*).

Мікросхема статичного чотирирозрядного ОЗП (рис. 12.6,*а*) має паралельні входи DI_j і виходи DO_j з тристановим буфером і з організацією пам'яті місткістю (16×4) біт, тобто 64 біт.

Мікросхема статичного чотирирозрядного ОЗП (рис. 12.6,*б*) має послідовні вхід DI і вихід DO даних з відкритим колектором.

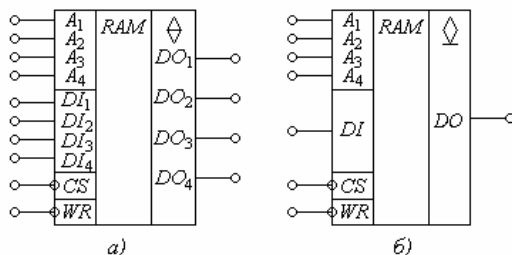


Рис. 12.6. Умовне позначення ВІС ОЗП:
а – з паралельними входами і виходами;
б – з послідовними входом і виходом

12.5. Інформаційні та керуючі сигнали ВІС ОЗП

Обмін інформацією з ОЗП здійснюється по шинах або магістралях, що поділяються на три групи: шина даних, адресна шина, шина керуючих сигналів.

Шина даних – це набір сигнальних ліній, за допомогою яких передається паралельно двійкова інформація. Число ліній, що утворюють шину, визначають максимальну довжину числа, яке можна передавати в двійковій формі. Шини даних бувають 8-, 16- і 32-розрядними. Символами DI позначається шина запису даних, а DO – шина зчитування даних.

Шина даних може бути *двонапрямленою*, тобто для взаємного обміну даними різні пристрої підключаються до єдиного проводу – шини, як показано на рис. 12.7. По цій шині відбувається обмін інформацією між робочими блоками пристроїв.

Робочий блок – це будь-який вузол, до якого надходять дані $EI_1 \dots EI_N$, наприклад, ОЗП. Виходи робочих блоків через елементи $\&$ з відкритим колектором підключені до числової шини D . До других входів елементів $\&$ надходять керуючі сигнали (сигнали звернення) $EO_1 \dots EO_N$. При $EO_i = 0$

вихідний транзистор елемента $\&$ з відкритим колектором закритий і вихід блока від'єднується від шини.

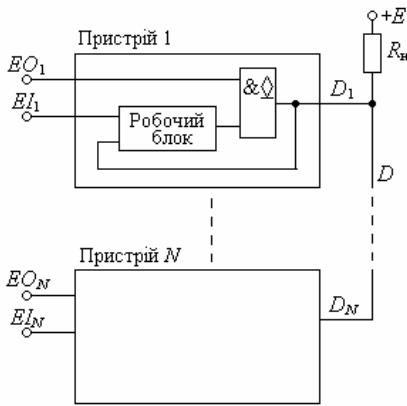


Рис. 12.7. Організація шини даних

Якщо на керуючому вході EO_i присутня логічна одиниця, то вихідний сигнал відповідного i -го робочого блоку пропускається до шини D .

У кожний відрізок часу одиничне значення сигналу $EO_i = 1$ має подаватися лише на один пристрій. Якщо одиничні рівні $EO_i = 1$ на керуючих входах змінювати по чергову, то на шині D вихідні сигнали пристроїв будуть відбиватися також по чергову.

Керуючі сигнали $EI_1 \dots EI_N$ визначають режими приймання чи передавання. Завдяки цьому до шини D можна підключати не тільки виходи, а й входи робочих блоків з

метою утворення двонаправленого режиму роботи.

Якщо на деякий час подати $EO_i = 0$, а $EI_i = 1$, то робочий блок буде приймати сигнали з шини D . Якщо на один з пристроїв подавати сигнал $EO_i = 1$, а на інший $EI_j = 1$, то сигнал від i -го пристрою можна передавати на j -й пристрій, тобто виконувати за необхідності обмін даними між двома робочими блоками.

Одержану числову магістраль D на базі елементів з відкритим колектором називають двонаправленою шиною. Таке з'єднання елементів дозволяє зменшити кількість виводів пристроїв і кількість провідників магістралі.

Коли усі пристрої відключені від шини, тобто шина знаходиться у стані інформаційного нуля, то на ній утримується високий рівень напруги, завдяки джерелу $+E$ та резистору R_k . Тоді обмін по шині з відкритим колектором здійснюється за правилами негативної логіки, коли активний рівень низький. Це забезпечує меншу споживану потужність у проміжках між операціями обміну.

Суттєвим недоліком таких шин є мала швидкодія та низька завадостійкість. Це пояснюється тим, що шини передавання інформації, як правило, довгі, мають значні паразитні ємності і тому, як наслідок, вони чутливі до завад. Крім того, активний вихід (навіть високоомний) незручний і досить шкідливий в тих випадках, коли потрібно вести обмін даними одночасно з кількома робочими блоками або вузлами, як це має місце у мікропроцесорній техніці.

Сумісну роботу декількох блоків на одній лінії інформаційної шини успішно забезпечує логічний елемент з трьома вихідними станами або тристановий драйвер, який був розроблений спеціально для використання в

ролі вихідного буфера для підключення цифрових блоків до магістралі або шини. Буфери з трьома станами називають шинними драйверами.

Адресна шина – це група сигнальних ліній, за допомогою яких визначається прилад, в який чи з якого повинна бути передана або зчитана інформація. Кожне двійкове число, що подане на адресну шину, може визначити лише конкретну область пам'яті. Восьмирозрядні процесори мають 16 адресних ліній; 16-розрядні мають, як правило, 20-розрядні адресні шини. Адресні шини, звичайно, однонаправлені і позначаються символами A_i .

Шина керуючих сигналів – це набір сигнальних ліній. Склад таких сигналів може бути досить різноманітним в залежності від типу запам'ятовувача.

Нормальне функціонування ОЗП залежить від організації часових співвідношень між сигналами. Тому всі згадані сигнали мають бути розподіленими за часом.

Розглянемо процеси запису й зчитування інформації в мікросхемі, що наведена на рис. 12.6,а. Ці процеси ілюстровані часовими діаграмами роботи на рис. 12.8,а та 12.8,б.

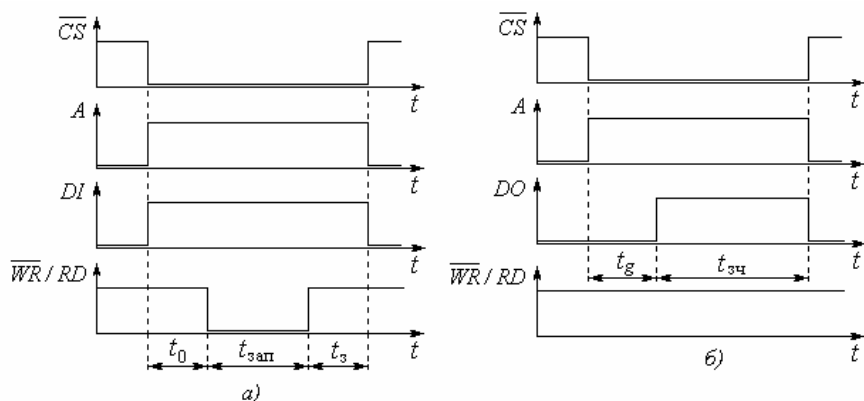


Рис. 12.8. Часові діаграми роботи ВІС ОЗП: а – у режимі запису, б – у режимі зчитування

Мікросхема має наступні шини керуючих сигналів: \overline{CS} – вибір мікросхеми; \overline{WR}/RD – керування режимами запису та зчитування.

Послідовність подачі сигналів у режимах запису та зчитування наведена на рис. 12.8, яку обов'язково треба виконувати для правильної роботи мікросхеми.

У режимах запису й зчитування тривалість імпульсу \overline{CS} визначає час звернення до даної мікросхеми, за який потрібно закінчити процеси звернення.

У режимі запису інформації (рис. 12.8,а) дозвіл на запис $\overline{WR}/RD=0$ подається (за часом) після установки адреси. У нашому випадку адреса задається сигналами одиничного рівня, тобто $A = 1$. Часова затримка приходу

сигналу \overline{WR}/RD за порівнянням з $A = 1$ на тривалість t_0 запобігає помилок, які пов'язані із заборобою починати запис інформації до закінчення часу дешифрування адреси. Для забезпечення надійного запису у вибрану комірку ОЗП сигнал дозволу на запис \overline{WR}/RD знімається раніше за всі інші сигнали DI , A і \overline{CS} . Отже останні мають припинити свою дію лише з певною затримкою t_3 . Сума часових інтервалів називається часом циклу запису

$$T_3 = t_0 + t_{\text{зап}} + t_3. \quad (12.1)$$

У режимі зчитування інформації (рис. 12.8,б) після устанавлення активного рівня адреси $A = 1$ дані на виході DO з'являються тільки після певного проміжку часу t_g , який називають часом доступу при зчитуванні.

Сума часів називається часом циклу зчитування

$$T_{\text{зч}} = t_g + t_{\text{зч}}. \quad (12.2)$$

ВІС ОЗП допускають нарощування місткості пам'яті збільшенням розрядності та числа запам'ятовувачів.

12.6. Постійні запам'ятовувальні пристрої (ПЗП)

12.6.1. Класифікація ПЗП

Постійні запам'ятовувальні пристрої (ПЗП) – це функціональні вузли, які мають лише два режими роботи: зберігання та зчитування. Запис нових даних у ПЗП можна здійснювати тільки до включення ПЗП в роботу. Цей процес носить назву “Програмування ПЗП” і здійснюється як заводом-виготовувачем, так і користувачем-програмувачем.

Існує три типи ПЗП, що поділяються за способом програмування.

ПЗП з *масковим програмуванням* (МПЗП) – це пристрої, в які інформація записана раз і назавжди. Зміст пам'яті такого МПЗП залишається постійним на весь час його роботи. Маскові ПЗП виготовляються тільки на заводі, де за картою програмування, яка по суті є таблицею істинності, устанавлюються дільниці металізації, які потрібні для кодування тій чи іншої інформації. За такою технологією виготовляються ПЗП для перетворення, наприклад, двійкового коду в коди символів (російських, латинських літер, цифр тощо).

Програмовані ПЗП (ППЗП) на відміну від МПЗП мають напівпровідникові діоди або транзистори, які з'єднані з усіма точками перетину шин матриці плавкими перемичками, тобто при виготовленні за всіма адресами ППЗП записується число $\{11 \dots 11\}$. Режим програмування складається з послідовної подачі адреси слів, після чого імпульсами струму руйнуються перемички в місцях, де вони непотрібні. Для перепалювання перемичок використовується спеціально призначений для цього пристрій – програматор.

Якщо при програмуванні ППЗП була допущена помилка, то виправити її вже не можна і ППЗП буде неприцездатним.

Перепрограмовані або *репрограмовані* ПЗП (РПЗП) дозволяють виконувати запис та стирання інформації. Організація РПЗП відрізняється від ППЗП тим, що між лініями рядків і стовпців включені не діоди чи біполярні транзистори з плавкими перемичками, а спеціальні МОН-транзистори з так званим плаваючим заслоном. Плаваючий заслін вбудований між металевим заслоном і підшарком МОН-транзистора. Він не має виводу і оточений діелектриком. Під прискорювальним електричним полем він може накопичувати електрони, які відкривають транзистор на багато десятків років. Під полем протилежної полярності накопичення електронів руйнується, через що транзистор закивається. Так можна здійснювати перепрограмування РПЗП.

Оскільки ПЗП існують тільки в інтегральному виконанні, то вони відомі під назвою великих інтегральних схем (ВІС).

ВІС (РПЗП) схожі на ОЗП, в яких цикл запису в декілька тисяч разів більше за цикл зчитування. В РПЗП можна повернути в початковий стан будь-який окремий МОН-транзистор.

Недоліком РПЗП та МПЗП порівняно з ППЗП є більший час вибірки: сотні секунд.

За способом зчитування ВІС ПЗП поділяють на асинхронні та синхронні.

Зчитування інформації з асинхронних ПЗП відбувається в будь-який час при зверненні до даного ПЗП, а із синхронних ПЗП – лише за наявності на спеціальному вході ВІС ПЗП синхроімпульсу заданої тривалості.

За технологією виготовлення ВІС ПЗП розрізняють за типом запам'ятовувачів: діодні, біполярні та польові.

12.6.2. Структура ВІС ПЗП

Структурою ПЗП може бути дворівнева ПЛМ (див. рис. 11.3). Програмується лише матриця М2 (диз'юнкцій), а матриця М1 (кон'юнкцій) налагоджена на реалізацію функцій повного дешифратора всіх $q = 2^n$ вихідних від n вхідних адресних кодових комбінацій. Реалізація ПЗП зумовлює те, що схему повного дешифратора (матрицю М1) програмувати неможливо, через що параметр $q = 2^n$ зафіксований.

На рис. 12.9 наведена узагальнена структурна схема ВІС ПЗП.

Основою структурної схеми є накопичувач інформації (надалі – накопичувач), який з'єднаний через ША з дешифратором адреси DC , а через ШР – з блоком мультиплексорів MUX . Паралельний код адреси A подається на формувач адрес, протифазні сигнали якого надходять на DC і блок MUX , які активізують одну з горизонтальних (адресних) шин ША.

Зчитування записаної у запам'ятовувачах інформації відбувається по всіх вертикальних шинах ШР через блок мультиплексорів і пристрій вводу-виводу.

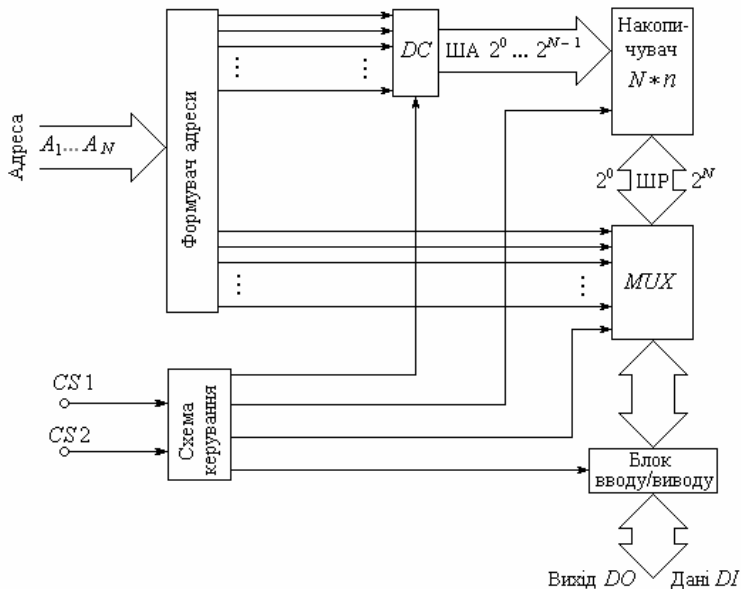


Рис. 12.9. Узагальнена структурна схема ВІС ПЗП

Схема керування синхронізує роботу *DC* і блока *MUX*. Пристрій вводу-виводу виконується або за схемами з відкритим колектором, або з використанням тристанових драйверів. Схема керування визначає режими запису, зчитування та стирання інформації. На відміну від ОЗП при зчитуванні накопичувача ПЗП видається вміст цілого рядка запам'ятовувачів, причому такий рядок може містити навіть декілька слів. З вибраного дешифратором рядка за допомогою мультиплексорів *MUX* виділяється і передається на вихід потрібне слово.

Щодо програмування, то воно починається зі складання таблиці істинності, де кожній комбінації повного набору адреси A_1, \dots, A_n відповідає кодова комбінація даних адреси $D_0, \dots, D_{(m-1)}$. Для наочного прикладу наведемо таблицю істинності для станів запам'ятовувача ПЗП (табл. 12.1).

Таблиця 12.1

Стани запам'ятовувача ПЗП

Слово ША	Дані ПЗП							
	D_1	D_2	D_3	D_4	D_5	D_6	D_7	D_8
A_1	0	1	1	0	0	1	1	1
A_2	1	0	1	0	0	0	1	0
A_3	1	1	0	0	1	0	0	0
A_4	0	1	1	1	0	0	0	0

Таблиця істинності описує стани матриці накопичувача для побудови ПЗП, яка має місткість 32 біти, що розбиті на чотири слова ($A_1 \dots A_4$) по вісім

розрядів ($D_8 \dots D_1$) у кожному з них. Такий ПЗП здатний запам'ятовувати чотири однокбайтових слова ($4 \times 8 = 32$ біти).

Діодна матриця накопичувача ПЗП, яка відповідає табл. 12.1, наведена на рис. 12.10.

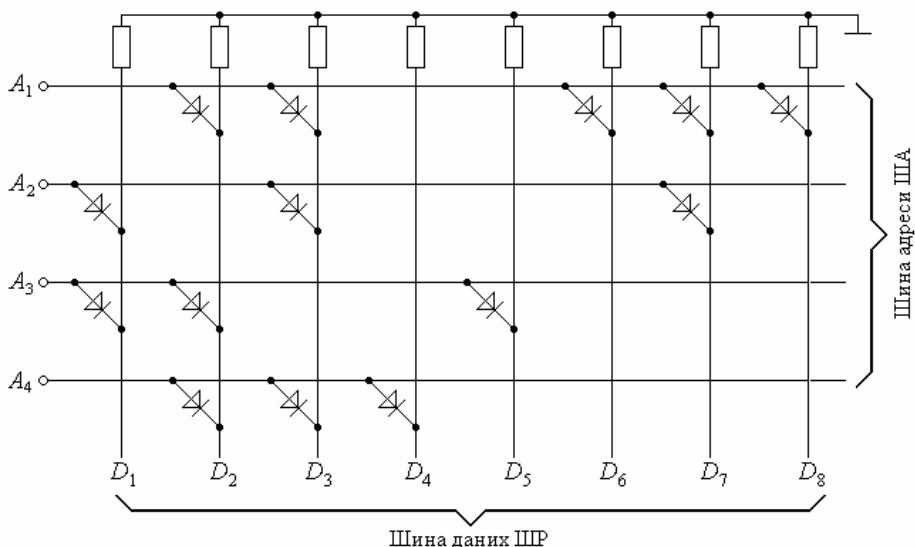


Рис. 12.10. Діодна матриця накопичувача ПЗП

Для вибору потрібного слова на одну з чотирьох адресних шин подається одиничний рівень напруги. Тоді на тих шинах даних ШР, на перетинах яких з обраною шиною адреси ША присутній діод, з'являється одиничний рівень, а якщо діод відсутній – нульовий. Наприклад, при активізації шини адреси A_1 кодова комбінація даних на шині ШР є словом: 11100110 (якщо вважати D_1 молодшим розрядом).

Основним недоліком ВІС ПЗП з діодним накопичувачем є відносно велике струмоспоживання по входах $A_1 - A_4$, що навантажує джерело сигналу.

Цей недолік усунений в ПЗП з транзисторним накопичувачем.

Схема біполярної матриці накопичувача, що відповідає табл. 12.1, наведена на рис. 12.11. Активним для матриці адресним потенціалом є рівень логічного нуля. В координатному полі накопичувача транзистори розміщують у точках перетину, де повинні зберігатися біти, що мають значення логічного нуля. При подачі на одну з адресних шин рівня логічного нуля, відкриваються транзистори, які підключені до цієї адресної шини. Тоді на тих шинах даних ШР, на перетинах яких з обраною ША присутній транзистор, формується нуль, а на решті ШР через резистори надходить рівень логічної одиниці від джерела $+E$.

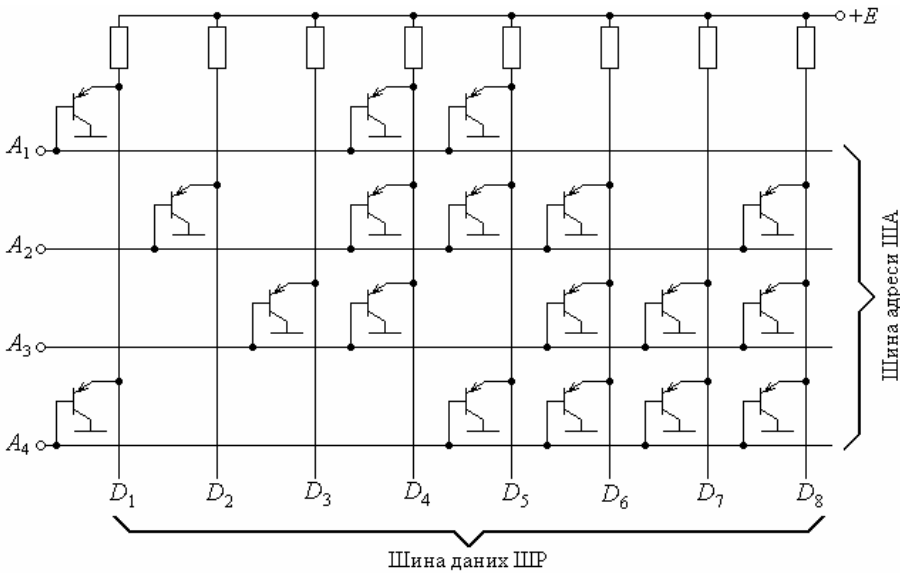


Рис. 12.11. Біполярна матриця накопичувача ППЗП

Щодо МОН-накопичувачів, то вони мають нижчу швидкодію, ніж біполярні, але потужність розсіювання їх значно нижча. З метою реалізації польової матриці-накопичувача на перетинах адресних шин і шин даних за відповідною таблицею істинності ПЗП включаються польові транзистори. Так само, як і у біполярного накопичувача, наявність або відсутність транзистора у точці ортогональних ліній відповідає стану логічної одиниці, або логічного нуля запам'ятовувача.

Структура програмованих ПЗП (ППЗП) аналогічна структурі маскових ПЗП. Різниця, по-перше, в схемі запам'ятовувача, а по-друге, в кількості напівпровідникових елементів, які перепалюються при програмуванні.

Запам'ятовувачі таких ППЗП бувають різні. Найчастіше зустрічаються запам'ятовувачі, що виготовляються з плавкими перемичками (рис. 12.12,а), або зі зворотно включеними діодами (рис. 12.12,б).

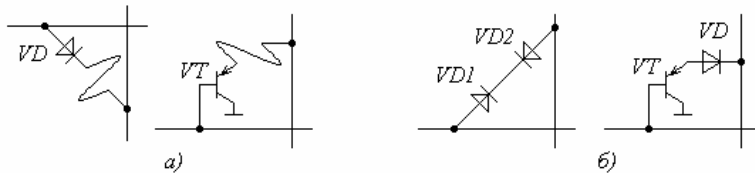


Рис. 12.12. Типи запам'ятовувачів програмованих ППЗП:

а — з плавкими перемичками; б — зі зворотно включеними діодами

У процесі програмування перемички перепалюються електричним струмом. Якщо перемичка перепалюється, запам'ятовувач від'єднується від точки перетину.

Другий тип запам'ятовувача, що використовується у програмованих ПЗП, має зворотно включені діоди VD (рис. 12.12,б). За такої схеми у початковому стані до програмування ПЗП жодна точка перетину не має запам'ятовувачів.

У процесі програмування зворотно включені діоди $VD1$ (VD) закорочуються, тобто залишається або один діод $VD2$, або транзистор VT , що відповідає присутності запам'ятовувача у точці перетину.

Програмування ПЗП із запам'ятовувачами першого типу виконується таким чином, щоб перепалити перемички в тих точках перетину шин, де за таблицею істинності запам'ятовувач повинен бути відсутнім.

Програмування ПЗП із запам'ятовувачами другого типу, навпаки, зводиться до закорочування зворотних діодів у точках, де треба поставити запам'ятовувач. Режими програмування в різних мікросхемах програмованих ПЗП різні, бо визначаються не тільки технологією виготовлення даної ВІС, але й типом мікросхеми ПЗП.

Структура репрограмованих РПЗП аналогічна масковим та програмованим ПЗП, але відрізняється тим, що в них можна багаторазово стирати записану інформацію та записувати нову. Накопичувачі репрограмованих РПЗП виконуються за спеціальними технологіями з використанням спеціальних типів транзисторних структур.

Наприклад, на основі МОН-структур будують, так звані транзистори з плаваючим ізолюваним заслоном. Ці транзистори змінюють під час програмування свої характеристики. Такі зміни є ознакою стану інформації, що зберігається в ПЗП. У процесі стирання всі транзистори під дією, наприклад, ультрафіолетового випромінювання закриваються, що відповідає запису в усіх запам'ятовувачах логічної одиниці. Потім за допомогою шин адреси і даних вибираються ті транзистори, в які потрібно занести логічний нуль, і відбувається запис нової інформації.

На рис. 12.13 наведені умовні позначення трьох типів ПЗП: маскові МПЗП (рис. 12.13,а), програмовані ППЗП (рис. 12.13,б) та репрограмовані РПЗП (рис. 12.13,в).

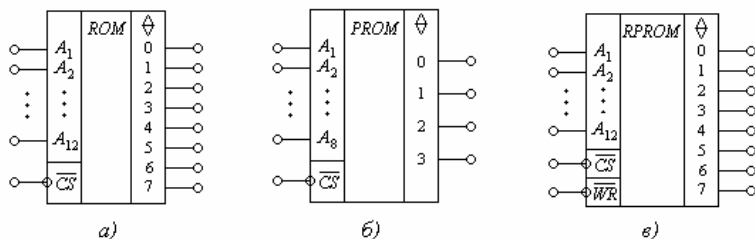


Рис. 12.13. Умовне позначення ПЗП:

а – маскові (МПЗП); б – програмовані (ППЗП); в – репрограмовані (РПЗП)

Маскові ПЗП більш придатні для зберігання констант, стандартних таблиць, символів, підпрограм і нагадують “книжку для читання”.

Програмовані та репрограмовані ПЗП дозволяють ще реалізувати широкий клас функціональних вузлів і нагадують “блокнот з чистими сторінками”. ПЗП можуть бути використані для реалізації бульових функцій, побудови цифрових автоматів, перетворювачів кодів, арифметичних пристроїв та пристроїв оброблення інформації.

У ряді випадків застосування ВІС ПЗП можна одержати значний вигравш у швидкодії, габаритних розмірах та вартості проєктованих пристроїв.

Контрольні питання

- 12.1. Що таке ОЗП?
- 12.2. Що таке запам'ятовувач?
- 12.3. Які вузли входять до типової структурної схеми ОЗП і які функції виконує кожен з них?
- 12.4. Як відбуваються запис та зчитування у накопичувач ОЗП?
- 12.5. Які часові співвідношення між вхідними сигналами ВІС ОЗП?
- 12.6. Що таке ПЗП? Які функції вони виконують?
- 12.7. Яка існує класифікація ПЗП за способом програмування?
- 12.8. Які принципи побудови ВІС ПЗП?
- 12.9. Які типи запам'ятовувачів використовуються в ВІС ПЗП?
- 12.10. Яка різниця між МЗП, ППЗП та РПЗП?

Рекомендована література

- 12.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 297 – 317.
- 12.2. Рицар Б.Є. Цифрова техніка / Б.Є. Рицар – К.: НМК ВО, 1990. – 371 с.
- 12.3. Большие интегральные схемы запоминающих устройств: [Справочник]; под ред. Ю.А. Гордонова, Ю.Н. Дьякова. – М.: Радио и связь, 1990. – 420 с.
- 12.4. Букреев И.Н. Микроэлектронные схемы цифровых устройств / И.Н. Букреев, В.И., Горячев, Б.М. Мансуров – М.: Радио и связь, 1990. – 414 с.
- 12.5. Зубчук В.И. Справочник по цифровой технике / В.И. Зубчук, В.П., Сигорский, А.Н. Шкуро – К.: Техника, 1990. – 145 с.
- 12.6. Баранов С.И. Цифровые устройства на программируемых БИС с матричной структурой / С.И. Баранов, В.А. Складаров – М.: Радио и связь, 1986. – 269 с.

Розділ 13

ЦИФРО-АНАЛОГОВІ ТА АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

13.1. Загальні відомості

У більшості випадків сигнал, який надходить від джерела інформації, має аналогову форму та описується неперервною функцією із миттєвими значеннями, які розміщені в деякому інтервалі часу. Це, наприклад, речовий сигнал у телефонії та радіомовленні, телевізійний сигнал тощо.

Передавання та оброблення таких сигналів може виконуватись двома способами: аналоговим та цифровим. Останнім часом найбільшого розповсюдження набули *цифрові системи передачі* (ЦСП).

На передавальному кінці ЦСП аналогові сигнали перетворюються в цифрові, а на приймальному кінці виконується обернене перетворення сигналів з цифрової форми в аналогову.

Основні переваги цифрових методів оброблення та передавання порівняно з аналоговими полягають у високій завадостійкості, принциповій можливості виключення апаратурної похибки при обчисленнях, стабільності параметрів (незалежно від часу та змін температури), оперативності зміни алгоритму обробки, підвищенні швидкодії тощо.

Перетворення сигналів з аналогової форми в цифрову виконується в приладах, які називаються *аналого-цифровими перетворювачами* (АЦП).

Прилади, які виконують обернене перетворення сигналів з цифрової форми в аналогову, називаються *цифро-аналоговими перетворювачами* (ЦАП).

АЦП і ЦАП є основними функціональними вузлами цифрової техніки та техніки зв'язку, які визначають точність, швидкодію та конструктивні параметри цифрових радіотехнічних систем. За останні роки досягнуті значні успіхи в побудові систем оброблення неперервної інформації завдяки появі аналогових мікропроцесорів, де поєднуються перетворення форми зображення та цифрове оброблення сигналів.

Параметри інтегральних схем ЦАП і АЦП можна поділити на дві групи: статичні та динамічні.

Статичні параметри, в свою чергу, розподіляються на дві підгрупи.

До першої підгрупи статичних параметрів відносяться параметри, загально прийняті для усіх типів ІС, які визначають енергетичні показники, наприклад, струм споживання, напругу живлення і т.д.

До другої підгрупи відносяться параметри, які характерні лише для перетворювачів. Це характеристика перетворення (ХП), розрядність, діапазон та рівні вхідних і вихідних сигналів, нелінійність, диференціальна нелінійність, абсолютна похибка перетворення, напруга відхилення нуля на виході ЦАП або АЦП.

До динамічних параметрів відносяться час перетворення і частота перетворення, які визначають швидкодію ЦАП і АЦП.

13.2. Цифро-аналогові перетворювачі

Цифро-аналоговими перетворювачами (ЦАП) називають пристрої, які перетворюють вхідну цифрову комбінацію на вихідну аналогову величину. Наприклад, вхідна комбінація Σx_i (рис. 13.1) перетворюється на вихідну напругу $U_{\text{вих}}$.

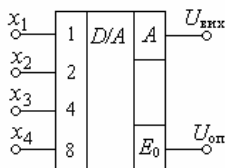


Рис. 13.1. Умовне позначення двійкового чотирирозрядного ЦАП

До входу E_0 подається стабілізована так звана опорна напруга $U_{\text{оп}}$, з якої утворюється аналогова копія $U_{\text{вих}}$ вхідного числа Σx_i .

Цифро-аналогове (ЦА) перетворення складається з підсумовування еталонних величин, що відповідають розрядам вхідного числа.

Застосовуються, як правило, два методи ЦА перетворення: підсумовування однакових еталонних величин та підсумовування еталонних величин, вагові коефіцієнти яких відрізняються.

У першому методі при формуванні вихідного аналогового сигналу використовується тільки одна еталонна величина вагою в один квант.

У другому методі використовуються еталонні величини з вагами, залежними від номера розряду, а в підсумовуванні беруть участь лише ті еталонні величини, для яких у відповідних розрядах вхідного числа встановлюється рівень логічної одиниці. При цьому в більшості випадків використовуються двійковий або двійково-десятковий коди.

У випадку двійкового коду робота ЦАП описується рівнянням:

$$U_{\text{вих}} = U_{\text{оп}} (x_1 2^{-1} + x_2 2^{-2} + \dots + x_i 2^{-n}), \quad (13.1)$$

де $U_{\text{вих}}$ – вихідна аналогова напруга;

$U_{\text{оп}}$ – опорна напруга;

x_i – вагові коефіцієнти відповідних двійкових розрядів, які набувають значення або одиниці, або нуля;

n – число розрядів.

Окремі еталонні величини, що відповідають значенням розрядів вхідного числа, які підсумовуються й утворюють дискретні значення вихідної напруги (аналогової величини), формуються з опорної напруги $U_{\text{оп}}$. Опорною може бути напруга постійного або змінного струму.

Класифікація ЦАП може бути подана за різноманітними ознаками:

- за способом формування вихідного сигналу (підсумовування напруг, ділення напруг, підсумовування струмів);

- за видом вихідного сигналу (зі струмовим виходом, з виходом за напругою);

- за полярністю вихідного сигналу (уніполярні, біполярні);

- за характером джерела опорної напруги (постійної чи змінної);
- за типом елементів (резистивні, ємнісні, оптоелектронні тощо).

Схеми ЦАП виготовляють здебільшого в інтегральному виконанні. Серед різних способів ЦА перетворення широкого використання набули ЦАП, спільною ознакою яких є наявність матриці резисторів R з вихідним аналоговим суматором на перетворювачі струму в напругу.

Матриця резисторів призначена для “зважування” цифрового сигналу, який подано паралельним кодом. Для реалізації ЦА перетворення переважно використовують два типи матриць резисторів:

- складеної з двійково-зважених резисторів;
- на основі резисторів зі співвідношенням $R-2R$.

13.2.1. Параметри ЦАП

Параметри, що нормуються для даного типу ЦАП, визначаються їхнім призначенням або областю їхнього використання. Основні параметри інтегральних мікросхем ЦАП регламентуються стандартом. Номенклатура нормованих параметрів розбивається на дві групи: статичні та динамічні.

Статичні параметри описують роботу перетворювачів у статичному режимі і містять наступне.

Число розрядів n визначається як двійковий логарифм максимального числа кодових комбінацій на вході ЦАП

$$n = \log_2 b, \quad (13.2)$$

де b – число можливих кодових комбінацій на вході ЦАП.

Сукупність значень вихідної аналогової величини x_i , (найчастіше це напруга $U_{\text{вих}}$ і тому надалі у формулах будемо використовувати тільки цей параметр), в залежності від вхідного числа N_i , називають *номінальною функцією* або *характеристикою перетворення* (ХП). Така сукупність може надаватися у вигляді графіку (рис. 13.2), формули, таблиці.

Значення дискретної зміни вихідної аналогової величини при зміні вхідного числа на одиницю називається *кроком квантування* h .

Кількісний зв'язок між вхідним числом та його аналоговим еквівалентом установлює формула

$$U_{\text{вих } i} = hN \pm \delta U, \quad (13.3)$$

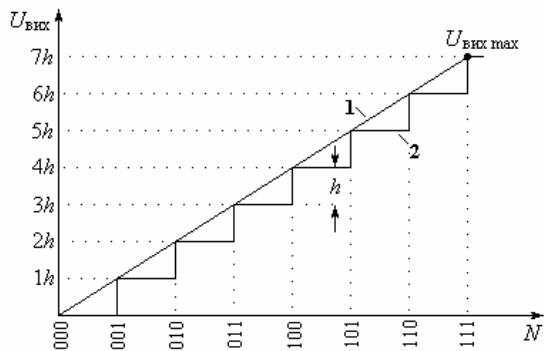


Рис. 13.2. Характеристика перетворення трирозрядного двійкового ЦАП

де h – крок квантування;

δU – похибка перетворення;

N – вхідне число.

Двійкове число N складається з певної кількості розрядів $2^i x_i$, які можуть набувати значень або 0, або 1.

$$N = 2^0 x_1 + 2^1 x_2 + \dots + 2^{n-1} x_n = \sum_{i=1}^n 2^i x_i; \quad (13.4)$$

$$x_i \in \{x_1, x_2, \dots, x_n\},$$

де n – кількість двійкових розрядів.

Таблиця 13.1

Стани розрядів ЦАП

x_3	x_2	x_1	$U_{\text{вих}}$
0	0	0	0
0	0	1	$1h$
0	1	0	$2h$
0	1	1	$3h$
1	0	0	$4h$
1	0	1	$5h$
1	1	0	$6h$
1	1	1	$7h$

3 характеристики перетворення трирозрядного ЦАП (див. рис. 13.2), яка побудована за таблицею станів розрядів ЦАП (табл. 13.1), видно, що при зміні вхідного числа N на одиницю вихідна аналогова напруга $U_{\text{вих}}$ дискретно змінюється на крок квантування h .

Якщо на вхід ЦАП подано максимальне для даного пристрою двійкове число, то на виході одержуємо максимальне значення вихідної аналогової величини $U_{\text{вих max}}$.

Щодо мінімальної вихідної напруги, то вона може набувати будь-яких значень у межах $0 \leq U_{\text{вих min}} < U_{\text{вих max}}$.

Інтервал значень вихідної напруги від мінімальної $U_{\text{вих min}}$ до максимальної $U_{\text{вих max}}$ називають діапазоном змінення вихідної величини.

Крок квантування та діапазон змінення вихідної величини (без урахування похибки перетворення) зв'язані співвідношенням

$$h = \frac{U_{\text{вих max}}}{2^n}. \quad (13.5)$$

При зменшенні кроку квантування ХП 2 наближається до прямої лінії 1 (див. рис. 13.2).

У випадку *ідеального* лінійного ЦАП усі кроки квантування *однакові*. В реальних ЦАП кроки квантування в різних точках відрізняються один від одного, що зумовлює похибку перетворення. Тому використовують середнє значення кроку квантування $h_{\text{сеп}}$.

Найменше значення зміни вихідної аналогової величини від кроку квантування h , яку можна відрізнити, називається роздільною здатністю. Роздільна здатність може розраховуватися або в одиницях вихідної аналогової величини, або у відсотках.

Реальні характеристики перетворення відрізняються від ідеальної неоднаковим значенням кроків квантування на всій довжині ХП. Різниця між ідеальною ХП та реальною визначає похибку перетворювання. Похибка, яка виникає в реальному випадку, характеризується рядом відхилень та визначається відповідними параметрами: нелінійність, диференційна

нелінійність, відхилення аналогової величини від номінального значення, напруга зсуву нуля.

Нелінійність δ_L – це максимальне відхилення точки реальної ХП від ідеальної. Нелінійність може бути приведеною до виходу і тоді вона визначається у відносних одиницях формулою

$$\delta_L = \frac{\delta_{\max}}{U_{\text{вих max}}}, \quad (13.6)$$

де δ_{\max} – максимальне відхилення будь-якої точки реальної ХП від ідеальної.

Диференційна нелінійність δ_{LD} – це відносне відхилення дійсного кроку квантування h від його середнього значення $h_{\text{сеп}}$, яке визначається формулою

$$\delta_{LD} = \frac{h - h_{\text{сеп}}}{U_{\max}}. \quad (13.7)$$

Для оцінки ЦАП враховують лише максимальне значення диференційної нелінійності.

Абсолютна похибка перетворення в кінцевій точці шкали δ_{FS} відлічується, як відхилення реального значення кінцевої точки характеристики перетворення від ідеального за формулою

$$\delta_{FS} = U_{\text{вих max } i} - U_{\text{вих max}}, \quad (13.8)$$

де $U_{\text{вих max } i}$ і $U_{\text{вих max}}$ – значення вихідної напруги в кінцевій точці, відповідно ідеальної та реальної ХП.

Напруга зсуву нуля вихідної аналогової величини – це дійсне значення вихідної величини при нульовому вхідному числі. Цей параметр визначається, як величина, на яку паралельно ідеальній зсувається реальна ХП відносно початку координат.

Динамічні параметри ЦАП зумовлені тим, що в реальних умовах експлуатації ЦАП працюють при безперервному змінненні значень вхідного числа. Відлік напруги на виході ЦАП повинен відбуватися тільки після закінчення всіх перехідних процесів у ньому. Тому швидкодія ЦАП визначається часом його перехідних процесів, а динамічні параметри зумовлюють швидкодію та похибка оброблення інформації.

Найважливішим динамічним параметром є *час установлення вихідного сигналу* або *час перетворення* t_s . Він визначається як час від початку зміни цифрового сигналу на вході ЦАП до появи на виході відносно сталого аналогового сигналу. В залежності від типу ЦАП – це може бути час установлення вихідного струму t_{si} , або час установлення вихідної напруги t_{st} . Найчастіше в довідниках наводять час установлення при стрибкоподібній зміні вхідного числа від мінімуму до максимуму, або навпаки.

Другий важливий динамічний параметр – це *час затримки розповсюдження* t_r . Він визначається тривалістю часу до моменту досягнення вихідною аналоговою величиною половини максимального вихідного значення $U_{\text{вих max}}$.

13.2.2. Схеми ЦАП

Схеми ЦАП виконуються у виді резистивних матриць, які іноді називають *квантувачами*.

Найпростішими квантувачами вважаються матриці на *двійково-зважених резисторах*, бо містять найменшу кількість резисторів – лише по *одному* резистору на кожний двійковий розряд. Номінали резисторів, які використовуються для ЦАП, визначаються з ряду 2^0R ; 2^1R ; 2^2R ; ...; $2^{n-1}R$; де n – число двійкових розрядів.

З цього ряду видно недолік матриці на двійково-зважених резисторах – це значна кількість номіналів резисторів: n . Якщо врахувати прецизійне виготовлення кожного резистора, то згаданий недолік є суттєвим. Тому в більшості випадків матриці на двійково-зважених резисторах виготовляють тетрадними, тобто чотирирозрядними. Тоді в кожній тетраді лише чотири резистори. Щодо збільшення розрядності, то її нарощують кількістю тетрад.

Схема ЦАП на матриці двійково-зважених резисторів з підсумовуванням зважених струмів наведена на (рис. 13.3).

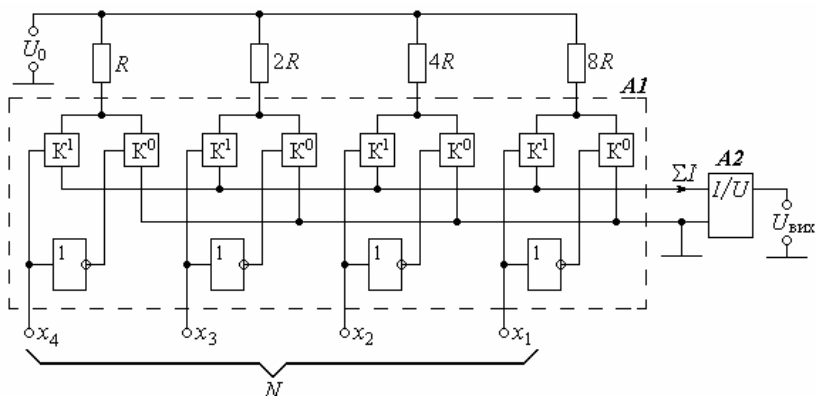


Рис. 13.3. Схема ЦАП на двійково-зважених резисторах

Тут:

$R, 2R, 4R, 8R$ – матриця двійково-зважених резисторів;

U_0 – джерело стабілізованої опорної напруги;

$A1$ – комутатор;

$A2$ – суматор зважених струмів (перетворювач струму в напругу).

Входи резисторів матриці $R, 2R, 4R, 8R$ живляться від джерела опорної напруги U_0 . Виходи цих резисторів підключені до одиничних K^1 та нульових K^0 ключів комутатора $A1$. До входів ключів K^1 підключені двійкові розряди $x_4; x_3; x_2; x_1$ вхідного числа N безпосередньо, а до входів ключів K^0 – через інвертори. Тому за будь-якого значення розряду один із ключів відкритий, а інший закритий.

Щодо наявності в кожному розряді двох ключів, а не одного, то це пояснюється наступним.

Для уникнення впливу внутрішнього опору джерела U_0 на точність перетворювання слід мати навантаження опорної напруги U_0 незмінним за будь-якого стану ключів. З цієї вимоги випливає, що за будь-якого стану входів ЦАП виходи резисторів $R, 2R, 4R, 8R$ мають підключатися до однієї і саме тієї ж напруги. Такою напругою тут вибрана нульова. Тоді при нульовому стані входів x_4, x_3, x_2, x_1 ключі K^0 підключають виходи резисторів до нульової шини, а при одиничному – до інвертуючого входу приймача струму $A2$, який є віртуальною землею, тобто теж до нульової напруги. Отже для незмінного навантаження U_0 слід мати парні перекидні ключі K^0 і K^1 .

Через одиничні ключі K^1 усі резистори матриці зв'язані зі входом суматора струмів $A2$, а через K^0 – з нульовою шиною. Тому виходи резисторів матриці підключаються або до входу суматора струмів $A2$, або до нуля.

Перетворення вхідного числа N у напругу $U_{\text{вих}}$ здійснюється наступним чином.

У залежності від вхідного числа N на входах ключів K^1 та K^0 устанавлюється відповідна комбінація логічних нулів та логічних одиниць. Ключі K^1 , на входах яких напруга дорівнює логічному нулю, закриваються і струм через них не тече, тобто вони не підключають резистори до входу суматора струмів $A2$.

Так, при нульовому вхідному числі $N = \{0000\}$ всі ключі K^1 закриті, а K^0 відкриті. Тому виходи резисторів відключені від входу суматора ΣI і підключені до нуля. Через це сума струмів на вході суматора теж нульова $\Sigma I = 0$ і вихідна напруга дорівнює нулю: $U_{\text{вих}} = Q \Sigma I = 0$, де Q – коефіцієнт перетворення струму в напругу.

Коли ж усі розряди підведеного числа одиничні $N = \{1111\}$, то стани ключів змінюються на протилежні: ключі K^0 закриваються, відключаючи резистори від нуля, а ключі K^1 відкриваються, підключаючи резистори до входу суматора $A2$. Через це сума струмів на вході суматора максимальна $\Sigma I = I_{\text{max}}$, через що вихідна напруга теж максимальна: $U_{\text{вих max}} = Q I_{\text{max}}$.

Проміжні значення вхідного числа $\{0000\} < N < \{1111\}$ викликають відповідні проміжні пропорційні значення вихідної напруги $0 < U_{\text{вих}} < U_{\text{вих max}}$. Так, розряд $x_1 = 1$ забезпечить на вході $A2$ градацію струму $I_1 = E_0/8R$, розряд $x_2 = 1$ забезпечить дві таких градації і т.д. Сума струмів на вході суматора становитиме

$$\Sigma I = \frac{U_0}{R} x_4 + \frac{U_0}{2R} x_3 + \frac{U_0}{4R} x_2 + \frac{U_0}{8R} x_1 = 15 \frac{U_0}{8R}. \quad (13.9)$$

Вихідна напруга визначиться як

$$U_{\text{вих}} = Q \Sigma I. \quad (13.10)$$

Приймаючи в (13.8) усі значення $x_i = 1$, знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = 15Q \frac{U_0}{8R}. \quad (13.11)$$

Крок квантування дорівнює градації вихідної напруги від наймолодшого розряду ($x_4 = 1$):

$$h = Q \frac{U_0}{8R}. \quad (13.12)$$

Діленням (13.11) на (13.12) знаходимо, що кількість кроків квантування чотирирозрядного двійкового ЦАП становить 15.

У залежності від вхідного числа N проміжні значення вихідної напруги приймають значення в межах $0 < U_{\text{вих}} \leq 15h$.

Наперед слід сказати, що для сучасної техніки (про це йдеться нижче) 15 кроків квантування – це дуже мало. Як правило, потрібно $10^2 \dots 10^4$ кроків. Тому виникає задача нарощування розрядності ЦАП.

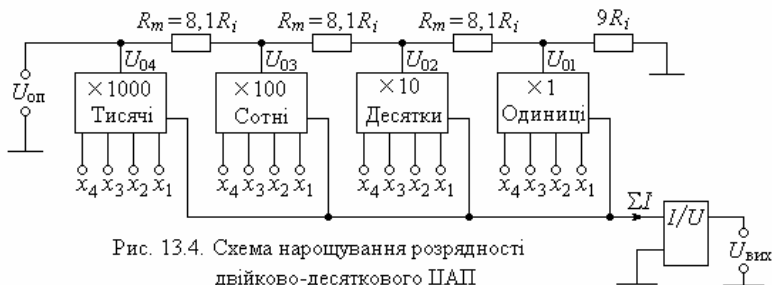


Рис. 13.4. Схема нарощування розрядності двійково-десятькового ЦАП

Цю задачу вирішує каскадне з'єднання тетрад ЦАП (рис. 13.4), через масштабуючі резистори з опорам

$$R_m = 8,1R_i, \quad (13.13)$$

де R_i – внутрішній опір тетради. Його провідність визначається сумою провідностей всіх резисторів

$$\frac{1}{R_i} = \frac{1}{R} + \frac{1}{2R} + \frac{1}{4R} + \frac{1}{8R} = \frac{15}{8R}, \quad (13.14)$$

звідки внутрішній опір тетради становить

$$R_i = \frac{8}{15} R. \quad (13.15)$$

За формулами (13.13) та (13.15) можна розрахувати опір масштабуючих резисторів R_m .

Схема ЦАП працює наступним чином.

Старша тетрада “×1000” живиться повною напругою $U_{\text{оп}}$, а кожна наступна тетрада – напругою, зменшеною в 16 разів через масштабуючі резистори $R_m = 8,1R_i$. Так, наведена схема шістьма номіналами резисторів забезпечує 9999 десяткових градацій вихідної напруги, тобто 9999 кроків квантування.

Кількість каскадів для подальшого можливого зменшення кроку квантування не обмежується.

Недоліком ЦАП на матриці двійково-зважених резисторів є досить значна кількість номіналів: шість на тетраду.

Цей недолік усунений в ЦАП на матриці типу $R-2R$.

Перевага матриці типу $R-2R$ полягає в простоті її виготовлення, бо вона має лише два номінали резисторів R та $2R$ проти багатьох номіналів матриці на двійково-зважених резисторах.

Схема ЦАП на матриці $R-2R$ наведена на рис. 13.5.

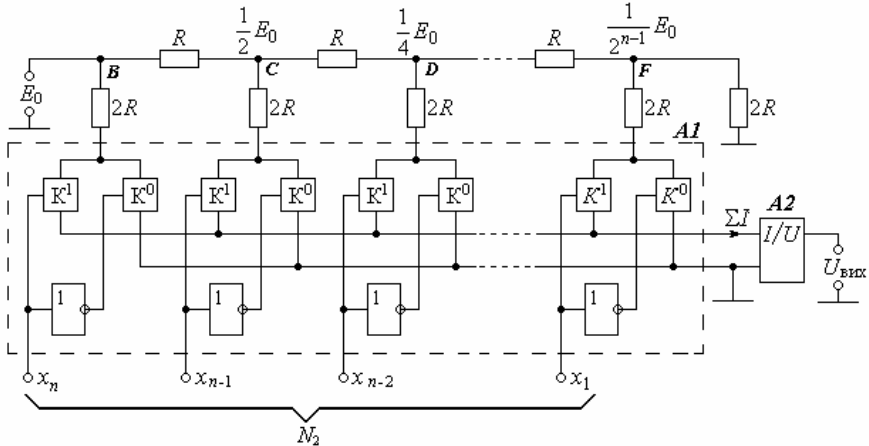


Рис. 13.5. Схема ЦАП на матриці типу $R-2R$

Вона відрізняється від матриці на двійково-зважених резисторах (див. рис. 13.3) лише тим, що замість них використані резистори з опором $2R$, а між ними включені резистори з опором R .

Тут x_n – самий старший розряд, а x_1 – наймолодший.

Підрахуємо кількість кроків квантування, яку забезпечує n -розрядний двійковий ЦАП. Для цього визначимо опір між кожними з точок B, C, D, \dots, \dots, F і нульовою шиною (корпусом) та потенціали цих точок (рис. 13.5).

Між точкою F і корпусом включені два паралельно з'єднані резистори з опором $2R$. Результуючий опір цього з'єднання становить $R_F = R$. (Щодо опорів ключів K^0 і K^1 , то вони нехтовно малі, через що їхнього впливу на опір R_F практично немає). Тоді точка F є виходом подільника напруги з опором R в кожному плечі, через що потенціал точки F буде результатом ділення на два вхідної напруги цього подільника.

Отже потенціал точки D буде результатом ділення на два потенціалу точки C . Таким же чином переконаємося в тому, що між точкою D і корпусом ввімкнений еквівалентний опір $R_D = R$. Тоді потенціал точки D також буде результатом ділення на два, але потенціалу точки C .

Таким чином, від розряду до розряду потенціал ділиться на два. Тому потенціали точок B, C, D, \dots , відповідно становлять $E_0; (1/2)E_0; (1/4)E_0; \dots$

З цього випливає, що розряд $x_n = 1$ забезпечить на вході перетворювача $A2$ протікання струму $I_n = \frac{E_0}{2R}$, розряд $x_{n-1} = 1$ забезпечить $I_{n-1} = \frac{1}{2} \frac{E_0}{2R}$ і т.д. Сумарний струм на вході перетворювача струму в напругу $A2$ при вхідному двійковому числі N становитиме

$$\Sigma I = \frac{E_0}{2R} x_n + \frac{1}{2} \frac{E_0}{2R} x_{n-1} + \frac{1}{4} \frac{E_0}{2R} x_{n-2} + \dots + \frac{1}{2^{n-1}} \frac{E_0}{2R} x_1 = \frac{E_0}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \quad (13.16)$$

де x_i – коефіцієнт розряду, який набуває значення 0 або 1 в залежності від двійкового вхідного числа N .

Вихідна напруга визначиться як $U_{\text{вих}} = Q \Sigma I$, тобто

$$\begin{aligned} U_{\text{вих}} &= E_0 \frac{Q}{2R} x_n + \frac{1}{2} E_0 \frac{Q}{2R} x_{n-1} + \frac{1}{4} E_0 \frac{Q}{2R} x_{n-2} + \dots + \frac{1}{2^{n-1}} E_0 \frac{Q}{2R} x_1 = \\ &= E_0 \frac{Q}{2R} \sum_{i=1}^n \frac{1}{2^{i-1}} x_i, \end{aligned} \quad (13.17)$$

де Q – коефіцієнт перетворення струму в напругу.

Приймаючи в (13.17) $x_i = 1$ та $i = n$, знаходимо максимальну вихідну напругу

$$U_{\text{вих max}} = E_0 \frac{Q}{2R} \frac{1}{2^{n-1}} (n^2 - 1). \quad (13.18)$$

Крок квантування знайдемо як різницю між будь-якими двома суміжними членами (13.18):

$$h = \frac{1}{2^{n-1}} E_0 \frac{Q}{2R}. \quad (13.19)$$

Діленням (13.18) на (13.19) знаходимо кількість кроків квантування в залежності від числа n двійкових розрядів

$$q = (n^2 - 1). \quad (13.20)$$

З формул (13.10) ... (13.12) та (13.18) ... (13.20) можна зробити наступні висновки:

- вихідна напруга ЦАП прямо пропорційна напрузі живлення E_0 і вхідному двійковому числу $N = \{x_n, x_{n-1}, x_{n-2}, \dots, x_1\}$;
- крок квантування не залежить від максимальної вихідної напруги і за інших рівних умов визначається тільки кількістю розрядів вхідного числа;
- кількість кроків квантування за будь-яких умов визначається тільки кількістю розрядів вхідного числа;
- чим більше вхідне число, тим менше крок квантування.

Щодо серійних мікросхем ЦАП, то вони містять усі елементи, які позначені на рис. 13.5, крім перетворювача струму в напругу $A2$ (рис. 13.6,а). Тому його підключають до ЦАП зовнішньо (рис. 13.6,б). Як перетворювач струму в напругу здебільшого використовують операційний підсилювач $A2$.

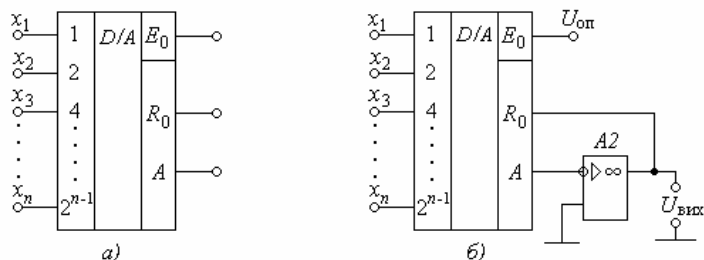


Рис. 13.6. Двійковий ЦАП: а – умовне позначення, б – схема включення

13.3. Аналого-цифрові перетворювачі

Аналого-цифровими перетворювачами (АЦП) називаються пристрої, які перетворюють аналогову величину в пропорційне число, тобто створюють цифрову копію аналогової величини і таким чином перетворюють аналог на код.

Аналого-цифрове перетворення містить наступні операції: дискретизацію, квантування та кодування.

Дискретизація складається з вибору із неперервного за часом аналогового сигналу U_c окремих миттєвих його значень (рис. 13.7), які надходять через визначений часовий проміжок $\Delta t = (t_{i+1} - t_i)$.

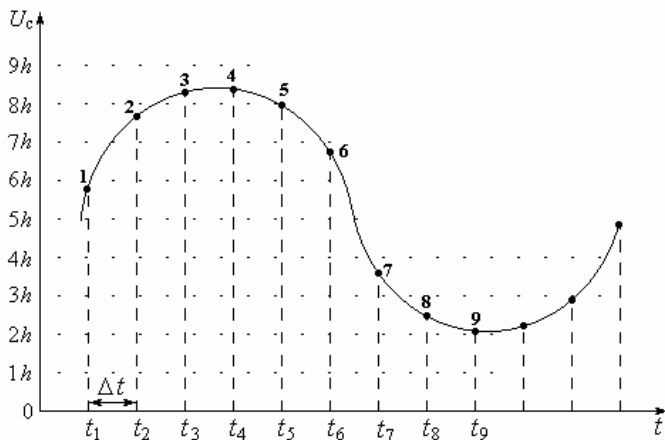


Рис. 13.7. Дискретизація та квантування неперервного сигналу

Моменти $t_1, t_2, \dots, t_{i-1}, t_i$, в яких визначаються миттєві значення, називаються тактовими моментами часу, а різниця між суміжними моментами $\Delta t = (t_{i+1} - t_i)$ – тактовим інтервалом часу. Дискретні значення сигналу слід відраховувати з таким малим інтервалом Δt , щоб можна було б установити сигнал в аналоговій формі з можливо малою похибкою.

Згідно з теоремою Котельникова, якщо сигнал має обмежений спектр, тобто всі його спектральні складові мають частоти нижче, ніж деяка частота F_{\max} , то для установлення аналогового сигналу з послідовності його дискретних значень тактовий інтервал має задовольняти умові

$$\Delta t \leq \frac{1}{2F_{\max}}. \quad (13.21)$$

Наприклад, при дискретизації речових сигналів, що мають спектр частот 300...3400 Гц, вибирається тактова частота $F \geq 2F_{\max} = 6800$ Гц. При цьому тактовий інтервал становить $\Delta t \leq 1/F = 147$ мкс.

Операція квантування складається з утворення сітки так званих рівнів квантування (рис. 13.7), які зсунені один відносно одного на крок квантування h . При цьому кожний рівень має свій порядковий номер (0; 1; 2; ...).

Кодування здійснюється тим, що здобуті в процесі дискретизації значення аналогового сигналу U_c замінюють ближчими до них номерами рівнів квантування.

Так, значення напруги в момент t_1 замінюється номером 6 ближчого до нього рівня квантування $6h$, в тактові моменти $t_2; t_3; t_4$ та t_5 значення напруги U_c замінюються номером 8 ближчого до них рівня квантування $8h$, моменту t_8 відповідає або номер 3, або номер 2 і т.д.

Отже, квантування – це визначення для кожної точки дискретизації сигналу ближчого номера рівня з існуючих.

Процес квантування вносить похибку $\delta_{\text{кв}}$, яка називається шумом квантування і визначається в межах $-h/2 \leq \delta_{\text{кв}} \leq +h/2$. Зменшення шуму квантування досягається шляхом зменшення кроку квантування h , але це призводить до збільшення числа рівнів, через що ускладнюється АЦП. Щоб запобігти невинного нарощування апаратних засобів, крок квантування вибирають таким, що дорівнює припустимій абсолютній похибці δ :

$$h = \delta. \quad (13.22)$$

Тоді при завжди відомій максимальній вхідній напрузі сигналу $U_{\text{сmax}}$ кількість кроків квантування становить

$$K = \frac{U_{\text{сmax}}}{h}. \quad (13.23)$$

Чим більше число рівнів квантування, тим точніше відтворюється цифрова копія аналогового сигналу U_c , але це збільшення обмежується ускладненням пристрою, бо кількість кроків квантування визначає число двійкових розрядів відповідних вузлів апаратури. Тому число рівнів

квантування для кожного конкретного випадку вибирається за умов одержання заданих параметрів перетворення.

Так, наприклад, для телефонного зв'язку припустима похибка перетворення становить $(0,5 \dots 1,0) \%$ від максимальної аналогової величини, тобто аналоговий сигнал має відрховуватися з дискретністю не менше $(0,5 \dots 1,0) \%$. Таким самим має бути і крок квантування. Тоді з формули (13.23) маємо, що кількість кроків квантування повинна бути не менше 100. Найближче значення двійкового розряду дорівнює 128. Тому для телефонного зв'язку використовується $128 \dots 256$ кроків квантування.

Таким чином, в процесі квантування послідовність визначених при дискретизації значень аналогового сигналу замінюється послідовністю відповідних чисел (номерів рівнів квантування). Нарешті, в процесі кодування числа послідовності номерів рівнів квантування зображуються у певній системі числення, наприклад, у двійковій.

Таким чином, при аналого-цифровому (АЦ) перетворенні, який складається з процесів квантування за рівнем дискретизованого в часі аналогового сигналу U_c та подальшого його кодування, на виході формується двійкове n -розрядне число $N = \{x_n, x_{n-1}, x_{n-2}, \dots, x_1\}$.

Класифікація АЦП, якою тепер користуються, показує, як у часі розгортається процес перетворення. За такою класифікацією всі АЦП можна поділити на три типи: послідовні, паралельні та паралельно-послідовні.

До *послідовних* АЦП відносяться такі, де перетворення відбувається послідовно за часом, тобто крок за кроком. Такими АЦП є, наприклад, перетворювачі розгортальної дії, АЦП стежного перетворення, перетворювачі напруги в частоту, АЦП інтегруючого типу тощо. Усі ці АЦП дозволяють одержувати високу розрядність, але мають низьку швидкодію.

Паралельні АЦП побудовані за принципом одноразового перетворення сигналу шляхом його кодування за допомогою набору компараторів. Такі АЦП виявляються більш швидкодійними за інші і досягають частот перетворення $100 \dots 400$ МГц. До недоліків паралельних АЦП відноситься збільшення числа компонентів схеми при зростанні розрядності вихідного числа.

Паралельно-послідовні АЦП засновані на двоступеневому алгоритмі перетворення: спочатку відбувається визначення старших розрядів вихідного числа за допомогою першого малорозрядного паралельного АЦП, а далі виділяється залишок аналогового сигналу, який визначається молодшими розрядами за допомогою другого малорозрядного паралельного АЦП. Зв'язок між цими двома паралельними АЦП відбувається за послідовним алгоритмом.

13.3.1. Параметри АЦП

Усі параметри АЦП, так само, як і ЦАП, можна поділити на дві групи: статичні та динамічні.

Найважливішими *статичними* параметрами АЦП є такі, що характеризують похибку перетворення.

Число розрядів або розрядність – це найближче ціле двійкового логарифму номінального значення вихідного числа N :

$$q = \log_2 N. \quad (13.24)$$

При подачі на вхід АЦП лінійної змінної напруги на виході спостерігається послідовна зміна чисел.

Залежність між вхідною аналоговою напругою U_x , яка перетворюється, і вихідним числом N називається характеристикою перетворення (ХП) (рис. 13.8).

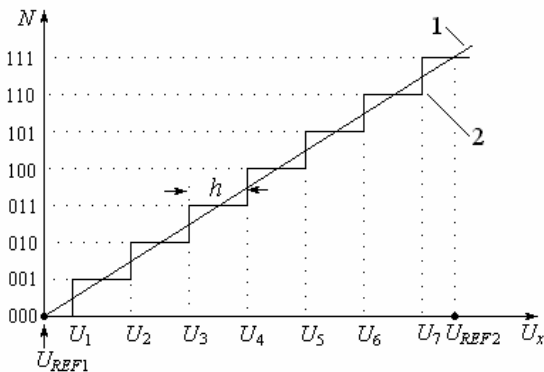


Рисунок 13.8 – Номінальна характеристика перетворення двійкового трирозрядного ЦАП

значеннях вихідного числа рівні.

Для ідеального АЦП напруги міжчислових переходів відповідають опорним напругам, які формуються ЦАП.

На рис. 13.8 показана лінійна ХП (1), яка утворюється при необмеженому зменшенні кроку квантування h . Початкова опорна напруга реальної ХП (2) становить $U_{REF1} = 0$.

Для одержання ХП ідеального АЦП необхідно, щоб напруга першого міжчислового переходу U_1 розміщувалась на відстані $h/2$ від початкової опорної напруги $U_{REF1} = 0$. Аналогічно, напруга останнього міжчислового переходу (U_{i+1}) повинна відрізнятися від максимальної опорної напруги U_{REF2} на половину кроку квантування ХП. Для ідеального АЦП ширина сходинки дорівнює кроку квантування

$$h = \Delta U = U_{i+1} - U_i = \frac{U_{REF2} - U_{REF1}}{2^{n-1}}. \quad (13.25)$$

Реальна ХП АЦП може значно відрізнятися від ідеальної, завдяки неідентичності кроків квантування. Відхилення реальної ХП від ідеальної визначає похибка АЦП і характеризується наступними параметрами: нелінійність; напруга зсуву нуля; диференційна нелінійність.

Характеристика перетворення ХП АЦП, як і для ЦАП, може надаватися у вигляді таблиць, графіків або формул. ХП описується рядом параметрів. Точки на осі абсцис відповідають напрузі міжчислових переходів.

Під напругою міжчислового переходу розуміється така вхідна напруга, статистичні ймовірності перетворення якої в заданому і попередньому

Дійсне значення вхідної напруги в нульовій точці ХП, відносно номінального нульового значення цієї напруги, визначає *напругу зсуву нуля*.

Фізично ця напруга показує паралельний зсув ХП уздовж осі абсцис.

Нелінійність АЦП – це відхилення вхідної напруги в будь-якій точці ХП від величини, визначеної за ідеальною ХП у цій же точці. Цей параметр характеризує відхилення центрів сходенок дійсної ХП від прямої лінії, що апроксимує номінальну ХП.

Диференційна нелінійність АЦП – це відхилення дійсних значень кроків квантування ХП від їхнього середнього значення. Диференційна нелінійність визначає, наскільки відрізняється реальна сходінка між сусідніми числами від ідеальної.

Діапазон перетворень – це різниця між максимальним та мінімальним значеннями вхідної напруги

$$A = U_{\text{вх max}} - U_{\text{вх min}}. \quad (13.26)$$

Для розрахунку кількості кроків квантування використовують поняття *відносної похибки* АЦ перетворення $\delta = 2^{-n}$, де n – число розрядів.

Якщо відносна похибка АЦ перетворення задана, то її приймають за відносний крок квантування і тоді кількість кроків квантування становить

$$K = 1/\delta. \quad (13.27)$$

Наприклад, припустима відносна похибка перетворення становить $\delta = 10^{-3}$. Тоді кількість кроків квантування дорівнює 1000. Це число забезпечують 10 двійкових розрядів АЦП: $2^{10} = 1024$.

До *динамічних* параметрів належать швидкодія та час перетворення.

Швидкодія АЦП характеризується часом перетворення або частотою перетворення.

Час перетворення t_c – це інтервал часу між моментами появи двох сусідніх вихідних чисел.

13.4. Схеми АЦП

Відомо багато способів АЦ перетворення і кожний з них має свої переваги й недоліки для конкретних практичних випадків.

Серед схем АЦП найчастіше зустрічаються АЦП *розгортального перетворення*, АЦП *стежного перетворення* та АЦП *паралельного кодування*.

13.4.1. АЦП розгортального перетворення

Принцип роботи АЦП розгортального перетворення полягає в зіставленні вхідної напруги U_x (рис. 13.9,а) з еталонною U_0 , послідовному нарощуванні еталонної напруги U_0 та формуванні чисел N_1, N_2, \dots, N_i ,

пропорційних аналоговому сигналу, коли еталонна напруга досягає вхідної:
 $U_0 = U_x$.

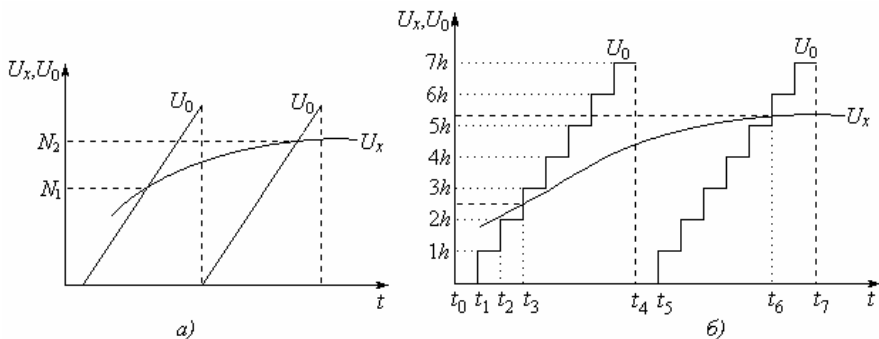


Рис. 13.9. Часова діаграма роботи АЦП розгортального перетворення:
 а – принцип; б – реалізація

Структурна схема АЦП розгортального перетворення (урівноваження)
 наведена на рис. 13.10.

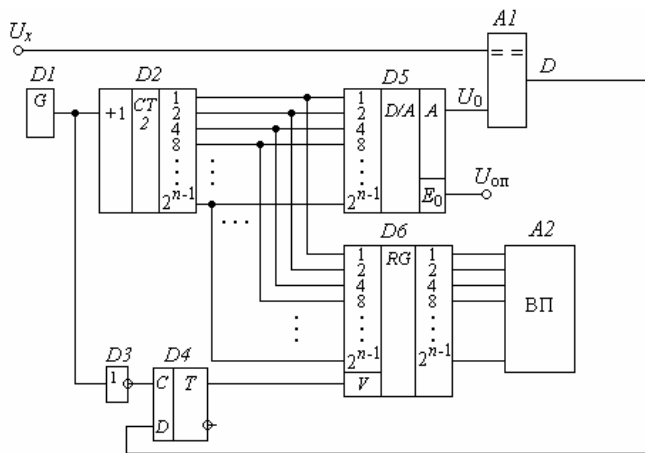


Рис. 13.10. АЦП розгортального перетворення

До складу АЦП розгортального перетворення мають входити наступні пристрої:

- генератор прямокутних імпульсів $D1$;
- лічильник імпульсів $D2$;
- ЦАП $D5$;
- формувач одиничного імпульсу $D3$, $D4$ для запуску регістра $D6$;
- компаратор $A1$;
- відтворювальний пристрій $A2$, яким може бути цифровий індикатор, інтерфейс передавання тощо.

АЦП розгортального перетворення працює наступним чином.

З кожним імпульсом генератора $D1$ вміст лічильника $D2$ збільшується на одиницю, через що еталонна напруга U_0 на виході ЦАП $D5$ збільшується на один крок квантування h (див. рис. 13.9,б). Так у момент t_1 в лічильник $D2$ потрапляє один імпульс і тому $U_0 = 1h$. У момент t_2 вміст лічильника дорівнює 2, через що $U_0 = 2h$. У момент t_3 еталонна напруга становить $U_0 = 3h$ і т.д. Таким чином, вмістом лічильника $D2$ є номер рівня еталонної напруги U_0 .

Після кожного імпульсу генератора $D1$ через напівперіод на виході інвертора $D3$ з'являється фронт для запуску тригера $D4$, щоб записати в регістр $D6$ вміст лічильника $D2$. Однак запуск тригера $D4$ здійснюється не завжди, а тільки при $U_0 \geq U_x$. До моменту t_3 сигнал U_x недокомпенсований ($U_0 < U_x$) і тому вихідна напруга компаратора $A1$ нульова: $D = 0$. Тригер $D4$ залишається в нульовому стані, через що вміст лічильника $D2$ в регістр $D6$ не записується.

У момент t_3 на третьому імпульсі в лічильнику $D2$ сигнал перекомпенсований ($U_0 > U_x$) еталонною напругою $U_0 = 3h$, через що на виході компаратора $D = 1$. Тригер $D4$ підготовлений до зведення. Через напівперіод після моменту t_3 на вході C тригера з'явиться фронт і тригер $D4$ зводиться, записуючи вміст лічильника $D2$ в регістр $D6$, тобто 3. Так, у момент t_3 значення вхідної напруги U_x перетворилося на номер рівня $3h$, тобто на число 3.

Незважаючи на велику чи малу вхідну напругу U_x , лічильник $D2$ після перекомпенсації продовжує накопичувати імпульси до повної місткості. При цьому тригер $D4$ залишається в установленому стані. Фронту на його виході немає і тому вміст регістра $D6$ не поновлюється.

У момент t_4 лічильник $D2$ переповнюючись, скидається в нульовий стан. Сигнал U_x знову стає недокомпенсованим ($U_0 < U_x$) і тому $D = 0$. Наступний фронт інвертора $D3$ скидає тригер $D4$ у нульовий стан. Його вихідний зріз при цьому не поновлює запис у регістр $D6$, залишаючи в ньому вміст 3.

З моменту t_5 процес заповнення лічильника $D2$ і наслідків цього повторюється. До моменту t_6 сигнал U_x недокомпенсований ($U_0 < U_x$) і тому $D = 0$. Тригер $D4$ залишається в нульовому стані, через що вміст лічильника $D2$ в регістр $D6$ не записується.

У момент t_6 в лічильник $D2$ надійшло 6 імпульсів. При цьому еталонна напруга $U_0 = 6h$ перевищує вхідну U_x , тобто настає перекомпенсація сигналу ($U_0 > U_x$), через що $D = 1$. Тригер $D4$, зводячись, записує в регістр $D6$ новий номер рівня еталонної напруги $U_0 = 6h$, тобто 6. Так, у момент t_6 значення вхідної напруги U_x перетворилося на номер рівня $6h$, тобто число 6 і т.д.

Отже з кожним фактом перекомпенсації сигналу ($U_0 > U_x$) поновлюється вміст регістра $D6$, який є результатом аналого-цифрового перетворювання. Ці результати потрапляють на відтворювальний пристрій ВП $A2$, призначення і схема якого для кожної окремої задачі є своїми. ВП може бути дешифратором цифрового індикатора, перетворювачем коду, інтерфейсом системи передачі даних тощо. Тому його схема тут не розкривається.

Перевагою АЦП розгортального перетворення (рис. 13.10) є висока роздільна здатність, яка зумовлена відсутністю зворотного зв'язку (зв'язок $A1 - D4$ не є зворотним, бо не впливає на роботу елементів тракту сигналу: $D2, D5$ та ін.). Через це можна без появи самозбудження збільшувати коефіцієнт підсилення компаратора $A1$, підвищуючи саме тим роздільну здатність.

Значним недоліком АЦП розгортального перетворення є дуже мала швидкодія, яка зумовлена тим, що незалежно від рівня вхідної напруги U_x (див. рис. 13.9,б), лічильник імпульсів $D2$ (див. рис. 13.10) починає свою роботу з нульового стану (моменти t_0, t_4, t_7 і т. ін.) для кожного перетворення (моменти t_3, t_6, \dots). При цьому втрачається значний час $t_3 \dots t_4$.

Цей недолік усунений в АЦП стежного перетворення.

13.4.2. АЦП стежного перетворення

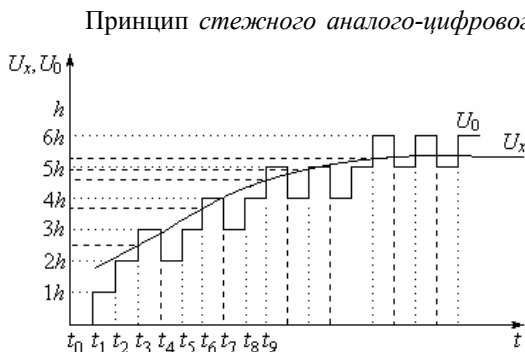


Рис. 13.11. Стежне аналого-цифрове перетворення.

- моменти підсумовування імпульсів;
- - - - - моменти віднімання імпульсів

Принцип *стежного аналого-цифрового перетворення* полягає в тому, що після кожної перекомпенсації еталонна напруга U_0 (рис. 13.11) зменшується не на всю величину, а тільки, щоб викликати недокомпенсацію. Так еталонна напруга U_0 “стежить” за вхідною напругою U_x , відхиляючись від неї лише на малу величину. На це відхилення потрібний малий час, через що підвищується швидкодія.

Схема АЦП стежного перетворення наведена на рис. 13.12.

Вона відрізняється від схеми АЦП розгортального перетворення (рис. 13.10) лише тим, що лічильник імпульсів $D2$ (рис. 13.12) реверсивний, а вихід D компаратора $A1$ зв'язаний зі входом реверсу P лічильника $D2$ для керування напрямом лічби.

АЦП стежного перетворення працює наступним чином.

До моменту t_3 (рис. 13.11) еталонна напруга U_0 менше вхідної U_x . Сигнал недокомпенсований ($U_0 < U_x$), через що вихід $D = 0$ компаратора $A1$ встановлює по входу реверсу P режим підсумовування лічильника $D2$ (рис. 13.12). Тоді в моменти t_1, t_2 і t_3 лічильник $D2$ накопичує імпульси, збільшуючи через ЦАП $D5$ еталонну напругу U_0 .

У момент t_3 на третьому імпульсі в лічильнику $D2$ сигнал перекомпенсований ($U_0 > U_x$) еталонною напругою $U_0 = 3h$, через що на виході компаратора $D = 1$. Тригер $D4$ підготовлений до зведення.

Наступним недоліком є те, що час перетворення хоча і менше за АЦП розгортального перетворення, але може займати декілька тактових інтервалів.

Цей недолік усунений в АЦП *паралельного кодування*, де час перетворення завжди дорівнює лише одному тактовому інтервалу.

13.4.3. АЦП паралельного кодування

АЦП *паралельного кодування* – це найбільш швидкодіючі перетворювачі. Висока швидкодія цього типу АЦП забезпечується за рахунок одночасного порівняння вхідного сигналу з багатьма N квантами опорної напруги на N компараторах.

На рис. 13.13 наведена схема семирозрядного АЦП паралельного кодування (далі – АЦП).

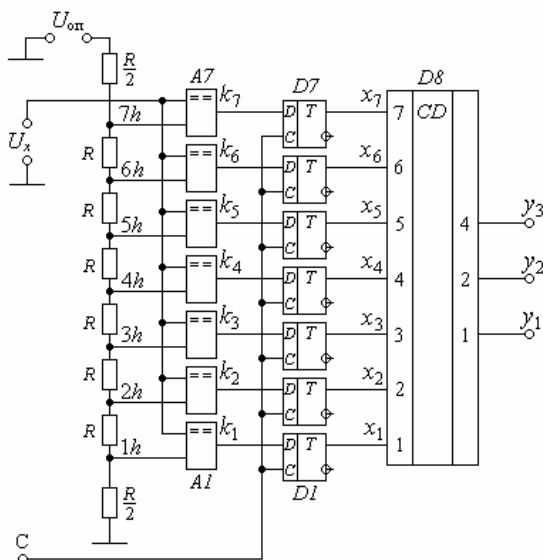


Рис. 13.13. АЦП паралельного кодування

АЦП містить подільник опорних напруг на резисторах $R/2, R, R, \dots, R/2$; компаратори $A1 - A7$; тригери $D1 - D7$ та пріоритетний шифратор $D8$.

Компаратори зіставляють вхідну напругу U_x з усіма опорними напругами $1h, 2h, \dots, 7h$, кількість яких дорівнює числу розрядів.

Тригери запам'ятовують номери рівнів опорної напруги, до якої наближена вхідна напруга U_x . Ці тригери необхідні для того, щоб перегони між виходами компараторів не впливали на роботу шифратора.

Подільник опорних напруг є послідовним з'єднанням високоточних резисторів, які утворюють шину ділення стабілізованого джерела опорної напруги $U_{оп}$ з виводами через кожний крок квантування. Кількість виводів дорівнює числу розрядів у коді "1 із n ".

Усі виходи подільника з'єднанні з першими входами компараторів $A1 - A7$, на другі входи яких подана вхідна напруга U_x , що підлягає АЦ перетворенню. Виходи компараторів $k_1 \dots k_7$ з'єднанні відповідно з D -входами тригерів $D1 - D7$, прями виходи яких підключені до входів $x_1 \dots x_7$ шифратора $D8$.

Паралельний АЦП працює наступним чином.

Вхідна напруга U_x одночасно порівнюється з опорними рівнями, які одержані з подільника. В залежності від неї виходи компараторів набувають значень, що наведені в таблиці станів (табл. 13.2).

Таблиця 13.2

Стани елементів АЦП паралельного кодування

Вхідна напруга U_x	Стани компараторів							Стани шифратора			Десятькове число
	k_7	k_6	k_5	k_4	k_3	k_2	k_1	y_3	y_2	y_1	N
0	0	0	0	0	0	0	0	0	0	0	0
1h	0	0	0	0	0	0	1	0	0	1	1
2h	0	0	0	0	0	1	1	0	1	0	2
3h	0	0	0	0	1	1	1	0	1	1	3
4h	0	0	0	1	1	1	1	1	0	0	4
5h	0	0	1	1	1	1	1	1	0	1	5
6h	0	1	1	1	1	1	1	1	1	0	6
7h	1	1	1	1	1	1	1	1	1	1	7

Стани компараторів $k_1 \dots k_7$ за командою C запам'ятовуються відповідно тригерами $D1 \dots D7$. Завдяки цим тригерам входи шифратора $x_1 \dots x_7$ позбавлені аналогових змін напруг, які діють на виходах компараторів. Тому входи шифратора $D8$ не зазнають перегонів, що викликають його хибні спрацьовування. Щодо станів $x_1 \dots x_7$, то вони збігаються зі станами $k_1 \dots k_7$.

Зі схеми (рис. 13.13) і табл. 13.2 видно, що на входи $x_1 \dots x_7$ шифратора $D8$ надходить номер того рівня опорної напруги, якому дорівнює вхідна напруга U_x з похибкою $\pm h/2$, де h – крок квантування.

Отже будь-яка вхідна напруга за будь-якої кількості кроків квантування перетворюється на число за лише один такт синхроімпульсу C . Тому швидкодія паралельного АЦП найбільша.

Умове позначення АЦП наведене на рис. 13.14.

Недоліком АЦП паралельного кодування є значні апаратні витрати, які пропорційні розрядності перетворювача. Наприклад, при заданій припустимій похибці перетворення 1%, тобто кроку квантування 1%, згідно з формулою (13.27), потрібно 100 кроків квантування. Для цього необхідно мати понад 100 резисторів, 100 компараторів, 100 тригерів і 100-входовий шифратор. Реалізувати ці вимоги досить складно.

Зазначений недолік частково усунений в послідовно-паралельних АЦП, але за рахунок зменшення швидкодії вдвічі.

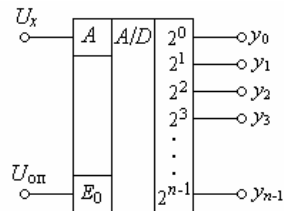


Рис. 13.14. Умове позначення АЦП

13.4.4. Послідовно-паралельні АЦП

В паралельно-послідовних АЦП використовують два АЦ перетворення: спочатку вхідну напругу перетворюють на число з великим кроком квантування, а потім залишену частину вхідної напруги в межах до одного великого кроку перетворюють дрібними кроками квантування.

Нехай припустимо похибка АЦ перетворення становить $\delta = 1\%$. Тоді крок квантування $h = \delta$ також дорівнюватиме 1%, а кількість кроків досягне $1/0,01 = 100$. Як зазначалося раніше, для цього необхідне обладнання 100 унітарних розрядів.

Використаємо два АЦП по 10 кроків квантування в кожному. Кроки квантування дорівнюватимуть відповідно 10% першого АЦП та 1% – другого. При цьому перший АЦП компенсуватиме вхідний сигнал з похибкою $\pm 5\%$, а залишок $< 10\%$ компенсуватиме другий АЦП з похибкою $\pm 0,5\%$. Тоді крок квантування, як і в паралельному АЦП, становить 1%, але необхідні лише 20 унітарних розрядів, а не 100.

Схема такого паралельно-послідовного АЦП наведена на рис. 13.15.

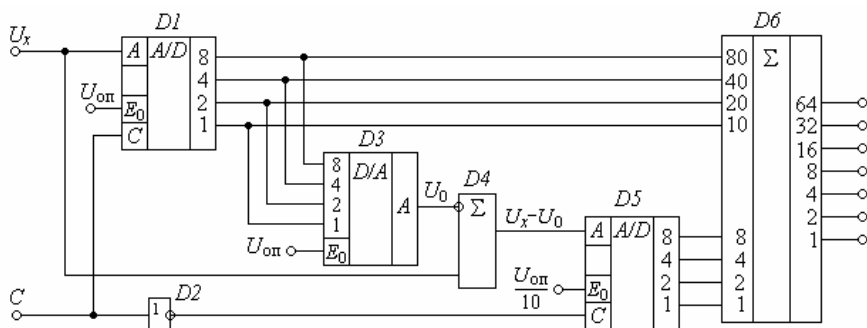


Рис. 13.15. Паралельно-послідовний АЦП

Схема містить два АЦП $D1$ та $D5$. АЦП $D1$ має опорну напругу $U_{\text{оп}}$, а АЦП $D5$ – у 10 разів меншу. Тому крок квантування АЦП $D1$ становить $h_1 = U_{\text{оп}}/10 = 0,1U_{\text{оп}}$ (тобто 10%), а АЦП $D5$ має крок квантування $h_2 = 0,1U_{\text{оп}}/10 = 0,01U_{\text{оп}}$ (тобто 1%).

АЦП працює наступним чином.

Завдяки інвертору $D2$ перетворювачі $D1$ і $D5$ спрацьовують по черзі: спочатку фронт $C = 1$ виставляє число на виходах $D1$, а через напівперіод при $C = 0$ фронт $\bar{C} = 1$ з'явиться на виході $D2$ і виставить число на виходах $D5$.

Число в АЦП $D1$ за допомогою ЦАП $D3$ перетворюється на аналогову напругу U_0 . Ця напруга, що одержана з точністю $h_1 = 10\%$, подається на віднімач $D4$, на виході якого буде неперетворена частина $U_x - U_0$ вхідної напруги U_x .

Залишок неперетвореної частини $U_x - U_0$ потрапляє на другий АЦП $D5$, в якому вона перетворюється з точністю $h_2 = 1\%$.

Результати перетворення з виходів АЦП $D1$ потрапляють до входів старших розрядів цифрового суматора $D6$, а з виходів АЦП $D2$ – до входів молодших розрядів. Вагові коефіцієнти цих розрядів мають відрізнятись в нашому випадку в 10 разів.

Нехай вхідна напруга, яку треба перетворити на число, дорівнює $U_x = 99h_2$. Тоді число на виході суматора $D6$ має дорівнювати 99. Це здійснюється наступним чином. На виходах першого АЦП $D1$ буде число $8 + 1 = 9$. Суматором $D6$ воно сприймається як 90.

На виходах другого АЦП $D2$ буде число $8 + 1 = 9$. Разом $90 + 9 = 99$. При цьому на виходах суматора $D6$ буде двійкове число 1100011, десятковий еквівалент якого становить $64 + 32 + 3 = 99$.

Так, число 99 одержане не 99 унітарними розрядами, а лише двадцятьма.

Недоліком послідовно-паралельних АЦП є подвійний час перетворення порівняно з паралельним АЦП та досить значна кількість елементів, але кращого швидкодійного АЦП сьогодні немає.

Контрольні питання

- 13.1. Які функції виконують аналого-цифрові (АЦП) та цифро-аналогові перетворювачі (ЦАП)?
- 13.2. Що таке матриця на двійково-зважених резисторах?
- 13.3. Які вузли входять до складу схеми ЦАП на двійково-зважених резисторах?
- 13.4. Які переваги та недоліки мають ЦАП на основі матриці резисторів $R-2R$?
- 13.5. У чому полягає принцип АЦ перетворення? З яких процесів він складається?
- 13.6. Що таке АЦП розгортальної дії? Які переваги та недоліки мають такі АЦП?
- 13.7. Що таке АЦП стежного перетворення?
- 13.8. Що таке АЦП паралельного кодування? Які переваги та недоліки мають такі АЦП?
- 13.9. Що таке послідовно-паралельні АЦП? Які переваги та недоліки мають такі АЦП?

Рекомендована література

- 13.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М. Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С.Попова, 2004, Ч.1. – С. 318 – 343.
- 13.2. Титце У. Полупроводниковая схемотехника: справоч. руководство / У. Титце, К. Шенк. – М.: Мир, 1982. – С. 444 – 464.

13.3. Орнатский П.П. Автоматические измерения и приборы (аналоговые и цифровые) / П.П. Орнатский – К.: Вища школа, 1986. – 504 с.

13.4. А.с. СССР 932272, кл. G 01 G 23/36. Аналого-цифровой преобразователь для тензометрических весов / В.Д. Иванченко, И.П. Панфилов, Ю.В. Флейта и др. (СССР). № 932272; заявл. 07.04.83; опубл. 07.07.84. Бюллетень № 25, 1984.

13.5. А.с. СССР 1101684, кл. G 01 G 23/36. Цифровой прибор тензометрических весов/ Е.М., Воробьёва, В.Д., Иванченко, И.П. Панфилов и др. (СССР). № 1101684; заявл. 23.06.80; опубл. 30.05.82. Бюллетень № 25, 1984.

13.6. А.с. СССР 1541525, кл. G 01 R 3/147. Цифровой вольтметр для тензометрических весов/ Е.М. Воробьёва, В.Д. Иванченко, И.П. Панфилов и др. (СССР). № 1541525; заявл. 09.11.87; опубл. 07.02.90. Бюллетень № 5, 1990.

Розділ 14

ФОТОЕЛЕКТРИЧНІ, ВИПРОМІНЮВАЛЬНІ ТА ІНДИКАТОРНІ ПРИБЛАДИ

14.1. Фотоелектричні прилади

Фотоелектричними називаються напівпровідникові прилади, які призначені для перетворення променевої енергії в електричну.

До фотоелектричних приладів належать *фоторезистори*, *фотодіоди*, *фототранзистори* та *фототиристри*.

14.1.1. Фоторезистори

Фоторезисторами називаються двополюсні напівпровідникові прилади, електричний опір яких змінюється під дією світлового потоку.

Фоторезистори використовують для приймання світлових сигналів, інтенсивність яких може бути незмінною за часом (немодульований сигнал), або змінюватись за часом (модульований сигнал). Крім того, фоторезистори використовуються також для виявлення та реєстрації світлових сигналів.

Одними з параметрів фоторезистора є *темрявий опір* $R_{\text{тм}}$, *пороговий потік*, *стала часу наростання* та *спадання* фотоструму.

Стала часу – це час, протягом якого фотострум змінюється після освітлення або після затемнення на 63%.

Умовне позначення та основна схема включення фоторезистора наведені на рис. 14.1.

Тут $R_{\text{ф}}$ – фоторезистор;

$R_{\text{н}}$ – опір навантаження;

$E_{\text{ж}}$ – напруга живлення;

Φ – світловий потік;

$I_{\text{ф}}$ – струм фоторезистора (фотострум);

$U_{\text{вих}}$ – вихідна напруга.

Принцип роботи фоторезистора полягає в зміні його електричного опору в залежності від освітленості.

Фоторезистор перетворює світлову енергію на електричну наступним чином.

Вихідна напруга схеми з фоторезистором (рис. 14.1,б), як подільника напруги, становить

$$U_{\text{вих}} = E_{\text{ж}} \frac{R_{\text{н}}}{R_{\text{ф}} + R_{\text{н}}}. \quad (14.1)$$

За відсутності освітленості ($\Phi = 0$) фоторезистор має темрявий опір $R_{\text{тм}}$. Цей опір дуже великий: $10^6 \dots 10^7$ Ом, тобто

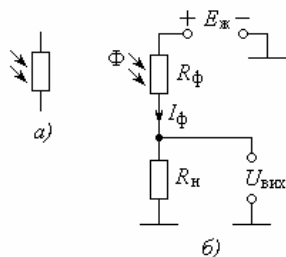


Рис. 14.1. Фоторезистор:
а – умовне позначення,
б – схема включення

$$R_{\phi} \gg R_n. \quad (14.2)$$

Підставляючи (14.2) в (14.1), бачимо що за відсутності освітлення фоторезистора через його великий опір $R_{\phi} \rightarrow \infty$ фотострум

$$I_{\phi} = \frac{E_{\text{ж}}}{R_{\phi}} \quad (14.3)$$

дорівнює нулю.

За цих умов вихідна напруга (14.1) теж нульова ($U_{\text{вих}} = 0$).

За наявності освітленості ($\Phi > 0$) у фоторезисторі виникає світлова іонізація атомів напівпровідника, внаслідок чого генеруються пари носіїв заряду “електрон-дірка”. Опір R_{ϕ} фоторезистора зменшується. З’являється фотострум $I_{\phi} > 0$, який створює на опорі навантаження R_n падіння напруги $I_{\phi} R_{\phi} > 0$, через що з’являється вихідна напруга $U_{\text{вих}} = I_{\phi} R_n > 0$. Чим вище освітленість Φ фоторезистора, тим більший фотострум I_{ϕ} (рис. 14.2) і тим вища вихідна напруга $U_{\text{вих}} = I_{\phi} R_n$.

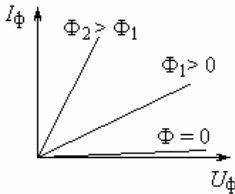


Рис. 14.2. ВАХ фоторезистора

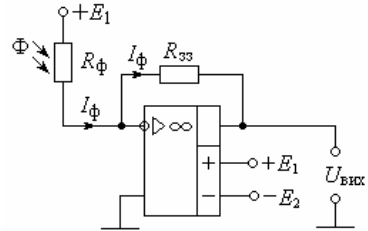


Рис. 14.3. Фоторезистор з приймачем струму

Так фоторезистор перетворює світлову енергію на електричну, тобто світловий потік Φ на вихідну напругу $U_{\text{вих}}$.

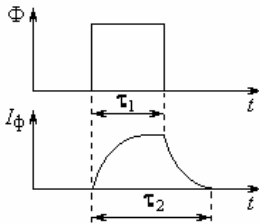


Рис. 14.4. Часова діаграма роботи фоторезистора

Це перетворення можна здійснити з більшим ККД, якщо фоторезистор підключити до входу приймача струму (рис. 14.3). Тут фоторезистор R_{ϕ} підключений до інвертуючого входу операційного підсилювача, який разом з резистором зворотного зв’язку R_{zz} створює приймач струму. Фотострум I_{ϕ} тече по колу R_{zz} , через що вихідна напруга становить

$U_{\text{вих}} = -I_{\phi} R_{zz}$ (див. розд. 7). Щоб змінити полярність $U_{\text{вих}}$, слід змінити напругу живлення з $+E_1$ на $-E_2$.

Перевагами фоторезисторів є відносна простота, бо вони містять напівпровідник лише одного типу, а також висока світлова чутливість.

Недоліком є значна стала часу наростання та спаду фотоструму, через що фоторезистор є досить інерційним приладом. З часової діаграми роботи

(рис. 14.4) видно, що при тривалості τ_1 світлового імпульсу Φ тривалість імпульсу фотоструму I_Φ розтягується в часі до $\tau_2 > \tau_1$.

Стала часу фоторезисторів становить не менше 10 мікросекунд, через що вони працюють на частотах не вище десятків кілогерц.

Згаданого недоліку позбавлені фотодіоди.

14.1.2. Фотодіоди

Фотодіод – це напівпровідниковий діод, зворотний струм якого залежить від освітлення.

Умовне позначення та основна схема включення фотодіода наведені на рис. 14.5.

Тут VD – фотодіод;

R_n – опір навантаження;

$E_{ж}$ – напруга живлення;

Φ – світловий потік;

I_Φ – струм фотодіода (фотострум);

$U_{вих}$ – вихідна напруга.

Принцип роботи фотодіода полягає в залежності зворотного струму від освітленості, тобто фотодіод має працювати під зворотною напругою.

Фотодіод перетворює світлову енергію на електричну наступним чином.

Вихідна напруга схеми з фотодіодом (рис. 14.5,б), як подільника напруги, становить

$$U_{вих} = E_{ж} \frac{R_n}{R_{VD} + R_n}, \quad (14.4)$$

де R_{VD} – опір фотодіода.

За відсутності освітленості ($\Phi = 0$) p - n -переходу фотодіода, який знаходиться під зворотною напругою, через фотодіод тече незначний зворотний струм, тобто опір фотодіода великий:

$$R_{VD} \gg R_n. \quad (14.5)$$

Підставляючи (14.5) в (14.4), бачимо що при відсутності освітлення фотодіода через його великий опір $R_{VD} \rightarrow \infty$ фотострум

$$I_\Phi = \frac{E_{ж}}{R_{VD}} \quad (14.6)$$

близький до нуля.

За цих умов вихідна напруга (14.4) теж нульова ($U_{вих} = 0$).

При освітленні p - n -переходу ($\Phi > 0$) в p - n -переході виникає світлова іонізація атомів напівпровідника, внаслідок чого генеруються пари носіїв

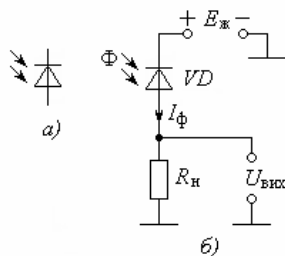


Рис. 14.5. Фотодіод:

а – умовне позначення,

б – схема включення

заряду “електрон-дірка”. Опір R_{VD} фотодіода зменшується. З’являється фотострум $I_\Phi > 0$, який створює на опорі навантаження R_n падіння напруги $I_\Phi R_n > 0$, через що з’являється вихідна напруга $U_{вих} = I_\Phi R_n > 0$.

Фотострум становить

$$I_\Phi = S_d \Phi, \tag{14.7}$$

де $S_d = \frac{\Delta I_d}{\Delta \Phi}$ – чутливість фотодіода.

Чим вище освітленість Φ фотодіода тим більший фотострум I_Φ (рис. 14.6), і тим вища вихідна напруга $U_{вих} = I_\Phi R_n$ (рис. 14.7).

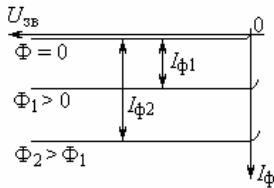


Рис. 14.6. ВАХ фотодіода при різних світлових потоках

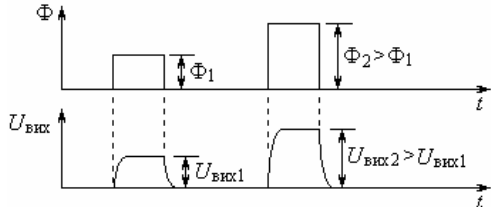


Рис. 14.7. Часова діаграма роботи фотодіода

Перетворення світла на напругу можна здійснити з більшим ККД, якщо фотодіод підключити до входу приймача струму (рис. 14.8).

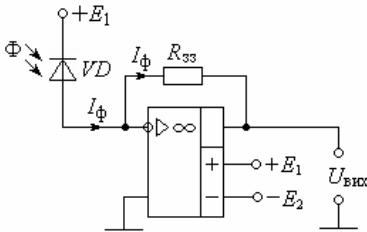


Рис. 14.8. Фотодіод з приймачем струму

Тут фотодіод VD підключений до інвертуючого входу операційного підсилювача, який разом з резистором зворотного зв’язку $R_{зз}$ створює приймач струму.

Фотострум I_Φ тече по колу $R_{зз}$, через що вихідна напруга становить $U_{вих} = -I_\Phi R_{зз}$ (див. розд. 7).

Щоб змінити полярність $U_{вих}$, слід змінити напругу живлення з $+E_1$ на $-E_2$ та переполюсувати включення фотодіода VD .

Основною перевагою фотодіодів є їхня мала інерційність, через що вони працюють на досить високих частотах, включаючи оптичний діапазон. Тому фотодіоди використовують в приймачах оптичних систем зв’язку.

Крім того, фотодіоди можуть використовуватись як джерела електрорушійної сили (ЕРС), яка виникає під впливом освітлення фотодіода (фото-ЕРС).

Фото-ЕРС виникає наступним чином.

Якщо p - n -перехід фотодіода освітити світловим потоком Φ , то в переході виникає генерація пар носіїв заряду “електрон-дірка” (рис. 14.9). Контактна

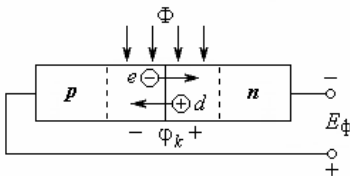


Рис. 14.9. Виникнення фото-ЕРС

різниця потенціалів ϕ_k направляє електрони e в n -напівпровідник, створюючи на його виході негативний потенціал (-), а дірки d – в p -напівпровідник, створюючи на його виході позитивний потенціал (+).

Так під впливом світлового потоку Φ виникає фото-ЕРС E_ϕ . Величина фото-ЕРС одного переходу досягає 0,5 ... 1 В. На цьому принципі працюють сонячні батареї.

Недоліком фотодіода є невелика чутливість, яка не перевищує 5 мкА/лм, та малий струм, не більше десятків мікроампер.

Цей недолік усунений в фототранзисторах.

14.1.3. Фототранзистори

Фототранзистор – це транзистор, колекторний струм якого залежить від освітлення.

Основною перевагою фототранзистора є висока чутливість (до 0,5 А/лм), тобто у 100 разів більше за фотодіод.

Умовне позначення та основна схема включення біполярного фототранзистора наведені на рис. 14.10.

Тут VD – фототранзистор;

R_n – опір навантаження;

E_K – напруга живлення;

Φ – світловий потік;

I_K – струм колектора;

$U_{\text{вих}}$ – вихідна напруга.

Принцип роботи фототранзистора полягає в залежності струму колектора від освітленості.

Світловий потік Φ падає на базу, вивід якої залишається вільним (не підключеним).

Під впливом світлового потоку Φ в базі генеруються електрони та дірки. Електрони перекидаються полем колекторного переходу в колектор, створюючи фотострум, а дірки залишаються в базі. Тому зростає пряма напруга емітерного переходу, що підсилює інжекцію електронів з емітера, збільшуючи колекторний фотострум. Цим забезпечується підвищення чутливості.

Повний колекторний струм складається із власного струму колектора та колекторного фотоструму:

$$I_K = (\beta + 1)I_{KБ0} + (\beta + 1)S_d\Phi, \quad (14.8)$$

де $(\beta + 1)S_d = \frac{\Delta I_K}{\Delta \Phi} = S_{\text{тр}}$ – чутливість фототранзистора.

Першою складовою (14.8) є власний струм колектора (рис. 14.11), а друга складова є фотострумом колектора:

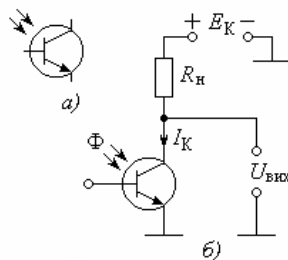


Рис. 14.10. Фототранзистор
а – умовне позначення,
б – схема включення

$$I_{\phi} = (\beta + 1)S_d \Phi = S_{tr} \Phi. \tag{14.9}$$

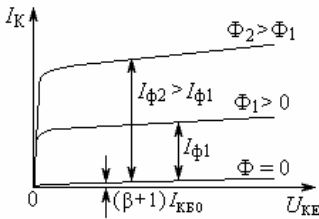


Рис. 14.11. ВАХ фототранзистора при різних світлових потоках

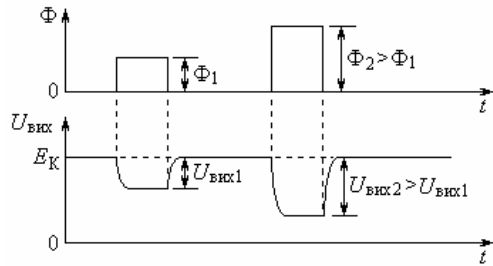


Рис. 14.12. Часова діаграма роботи фототранзистора

Фототранзистор перетворює світлову енергію на електричну, тобто світловий потік Φ на вихідну напругу $U_{\text{вих}}$, наступним чином.

Вихідна напруга схеми з фототранзистором (див. рис. 14.10), як резистивного підсилювача, становить

$$U_{\text{вих}} = E_K - I_{\phi} R_n. \tag{14.10}$$

З (14.9) та (14.10) видно, що за відсутності освітлення ($\Phi = 0$) фототранзистор запертий ($I_{\phi} = 0$), через що вихідна напруга становить $U_{\text{вих}} = E_K$ (рис.

14.12).

При освітленні фототранзистора ($\Phi > 0$) з'являється фотострум (14.9). Падіння напруги $I_{\phi} R_n$ на опорі навантаження R_n збільшується і на виході з'являється напруга $U_{\text{вих}} < E_K$ (рис. 14.12).

Чим більший світловий потік Φ , тим більший фотострум I_{ϕ} (див. рис. 14.11) і тим більша вихідна напруга (рис. 14.12). З цього рисунку видно, що вихідна напруга з'являється навколо напруги живлення E_K . Інколи це незручно.

Одержати вихідну напругу навколо нуля можна, якщо фототранзистор підключити до входу приймача струму (рис. 14.13).

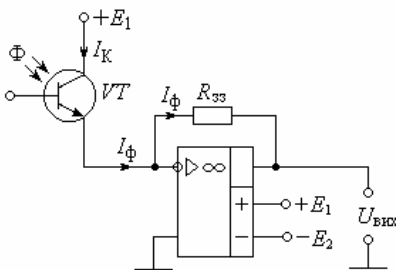


Рис. 14.13. Фототранзистор з приймачем струму

У цій схемі фотострум $I_{\phi} = I_K$ тече по колу зворотного зв'язку $R_{зз}$, через що вихідна напруга становить

$$U_{\text{вих}} = -I_{\phi} R_{зз}. \tag{14.11}$$

Щоб змінити полярність $U_{\text{вих}}$, слід змінити напругу живлення з $+E_1$ на $-E_2$ та переполюсувати включення фототранзистора VT .

Щодо обірваної бази, то вона за необхідності може бути підключена до якоїсь схеми керування, наприклад, до схеми термостабілізації.

Як видно з формул (14.8) та (14.9), чутливість фототранзистора у $(\beta + 1)$ разів вища за фотодіод (коефіцієнт передавання струму в схемі зі спільним емітером $\beta \gg 1$).

Щодо фотоструму фототранзистора, то він також у $(\beta + 1)$ разів більше за фотодіод і досягає кількох міліампер.

14.1.4. Фототиристри

Фототиристор – це тиристор, напруга включення якого зменшується зі збільшенням освітлення.

Умовне позначення та основна схема включення фототиристора наведені на рис. 14.14.

Тут VD – фототиристор;

Φ – світловий потік;

R_n – опір навантаження;

E_{AK} – напруга живлення.

Принцип роботи фототиристора полягає в залежності напруги включення від освітленості.

За відсутності освітлення ($\Phi = 0$) фототристор закритий. Вся напруга E_{AK} падає на ньому, через що опір навантаження R_n знеструмлений.

При освітленні світловий потік Φ падає на одну з баз, через що в базі генеруються електрони та дірки.

Поле колекторного переходу направляє їх до відповідних емітерних переходів, завдяки чому пряма напруга на емітерних переходах знижується і, як наслідок, починається інжекція носіїв заряду з емітерних областей, тобто включення тиристора.

Щодо схеми включення фототиристора, то вона така сама, як і звичайного тиристора (див. п. 5.4).

Падіння напруги на включеному тиристорі знижується до 2,1 В і решта напруги E_{AK} прикладається до опору навантаження R_n . Так здійснюється включення опору навантаження R_n світловим потоком.

Після включення фототиристора він не реагує на змінення світлового потоку Φ і навіть при зникненні освітлення ($\Phi = 0$) залишається включеним. Виключити тиристор можна тільки зняттям напруги живлення ($E_{AK} = 0$).

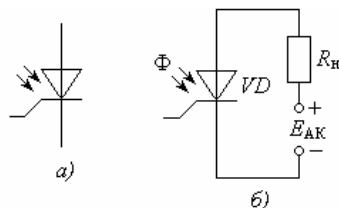


Рис. 14.14. Фототиристор
а – умовне позначення,
б – схема включення

14.2. Випромінювальні прилади

Основними з випромінювальних напівпровідникових приладів є світлодіоди та лазери.

14.2.1. Світлодіоди

Світлодіод – це діод, який перетворює електричну енергію на енергію некогерентного світлового випромінювання. Світлодіоди працюють як у діапазоні видимого світла, так і в інфрачервоному та ультрафіолетовому діапазонах.

Частота випромінювання ν кванта $h\nu$ пов'язана з шириною забороненої зони ΔW співвідношенням

$$\Delta W = h\nu, \quad (14.12)$$

де h – стала Планка.

Для випромінювання видимого світла ширина забороненої зони має становити $1,8 \text{ eV} \leq \Delta W \leq 3,2 \text{ eV}$. Такі властивості мають арсенід галія GaAs, фосфід галія GaP, карбід кремнію SiC та ін.

В основу роботи світлодіода покладено випромінювання кванта $h\nu$ при рекомбінації електрона та дірки. Тоді, щоб відбулася рекомбінація, необхідно одночасне знаходження і електронів, і дірок. Таким місцем одночасного їхнього знаходження є p - n -перехід під прямою напругою, тобто світлодіод має живитися прямою напругою.

Умове позначення та основні схеми включення світлодіода наведені на рис. 14.15.

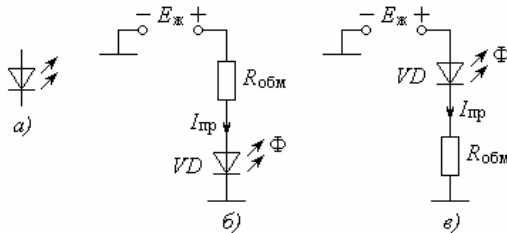


Рис. 14.15. Світлодіод: а – умове позначення, б – і в – схеми включення

Тут VD – світлодіод;

$E_{ж}$ – напруга живлення;

$I_{пр}$ – прямий струм;

$R_{обм}$ – обмежувальний резистор;

Φ – випромінювальне світло.

Світлодіод перетворює електричну енергію на світлову, тобто прямий струм $I_{пр}$ на світло Φ наступним чином.

Під прямим струмом $I_{пр}$ $p-n$ -перехід світлодіода збагачується електронами та дірками. При рекомбінації кожна пара “електрон-дірка” випромінює квант $h\nu$, тобто випромінює світло.

Щодо резистора $R_{огр}$, то він необхідний для регулювання яскравості світіння і, крім того, він зберігає світлодіод від перегорання. Чим менше опір $R_{огр}$, тим більший прямиий струм $I_{пр}$, і тим яскравіше світіння.

Світлодіоди використовують, наприклад, для світлової сигналізації та індикації станів цифрових пристроїв.

14.2.2. Лазери

Лазер – це випромінювальний прилад, який перетворює електричну енергію на *когерентне* світлове випромінювання.

На відміну від світлодіода, випромінювання якого некогерентне, випромінювання лазера когерентне.

Некогерентним випромінюванням є потік квантів $h\nu$, кожний з яких має будь-які, зокрема, фазу і напрям руху. Некогерентне випромінювання уподібнене шуму і тому не є коливанням.

Когерентним ж випромінюванням є потік квантів $h\nu$, фаза і напрям руху кожного з яких упорядковані. Тому когерентне випромінювання є коливанням. Його можна обробляти, наприклад, модулювати з метою передавання сигналів. Через це лазерні системи зв'язку сьогодні набувають усе більшого застосування.

Одним із самих розповсюджених лазерів є напівпровідниковий. Основними його перевагами є простота конструкції (лише один $p-n$ -перехід), малі габарити (частка мм^3) та простота живлення (постійний струм).

На рис. 14.16 наведена схематична конструкція напівпровідникового інжекційного лазера. Передня та задня грані паралельні, поліровані і створюють дзеркала D_1 та D_2 , які відбивають кванти світла. Для виводу випромінювання дзеркала виконані напівпрозорими. Бокові грані скошені, щоб в їхньому напрямі не було випромінювання.

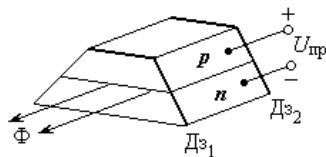


Рис. 14.16. Будова напівпровідникового лазера

Лазер є генератором когерентних фотонів. Він випромінює потік когерентних квантів світла (фотонів) Φ .

Дзеркала D_1 та D_2 створюють додатний зворотний зв'язок, без якого не може працювати жоден генератор.

В основу роботи лазера покладено випромінювання кванта світла $h\nu$ (надалі: фотона) при переході електрона із зони провідності у валентну зону. Дійсно, якщо для переводу електрона з валентної зони в зону провідності треба затратити фотон $h\nu$, то при зворотному переході електрона у валентну зону цей фотон випромінюється.

Знаходження електронів у зоні провідності створює так звану інверсну населеність. Речовина з інверсною населеністю називається *активним середовищем* і здатна тільки випромінювати кванти (фотони) без їхнього поглинання. Інверсна населеність, тобто активне середовище створюється живленням.

Напівпровідниковий інжекційний лазер живиться прямою напругою, завдяки чому активне середовище створюється в *p-n*-переході (рис 14.17,а).

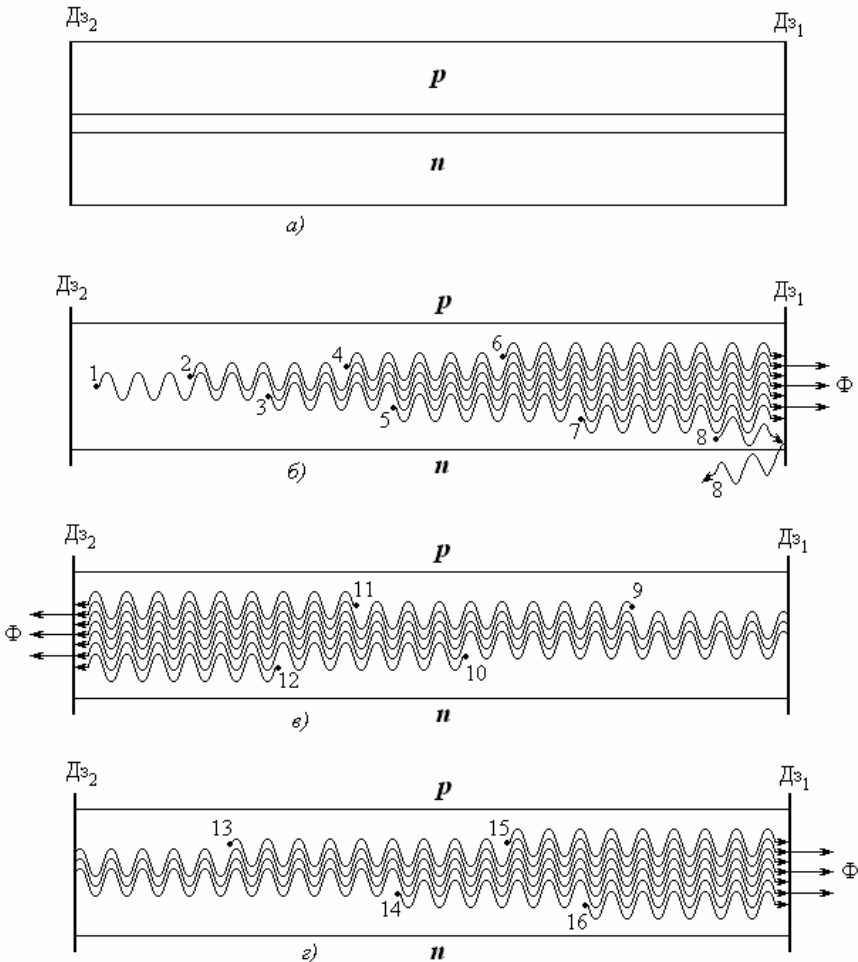


Рис. 14.17. Інжекційний лазер: а – подовжній перетин, б – , в – , г – виникнення коливань у *p-n*-переході

Тут 1 ... 16 – електрони в зоні провідності, що створюють інверсну населеність, тобто активне середовище.

Випромінювання фотонів електронами в зоні провідності може бути двояким: спонтанним (випадковим) або вимушеним.

Спонтанне випромінювання не когерентне. Кожний фотон має свої випадкові фазу та напрям руху. Спонтанне випромінювання не є коливанням. Воно уподібнене шуму.

Вимушене випромінювання спостерігається тільки при опроміненні електрона в зоні провідності фотоном. При цьому випромінений фотон має такі ж фазу та напрям руху, як і первинний фотон, що опромінює. Тому вимушене випромінювання когерентне і є коливанням. Його можна обробляти, наприклад, модулювати з метою передавання сигналів. Через високу частоту світлового випромінювання (10^{15} Гц) його інформаційна місткість дуже висока. Тому сьогодні лазерні системи зв'язку витискують металеві кабелі.

Роботу інжекційного лазера (рис. 14.16) пояснює його подовжній перетин, що наведений на (рис. 14.17). Точками 1 ... 16 показані електрони в зоні провідності.

Лазер працює наступним чином.

Генерація, тобто випромінювання когерентного світла починається зі спонтанного випромінювання. При цьому напрям руху випроміненого фотону випадковий і, зокрема, може бути перпендикулярним до поверхні дзеркал Дз₁, Дз₂.

Якщо, наприклад, електрон 1, переходячи у валентну зону, випромінює фотон 1 з напрямом руху, перпендикулярним до поверхні дзеркал, то він на своєму шляху опромінює інші електрони 2 ... 7 і вони випромінюють відповідні фотони вимушено. Тому всі фотони типу 1 ... 7 синфазні і рухаються перпендикулярно до поверхні дзеркала Дз₁. На своєму шляху випромінені фотони у свою чергу опромінюють інші електрони і т.д. Виникає лавина когерентних фотонів, якщо первинний фотон 1 рухається перпендикулярно до поверхні дзеркал (рис. 14.17,а).

Доходячи поверхні дзеркала Дз₁, через його напівпрозорість, частка фотонів проникає назовні. Це і є випромінюванням лазера Ф. Інша частка фотонів, відбиваючись від Дз₁, повертається назад в активне середовище, тобто в *p-n*-перехід (рис. 14.17,б), де продовжує вимушувати випромінювання фотонів 9 ... 12 таких, як і вони самі.

На поверхні дзеркала Дз₂ процес повторюється. Частка фотонів випромінюється (потік світла Ф), а інші фотони, відбиваючись від дзеркала Дз₂, повертаються назад в активне середовище, тобто в *p-n*-перехід (рис. 14.17,в), де продовжують вимушувати випромінювання фотонів 13 ... 16 таких, як і вони самі.

Повернення частки фотонів назад в активне середовище є зворотним зв'язком. Оскільки повернені фотони викликають появу синфазних фотонів, а не протифазних, то зворотний зв'язок є додатним. Так, дзеркала Дз₁ та Дз₂ створюють додатний зворотний зв'язок для фотонів, напрям руху яких перпендикулярний до поверхні дзеркал.

Якщо в активному середовищі виникне фотон типу 8 з напрямом руху, не перпендикулярним до поверхні дзеркала, то через рівність кутів падіння та відбивання він, відбиваючись від дзеркала Д₁, не повертається в активне середовище. Для таких фотонів, що мають напрям руху, не перпендикулярний поверхні дзеркал, додатного зворотного зв'язку немає, через що такі фотони лазер не генерує.

Отже, лазер генерує тільки ті фотони, що рухаються перпендикулярно до поверхні дзеркал. Цим зумовлена висока направленість лазерного випромінювання.

14.3. Оптиелектронні пари

Оптиелектронна пара (оптопара), яку ще називають оптроном – це напівпровідниковий прилад, що містить світловипромінювач та світлоприймач, які зв'язані через оптичне середовище, але розв'язані гальванічно.

Оптопари (надалі: оптрони) здебільшого використовуються як елементи гальванічної розв'язки між електронними пристроями.

На відміну від трансформаторів, які теж можуть забезпечувати гальванічну розв'язку, оптрони мають наступні суттєві переваги:

- ідеальна гальванічна розв'язка між входом та виходом;
- практична відсутність прохідної ємності;
- однонаправленість поширення інформації;
- відсутність зворотного зв'язку між передавачем та випромінювачем;
- широка смуга частот, що дає можливість передавання як імпульсних сигналів, так і постійної складової;
- нечутливість каналу зв'язку до електромагнітних завад.

На рис.14.18 наведені умовні позначення, з яких видно також структуру різновидів оптронів. Стрілками показано світлове випромінювання.

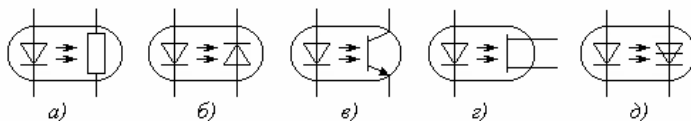


Рис. 14.18. Умовні позначення оптронів:

- а – резисторний; б – діодний; в – транзисторний з біполярним фототранзистором, г – транзисторний з польовим фототранзистором, д – тиристорний

Принцип дії оптронів пояснюють вхідні та вихідні сигнали, що наведені на рис. 14.19.

Оптрони діють наступним чином.

Вхідним колом будь-якого оптрона є світлодіод або лазер, що збуджуються вхідним струмом $I_{\text{вх}}$.

У залежності від $I_{\text{вх}}$ змінюються вихідні параметри:

- вихідний опір R у резисторному оптроні (рис. 14.19,*a*);
- фото-ЕРС $E_{\text{ф}}$ або зворотний струм діода $I_{\text{зв}}$ у діодному оптроні (рис. 14.19,*б* і *в*);
- колекторний $I_{\text{к}}$ та стоковий $I_{\text{с}}$ струми у транзисторних оптронах (рис. 14.19,*г* і *д*);
- анодний струм $I_{\text{а}}$ в тиристорному оптроні (рис. 14.19,*е*).

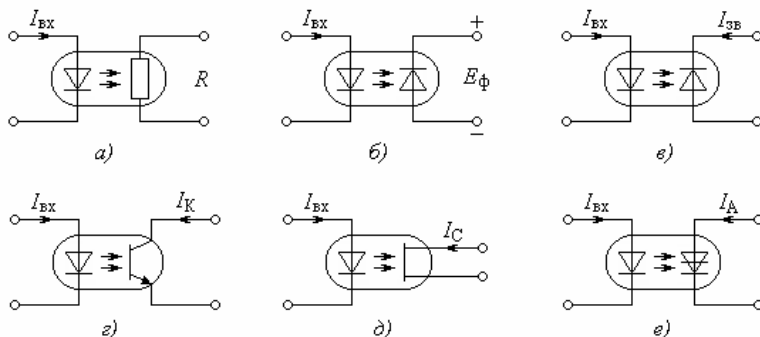


Рис. 14.19. Вхідні та вихідні сигнали оптронів

В усіх згаданих схемах є передавання сигналу. Воно здійснюється через світловий потік (показано стрілками), а гальванічного зв'язку між входом і виходом немає, тобто оптрони забезпечують повну гальванічну розв'язку між входом та виходом. Це дає можливість, наприклад, узгоджувати низьковольтні схеми з високовольтними.

14.4. Індикаторні прилади

Індикатором називається електронний прилад, який призначений для перетворення електричних сигналів у світлові.

У залежності від фізичних явищ, що покладені в основу роботи, індикатори бувають *електронно-променеві*, *розпалювальні*, *газорозрядні*, *люмінесцентні*, *напівпровідникові* та *рідинно-кристальні*.

В останній час здебільшого використовують газорозрядні, люмінесцентні, напівпровідникові та рідинно-кристальні індикатори. Тому інші тут не розглядаються.

14.4.1. Газорозрядні індикатори

Газорозрядним індикатором є газонаповнений діод, численні катоди якого мають форму тих символів, які необхідно висвітлити. Наприклад, цифровий індикатор містить 10 катодів, що мають форму арабських цифр від

0 по 9 включно. Ці катода-цифри розташовані один перед одним у тому порядку, що наведений на рис. 14.20. Точка “.” позначає, що діод газонаповнений.

Газорозрядний індикатор працює наступним чином.

Якщо анод підключити до позитивної напруги, а певний катод – до нуля, то між анодом і підключеним катодом починається газовий розряд, тобто іонізація газу.

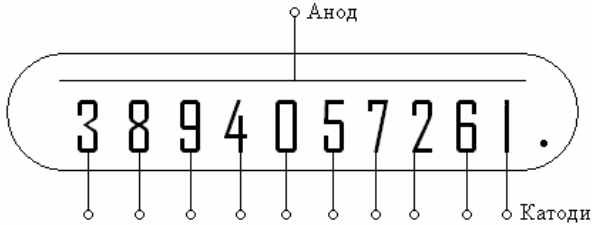


Рис. 14.20. Схема газорозрядного цифрового індикатора

Електрони прямують до аноду, а іони накопичуються навколо катода, створюючи так звану іонну хмару. У цій хмарі спостерігається рекомбінація електронів з іонами, через що газ світиться. Так висвітлюється та цифра, вивід якої (катод) підключений до нуля.

Недоліком газорозрядних індикаторів є необхідність живлення високою напругою (до сотень вольт). Цей недолік усунений в люмінесцентних індикаторах.

14.4.2. Люмінесцентні індикатори

З люмінесцентних індикаторів найбільшого розповсюдження набули 7-сегментні (рис. 14.21).

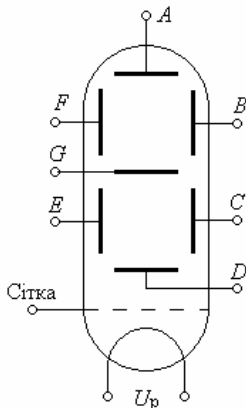


Рис. 14.21. Схема 7-сегментного індикатора

Індикатор є електровакуумним приладом, який містить термокатод прямого розжарення, що живиться напругою U_p , сітку та 7 анодів: $A, B, C, D,$

$E, F, G.$ Аноди покриті люмінофором, який світиться при бомбардуванні його електронами.

Індикатор працює наступним чином.

При подачі напруги розжарення U_p термокатод

розжарюється і випромінює електрони. Якщо сітка знаходиться під високим потенціалом, то вона пропускає електрони до того анода, який має високий потенціал. Електрони, зіштовхуючись з люмінофором анода,

вбивають кванти світла. Люмінофор анода світиться.

Тип люмінофора визначає колір світіння. Найчастіше зустрічаються зелений та червоний кольори. Подача високого потенціалу на певні аноди здійснюється за допомогою перетворювача кодів (див. п. 11.4). Щодо сітки, то вона призначена для керування випромінюванням.

Якщо вона знаходиться під нульовим потенціалом, то не пропускає електрони до анодів, через що не буде світитися жоден анод.

Люмінесцентні індикатори мають ту перевагу над газорозрядними, що живляться досить низькою напругою, яка не перевищує 24 В.

Недоліком є відносно малий термін служби через вихід з ладу термоката, який втрачає емісію або перегорає.

Цього недоліку позбавлені напівпровідникові індикатори.

14.4.3. Напівпровідникові індикатори

Напівпровідниковими індикаторами є світлодіоди або лазери певної форми. Якщо сегменти *A, B, C, D, E, F, G* виконати із світлодіодів, то одержимо 7-сегментний напівпровідниковий індикатор (рис. 14.22). Він містить 7 *p-n*-переходів в одному монокристалі.

Сегменти індикатора живляться прямою напругою, яку створює перетворювач кодів (див. п. 11.4).

Напівпровідниковий індикатор може бути скільки завгодно малих габаритів та має практично нескінченний термін служби.

Недоліком усіх розглянутих індикаторів є споживання енергії. У деяких випадках цей недолік набуває принципового значення, наприклад, в наручних годинниках.

Згаданого недоліку позбавлені рідинно-кристалльні індикатори.

14.4.4. Рідинно-кристалльні індикатори

Рідинними кристалами називають деякі органічні рідини, що складаються зі стрижньових молекул, які здатні розташовуватись паралельними ланцюжками, створюючи упорядковану кристалну структуру.

Рідинний кристал, в якому немає електричного поля, є прозорим для світла.

Якщо до рідинного кристалу підведене електричне поле напруженістю 2 ... 5 кВ/см, то в кристалі порушується упорядкована орієнтація молекул. Виникає так званий ефект динамічного розсіювання, що супроводжується

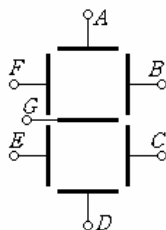


Рис. 14.22. Схема напівпровідникового індикатора

зниженням прозорості. Цей ефект і використовується для створення індикаторів.

На рис. 14.23 наведений пристрій рідинно-кристального індикатора, що працює на віддзеркаленому світлі.

Тут 1, 2, 3 ... – символічні прозорі електроди;

4 – прозоре вікно;

5 – рідинний кристал;

6 – дзеркальний електрод;

7 – резервуар;

$\Phi_{\text{п}}$ – падаюче світло;

$\Phi_{\text{в}}$ – віддзеркалене світло;

U_1, U_3 – напруги між символічними електродами відповідно 1; 3 та дзеркальним електродом 6. (Напруга електроду 2 не показана).

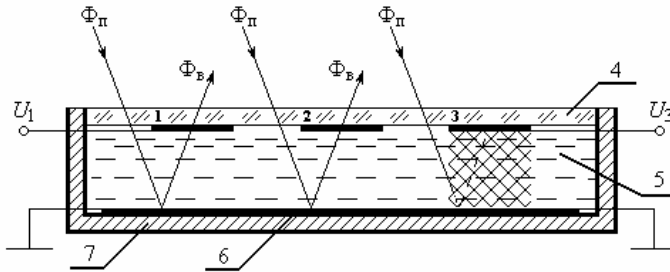


Рис. 14.23. Рідинно-кристальний індикатор

Символьні прозорі електроди (надалі: електроди) мають необхідну конфігурацію (риска, цифра, буква тощо).

Рідинно-кристальний індикатор (РКІ) працює наступним чином.

При нульових напругах електродів $U_1 = 0$ та $U_3 = 0$ під електродами 1 та 3 молекули рідинного кристалу упорядковані, через що кристал прозорий і пропускає як падаюче $\Phi_{\text{п}}$, так і віддзеркалене $\Phi_{\text{в}}$ світло. Символьні електроди не затемнюються і їх не видно.

Якщо до електроду, наприклад 3, підвести напругу $U_3 > 0$ порядку 15 ... 20 В, то між електродом 3 і дзеркальним електродом 6 виникає електричне поле, що порушує орієнтацію молекул, роблячи кристал непрозорим (показане подвійною штриховкою). Під електродом 3 кристал не пропускає ні падаюче світло $\Phi_{\text{п}}$, ні віддзеркалене $\Phi_{\text{в}}$, через що електрод 3 затемнений і видний у чорному світлі.

Щодо числа і форми символічних електродів, то найбільшого розповсюдження набули 7-сегментні індикатори, що мають конфігурацію рис. 14.22.

Рідинно-кристальний індикатор, що працює у віддзеркаленому світлі (рис. 14.23), не потребує енергії і тому є самим економічним з усіх інших.

Недоліком цього індикатора є те, що його не видно в темряві.

Цього недоліку позбавлені РКІ, в яких замість дзеркального електроду 6 використовується прозорий електрод з підсвічуванням знизу. В решті таких індикатор працює так само, як і розглянутий. Однак, він споживає значну енергію для підсвічування.

Контрольні питання

14.1. Наведіть схеми включення фоторезистора з опором навантаження та приймачем струму.

14.2. Наведіть схеми включення фотодіода з опором навантаження та приймачем струму.

14.3. Наведіть схеми включення фототранзистора з опором навантаження та приймачем струму.

14.4. Наведіть основну схему включення фототиристора.

14.5. Наведіть схеми включення світлодіода.

14.6. Наведіть схеми включення оптронів: резисторного, діодного, тристорного, транзисторного на біполярному транзисторі та польовому.

14.7. Поясніть роботу інжекційного лазера.

14.8. Поясніть роботу газорозрядного індикатора.

14.9. Поясніть роботу люмінесцентного індикатора.

14.10. Поясніть роботу напівпровідникового індикатора.

14.11. Поясніть роботу рідинно-кристального індикатора.

Рекомендована література

14.1. Воробйова О.М. Основи схемотехніки: у 2-х ч.: навчальний посібник / О.М Воробйова, В.Д. Іванченко – Одеса: ОНАЗ ім. О.С. Попова, 2004 – Ч. 1, Ч. 2 – 350 с.

14.2. Пасынков В.В. Полупроводниковые приборы: [учебник для вузов] / В.В. Пасынков, Л.К. Чиркин – М.: Высшая школа, 1987. – 479 с.

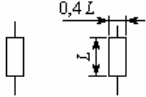
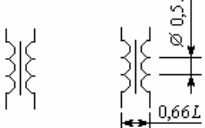
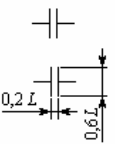
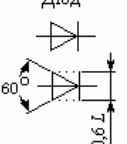


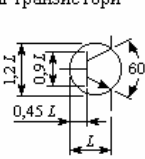
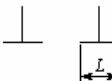

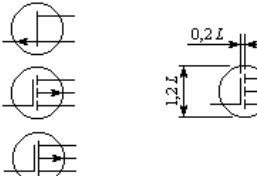
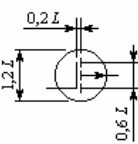
14.3. Батушев В.А. Электронные приборы: [учебник для вузов] / В.А. Батушев – М.: Высшая школа, 1980. – 383 с.

14.4. Электронные приборы: [учебник для вузов] / [В.Н. Дулин, Н.А. Аваев, В.П. Дёмин и др]; под ред. Г.Г. Шишкина. – М.: Энергоатомиздат, 1989. – 496 с.

ДОДАТКИ

Додаток А

Умовні позначення приладів

<p>Резистор</p> 	<p>Трансформатор</p> 	<p>Конденсатор</p> 	
<p>Діод</p> 	<p>Біполярні транзистори</p> <p><i>n-p-n</i></p>  <p><i>p-n-p</i></p>  	<p>Корпус ("земля")</p> 	
<p>Польові транзистори:</p>			<p>з <i>n</i>-каналом</p>  <p>з <i>p</i>-каналом</p>  

Додаток Б

Номінальні опори резисторів з допуском $\pm 5\%$ (ряд Е 24)

1,0	1,5	2,2	3,3	4,7	6,8
1,1	1,6	2,4	3,6	5,1	7,5
1,2	1,8	2,7	3,9	5,6	8,2
1,3	2,0	3,0	4,3	6,2	9,1








Додаток В

Допуски номіналів резисторів

Допуск, %	0,1	0,2	0,5	1	2	5	10	20	30
Позначення	Ж	У	Д	Р	Л	И	С	В	Ф

Додаток Д

Позначення потужностей резисторів на схемах

Потужність, Вт	0,25	0,5	1	2	3	4	5	-----
Позначення на схемі								-----

Додаток Е

Префікси для утворення кратних одиниць виміру

Множник	Префікс	Позначення
10^{12}	тера	Т
10^9	гіга	Г
10^6	мега	М
10^3	кіло	к
10^{-3}	мілі	м
10^{-6}	мікро	мк
10^{-9}	нано	н
10^{-12}	піко	пк

АЛФАВІТНИЙ ПОКАЗЧИК

- Автогенератори 151
- Автогенератори гармонічних коливань 152
- Алгебра логіки (основні поняття) 199
- Амплітуда 17
- Амплітудні обмежувачі 46
 - зверху 46, 180
 - знизу 50, 181
 - Аналогові інтегральні мікросхеми 195
- Аналого-цифрові перетворювачі 339
 - паралельного кодування 348
 - послідовно-паралельні 350
 - розгортального перетворення 343
 - стежного перетворення 346

- Бульовий базис 201
 - диз'юнкція 201
 - заперечення 201
 - кон'юнкція 201

- Відношення напруг 16
- Випромінювальні прилади 360
 - лазери 361
 - світлодіоди 360
- Випрямлячі 33, 183

- Гасники напруги 31

- Двійкові функції 200
 - АБО 206
 - АБО-НЕ 208
 - виняткове АБО 209
 - І 205
 - І-НЕ 208
- Демультіплексори 300
- Дешифратори 293
- Джерело напруги 15
- Джерело струму 16, 185
- Діод Шотткі 44

- Електричне коло 14
- Електровакуумні прилади 63, 69, 71
 - пентод 71
 - тетрод 69

- триод 63
- Електронні підсилювачі 60
- Електронно-дірковий перехід 34

Закон Кірхгофа 35

Закон Ома 19

Запам'ятовувальні пристрої (ЗП) 312

- ВІС ОЗП з двокоординатною вибіркою 318
 - ВІС ОЗП з однокоординатною вибіркою 317
 - діодна матриця ПЗП 325
 - оперативні ЗП (ОЗП) 314
 - організація шини даних 320
 - постійні запам'ятовувальні пристрої (ПЗП) 322
 - репрограмовані ПЗП 327
 - статичні запам'ятовувачі ВІС ОЗП 314
 - транзисторна матриця ПЗП 326
- Зворотний зв'язок 137

Індикаторні прилади 365

- газорозрядні індикатори 365
- люмінесцентні індикатори 366
- напівпровідникові індикатори 367
- рідинно-кристальні індикатори 367

Каскади на операційних підсилювачах 167

- антилогарифматор 177
 - вимірювальний підсилювач 184
 - джерела струму 185
 - дільник напруг 179
 - диференціатор 174
 - інвертуючий підсилювач 168
 - інвертуючий суматор 173
 - інтегратор 174
 - логарифматор 175
 - мультівібратор 188
 - неінвертуючий підсилювач 169
 - неінвертуючий суматор 173
 - обмежувачі рівнів 180
 - перемножувач напруг 178
 - прецизійний випрямляч 183
 - приймач струму 167
 - тригер Шміта 187
- Ключі 124
- Комбінаційні пристрої 290
- Компаратори 301

- аналогові
- цифрові 301
- Конденсатори 22
- Контактна різниця потенціалів 35
- Котушки індуктивності 24

- Лічильники імпульсів 258
- віднімальний лічильник 263, 267
- двійково-десятковий лічильник 276
- паралельні лічильники 269
- паралельно-послідовні лічильники 271
- підсумовувальний лічильник 261, 265
- послідовні лічильники 260
- реверсивні лічильники 272

- Мультивібратори 155, 188
- Мультиплексори 299

- Напівпровідникові діоди 34
- Напруга 13
- Напруга діода 36
- зворотна 37
- пряма 36
- Нелінійні спотворення сигналів 98

- Опір 15
- Операційний підсилювач 160
- Оптоелектронні пари 364

- Пентод 71
- Перевод чисел з однієї системи числення в іншу 198
- Перетворювачі кодів 297
- Підсилювачі 89, 95, 168, 169
- на БТ зі спільною базою 95
- на БТ зі спільним емітером 89
- на операційних підсилювачах 168, 169
- на пентоді 72
- на ПТ з вбудованим каналом 112
- на ПТ з індукованим каналом 112
- на ПТ з *p-n*-переходом 112
- на тріоді 66
- Підсилювачі диференційні 161, 166
- з динамічним навантаженням 166
- з резистивним навантаженням 161
- Повторювачі 142, 145, 170

- витіковий 145
- емітерний 142
- комплементарний 170
- Подільники напруги 27
- Послідовнісні пристрої 239
- Приймач струму 167
- Пробій діодів 39
 - лавинний 40
 - тепловий 39
 - тунельний 41
- Пробій транзисторів 102
- Програмовані логічні матриці (ПЛМ) 303
 - дворівнева ПЛМ 306
 - матрична схема 303
 - матриця диз'юнкцій 304
 - матриця кон'юнкцій 304
 - програмування ПЛМ 306
 - трирівнева ПЛМ 307

- Регістри 279
 - паралельні реєстри 286
 - послідовні реєстри 286
 - реєстр зсуву вліво 283
 - реєстр зсуву вправо 281, 285

Регулятори напруги 30

Режими підсилювачів 117

- режим *A* 117
- режим *B* 118
- режим *C* 120
- режим *D* 121
- режим *E* 121

Резистори 19

Розгалужувальні з'єднання 124

Система живлення РЕА 12

Система зв'язку 9

Стабілізатори напруги 51

Стабілітрони 51

Струм 14

Типи логічних елементів 217

- емітерно-зв'язана логіка ЕЗЛ 223
- інтегральна інжекційна логіка І²Л 223
- логічні елементи з трьома станами 229
- КМОН-логіка 227

- МОН-логіка 225
- ТТЛ 218
- ТТЛШ 222
- Транзистори біполярні 74
- Транзистори польові 106
 - з вбудованим каналом 111
 - з індукованим каналом 109
 - з керуючим *p-n*-переходом 107
- Тригери 239
 - асинхронний *RS*-тригер 243
 - *D*-тригер 247
 - *JK*-тригер 250
 - *MS*-тригер 251
 - синхронний *RS*-тригер 246
 - тригер Шмітта 256
- Тиристори 133
- Трансформатори 26

Узгодження логічних мікросхем 231

- КМОН-ТТЛ 233
- ТТЛ-КМОН 233

Цифро-аналогові перетворювачі 330

- на матриці двійково-зважених резисторів 334
- на матриці *R-2R* 337

Цифрові інтегральні мікросхеми 159

Цифрові сигнали 196

Шифратори 290

Шуми підсилювачів 102

ЗМІСТ

Передмова	3
Вступ	5

АНАЛОГОВА СХЕМОТЕХНІКА

Розділ 1. СИСТЕМА ЗВ'ЯЗКУ	9
1.1. Структурна схема системи зв'язку	9
1.2. Структурна схема системи електроживлення РЕА	12
1.3. Пояснення застосовуваних величин	13
Контрольні питання	17
Рекомендована література	18
Розділ 2. ПАСИВНІ КОМПОНЕНТИ	19
2.1. Резистори	19
2.2. Конденсатори	22
2.3. Котушки індуктивності	25
2.4. Трансформатори	26
2.5. Подільники напруги	28
2.6. Регулятори напруги	30
2.7. Гасники напруги	31
Контрольні питання	31
Рекомендована література	32
Розділ 3. ДІОДНІ СХЕМИ	33
3.1. Випрямлячі	33
3.1.1. Схема випрямляча	33
3.1.2. Структура та принцип дії напівпровідникових діодів	34
3.1.2.1. Вплив температури на струми діода	38
3.1.2.2. Пробій діодів	39
3.1.3. Принцип дії випрямляча та його розрахунок	41
3.1.4. Вимоги до параметрів діода	44
3.1.5. Двонапівперіодне випрямлення	45
3.1.6. Вплив температури на параметри випрямляча	45
3.2. Амплітудні обмежувачі	46
3.3. Параметричні стабілізатори напруги	51
3.3.1. Принцип дії та розрахунок стабілізатора	53
3.3.2. Вплив температури на вихідну напругу стабілізатора	57
3.4. Індуктивне навантаження та діодний захист контактів	58
Контрольні питання	58
Рекомендована література	59

Розділ 4. ЕЛЕКТРОННІ ПІДСИЛЮВАЧІ	60
4.1. Задача підсилювача	60
4.2. Структурна схема підсилювача напруги	61
4.3. Підсилювачі на електровакуумних приладах	62
4.3.1. Будова та принцип дії електровакуумних приладів	62
4.3.2. Тріод	63
4.3.2.1. Статичні характеристики тріода	64
4.3.2.2. Статичні параметри тріода (лампи)	64
4.3.2.3. Визначення статичних параметрів	65
4.3.3. Підсилювач на тріоді	66
4.3.3.1. Показники підсилювача на лампах	68
4.3.4. Екрановані лампи	69
4.3.4.1. Чотириелектродна лампа	69
4.3.4.2. П'ятиелектродна лампа	71
4.3.5. Підсилювач на пентоді	72
4.3.6. Аналітичний розрахунок підсилювача	73
4.3.7. Недоліки та переваги електронних ламп	74
4.4. Підсилювачі на біполярних транзисторах	74
4.4.1. Структура та принцип дії біполярного транзистора	74
4.4.2. Струми в біполярному транзисторі	78
4.4.3. Статичні ВАХ транзистора в схемі зі спільною базою	79
4.4.4. Статичні ВАХ транзистора в схемі зі спільним емітером	81
4.4.5. Параметри біполярних транзисторів	82
4.4.6. Порівняння h -параметрів для схем з СБ та СЕ	85
4.4.7. Еквівалентні схеми біполярних транзисторів	86
4.4.8. Режими роботи біполярного транзистора	87
4.4.9. Підсилювач зі спільним емітером	89
4.4.9.1. Показники підсилювача з СЕ	93
4.4.9.2. Особливості роботи підсилювача з СЕ	94
4.4.10. Підсилювач зі спільною базою	95
4.4.11. Частотні властивості підсилювачів на БТ	96
4.4.12. Нелінійні спотворення сигналу.	98
4.4.13. Вплив температури на параметри підсилювача	101
4.4.14. Пробій біполярних транзисторів	102
4.4.15. Шуми підсилювачів	104
4.5. Підсилювачі на польових транзисторах	106
4.5.1. Типи та схеми включення польових транзисторів	106
4.5.2. Польові транзистори з керуючим p - n -переходом	107
4.5.3. Польові транзистори з ізольованим заслоном	109
4.5.3.1. МОН-транзистор з індукованим каналом	109
4.5.3.2. МОН-транзистор з вбудованим каналом	111
4.5.4. Схеми підсилювачів на польових транзисторах	111
4.5.5. Показники підсилювача на ПТ	115

4.5.6.	Частотні властивості підсилювачів на ПТ	116
4.5.7.	Режими підсилювачів	117
4.5.7.1.	Режим <i>A</i>	117
4.5.7.2.	Режим <i>B</i>	118
4.5.7.3.	Режим <i>C</i>	120
4.5.7.4.	Режим <i>D</i>	120
4.5.7.5.	Режим <i>E</i>	121
	Контрольні питання	121
	Рекомендована література	123
Розділ 5.	КЛЮЧІ	124
5.1.	Розгалужувальні з'єднання	124
5.2.	Ключі на біполярних транзисторах	126
5.2.1.	Насичення ключа	128
5.2.2.	Завадостійкість ключа	129
5.2.3.	Швидкодія ключа	130
5.2.4.	Недоліки ключа на біполярному транзисторі	131
5.3.	Ключі на польових транзисторах	131
5.4.	Ключі на тиристорах	133
	Контрольні питання	136
	Рекомендована література	136
Розділ 6.	ЗВОРОТНИЙ ЗВ'ЯЗОК	137
6.1.	Загальні положення	137
6.2.	Вплив від'ємного ЗЗ на вхідний та вихідний опори	138
6.2.1.	Паралельний ЗЗ по входу і виходу	138
6.2.2.	Послідовний зв'язок по входу і виходу	140
6.3.	Вплив від'ємного ЗЗ на внутрішні завади (наведення)	141
6.4.	Транзисторні каскади з від'ємним ЗЗ	142
6.4.1.	Емітерні повторювачі	142
6.4.2.	Виткові повторювачі	145
6.4.3.	Термостабілізовані підсилювачі на БТ	146
6.4.4.	Термостабілізовані підсилювачі на ПТ	147
6.5.	Розширення смуги частот рівномірного підсилення	148
6.6.	Підвищення вхідного опору каскада	149
6.7.	Каскади з додатним зворотним зв'язком (автогенератори)	151
6.7.1.	Структурна схема автогенератора	151
6.7.2.	Умови самозбудження автогенератора	151
6.7.3.	Автогенератори гармонічних коливань	152
6.7.4.	Мультивібратори	155
6.8.	Стойкість підсилювачів з від'ємним зворотним зв'язком	157
	Контрольні питання	158
	Рекомендована література	158

Розділ 7. АНАЛОГОВІ ІНТЕГРАЛЬНІ МІКРОСХЕМИ	159
7.1. Загальні відомості	159
7.2. Операційні підсилювачі	160
7.2.1. Вхідний каскад ОП	161
7.2.2. Проміжний каскад ОП	163
7.2.3. Кінцевий каскад ОП	166
7.3. Каскади на операційних підсилювачах	167
7.3.1. Приймач струму	167
7.3.2. Інвертуючий підсилювач напруги	168
7.3.3. Неінвертуючий підсилювач напруги	169
7.3.4. Повторювач напруги	170
7.3.5. Інвертуючий суматор	171
7.3.6. Схема складання-віднімання	172
7.3.7. Неінвертуючий суматор	173
7.3.8. Інтегратор	174
7.3.9. Диференціатор	174
7.3.10. Логарифматори	175
7.3.11. Антилогарифматори	177
7.3.12. Перемножувач напруг	178
7.3.13. Дільник напруг	179
7.3.14. Обмежувачі рівнів	180
7.3.15. Прецизійний випрямляч	182
7.3.16. Вимірювальні підсилювачі	184
7.3.17. Джерела струму	185
7.3.18. Формувачі рівнів	187
7.3.19. Мультивібратор на ОП	188
7.3.20. Кола живлення каскадів на ОП	189
7.3.21. Регулювання в каскадах на ОП	191
Контрольні питання	193
Рекомендована література	194

ЦИФРОВА СХЕМОТЕХНІКА

Розділ 8. ЗАГАЛЬНІ ВІДОМОСТІ	195
8.1. Класифікація цифрових пристроїв	195
8.2. Цифрові сигнали	196
8.3. Основні поняття алгебри логіки	199
8.4. Форми зображення логічних функцій	203
8.5. Реалізація логічних функцій бульового базису	204
8.5.1. Функція логічного заперечення НЕ	204
8.5.2. Функція логічного множення	205

8.5.3.	Функція логічного додавання	206
8.5.4.	Комбіновані логічні функції	207
	Контрольні питання	210
	Рекомендована література	210
Розділ 9.	СХЕМОТЕХНІКА ЛОГІЧНИХ ЕЛЕМЕНТІВ	211
9.1.	Класифікація цифрових елементів	211
9.2.	Параметри логічних елементів	213
9.3.	Типи логічних елементів та їхні порівняльні характеристики	217
9.4.	Транзисторно-транзисторна логіка (ТТЛ)	218
9.5.	Транзисторно-транзисторна логіка з діодом Шоттки (ТТЛШ) .	222
9.6.	Емітерно-зв'язана логіка ЕЗЛ	223
9.7.	Інтегральна інжекційна логіка І ² Л	223
9.8.	Логічні елементи на польових структурах	225
9.8.1.	МОН – логіка	225
9.8.2.	КМОН-логіка	227
9.9.	Логічний елемент з трьома станами	229
9.10.	Узгодження логічних мікросхем	231
9.11.	Правила схемного включення елементів	234
	Контрольні питання	237
	Рекомендована література	237
Розділ 10.	ПОСЛІДОВНІСНІ ПРИСТРОЇ	239
10.1.	Тригери	239
10.1.1.	Параметри тригерів	241
10.1.2.	Асинхронний RS-тригер	243
10.1.3.	Синхронний RS-тригер	246
10.1.4.	D-тригер	247
10.1.5.	JK-тригер	250
10.1.6.	MS-тригер	251
10.1.7.	Підвищення завадостійкості тригерів	255
10.2.	Формувачі тривалості фронтів	256
10.3.	Методи боротьби з впливом деренчання контактів	258
10.4.	Лічильники імпульсів	258
10.4.1.	Параметри лічильника	259
10.4.2.	Класифікація лічильників	259
10.4.3.	Послідовні лічильники	260
10.4.4.	Швидкодія лічильників	268
10.4.5.	Паралельні лічильники	269
10.4.6.	Паралельно-послідовні лічильники	271
10.4.7.	Реверсивні лічильники	272
10.4.8.	Лічильники з довільним модулем лічби	276
10.4.9.	Збільшення розрядності лічильників. Подільники частоти	278

10.5.	Регістри	279
10.5.1.	Класифікація регістрів	279
10.5.2.	Послідовні регістри	280
10.5.3.	Паралельні регістри	286
	Контрольні питання	288
	Рекомендована література	288
Розділ 11. КОМБІНАЦІЙНІ ПРИСТРОЇ		290
11.1.	Загальні відомості	290
11.2.	Шифратори	290
11.3.	Дешифратори	293
11.4.	Перетворювачі кодів	297
11.5.	Мультиплексори	299
11.6.	Демюльтиплексори	300
11.7.	Цифрові компаратори	301
11.8.	Програмовані логічні матриці	303
11.8.1.	Матрична схема	303
11.8.2.	Дворівневі та трирівневі ПЛМ	307
11.9.	Особливості роботи комбінаційних пристроїв	309
	Контрольні питання	311
	Рекомендована література	311
Розділ 12. ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ		312
12.1.	Класифікація запам'ятовувальних пристроїв	312
12.2.	Параметри ЗП	313
12.3.	Оперативні запам'ятовувальні пристрої	314
12.3.1.	Статичні запам'ятовувачі ВІС ОЗП	314
12.4.	Структура ВІС ОЗП	315
12.5.	Інформаційні та керуючі сигнали ВІС ОЗП	319
12.6.	Постійні запам'ятовувальні пристрої (ПЗП)	322
12.6.1.	Класифікація ПЗП	322
12.6.2.	Структура ВІС ПЗП	323
	Контрольні питання	328
	Рекомендована література	328
Розділ 13. ЦИФРО-АНАЛОГОВІ ТА АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ		329
13.1.	Загальні відомості	329
13.2.	Цифро-аналогові перетворювачі	330
13.2.1.	Параметри ЦАП	331
13.2.2.	Схеми ЦАП	334
13.3.	Аналого-цифрові перетворювачі	339
13.3.1.	Параметри АЦП	341

13.4.	Схеми АЦП	343
13.4.1.	АЦП розгортального перетворення	343
13.4.2.	АЦП стежного перетворення	346
13.4.3.	АЦП паралельного кодування	348
13.4.4.	Послідовно-паралельні АЦП	350
	Контрольні питання	351
	Рекомендована література	351
Розділ 14.	ФОТОЕЛЕКТРИЧНІ, ВИПРОМІНЮВАЛЬНІ ТА ІНДИКАТОРНІ ПРИЛАДИ	353
14.1.	Фотоелектричні прилади	353
14.1.1.	Фоторезистори	353
14.1.2.	Фотодіоди	355
14.1.3.	Фототранзистори	357
14.1.4.	Фототиристори	359
14.2.	Випромінювальні прилади	360
14.2.1.	Світлодіоди	360
14.2.2.	Лазери	361
14.3.	Оптоелектронні пари	364
14.4.	Індикаторні прилади	365
14.4.1.	Газорозрядні індикатори	365
14.4.2.	Люмінесцентні індикатори	366
14.4.3.	Напівпровідникові індикатори	367
14.4.4.	Рідинно-кристальні індикатори	367
	Контрольні питання	368
	Рекомендована література	369
	ДОДАТКИ	370
	Додаток А. Умовні позначення приладів	370
	Додаток Б. Номінальні опори резисторів	370
	Додаток В. Допуски номіналів резисторів	371
	Додаток Д. Позначення потужностей резисторів на схем	371
	Додаток Е. Префікси для утворення кратних одиниць виміру	371
	АЛФАВІТНИЙ ПОКАЗЧИК	372

Навчальне видання

Олена Михайлівна Воробйова
Володимир Давидович Іванченко

ОСНОВИ СХЕМОТЕХНІКИ

ПІДРУЧНИК

Редактор *Кодрул Л.А.*

Обкладинка *Іванченко В.Д.*

Віддруковано з готового оригінал-макету

Видавець ПП "Фенікс"
(свідоцтво ДК № 1044 від 17.09.2002)
М. Одеса, вул. Зоопаркова, 25
Тел. (048) 777-591

Здано в набір 15.07.09. Підписано до друку 20.07.09.
Ум. друк. арк.. 24,25. Зам. № 4001. Наклад 500 прим.
Надруковано у видавничому центрі ОНАЗ ім. О.С. Попова
м. Одеса, вул. Старопортофранківська, 61
Тел. (048) 720-78-94.